

[招待講演] 3D 積層フレキシブルメモリ

齋藤 英彰[†]

あらまし 近年、プロセス微細化の限界を打破するために3次元実装技術を使った3次元集積デバイスの研究開発が盛んになっている。本講演では3次元実装とメモリ動的再構成技術を使った新しいメモリである積層フレキシブルメモリについて、そのアーキテクチャとプロトタイプ動作について紹介する。

3D chip-stacked flexible memory

Hideaki Saito[†]

Abstract Recently, 3D integration has been intensively investigated as a technology for overcoming a limitation of process scaling. In this meeting, I introduce new memory architecture, chip-stacked flexible memory, which has the 3D integration and a dynamic reconfigurable memory technology.



3D積層フレキシブルメモリ

日本電気株式会社
デバイスプラットフォーム研究所
齋藤 英彰

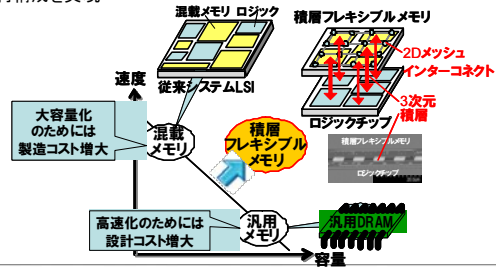
3D集積の特徴

- | 高集積度
 - チップ実装あるいは半導体層のプロセス積層で高さ方向に集積
 - DRAM, Flashの積層で大容量メモリ実現が近い
- | 小型パッケージ
 - Si貫通ビア(TSV)で裏面配線してパッケージを小型化
 - イメージセンサですでに実用化
- | 高性能
 - チップ内の長距離配線を3次元の短距離配線に置き換え
 - 回路遅延、消費電力の向上を期待
- | システムインテグレーション
 - 異種デバイス、異種プロセスチップの積層によるシステム統合
 - ロジック(プロセッサ)とメモリの積層の応用検討が活発
 - 積層フレキシブルメモリ: システムLSIのロジックとメモリの分離、チップ積層

[†] 日本電気株式会社
NEC Corporation

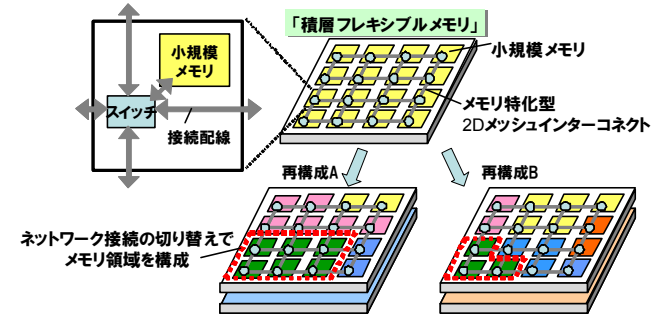
積層フレキシブルメモリの開発

- 高速性能と大容量性能の両方を兼ね備える新しいタイプのメモリ
- 特徴
 - システムLSIからメモリ部分を分離して独立のチップにし、3次元実装
 - メモリチップをメモリタイルと2次元メッシュ・インターコネクで構成し、メモリ再構成を実現



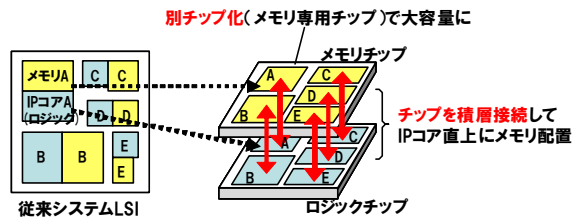
技術②: メモリ再構成技術

- 多数の小規模メモリをチップ内のインターコネク網で結合



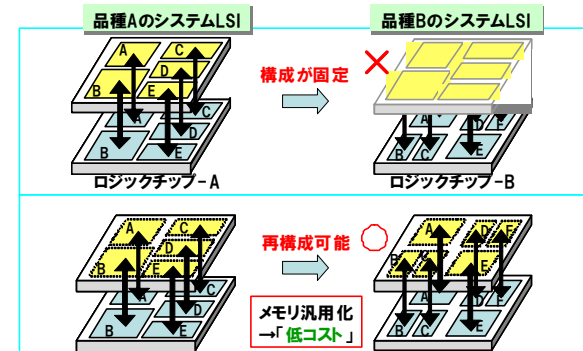
技術①: 3次元実装技術

- システムLSIの中の混載メモリを別チップ化して大容量化し、近接積層



多品種のシステムLSIで共通で使える『汎用化』

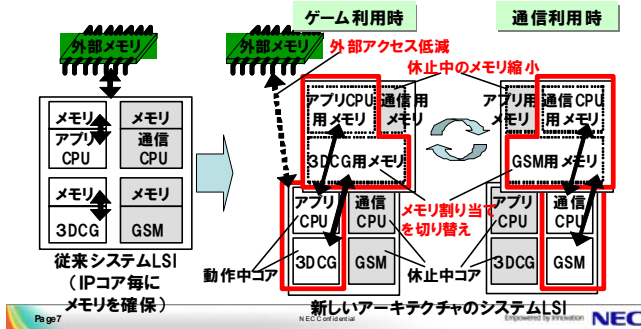
- 実現する機能・性能に応じてメモリを『静的構成』



メモリの利用効率の向上も可能

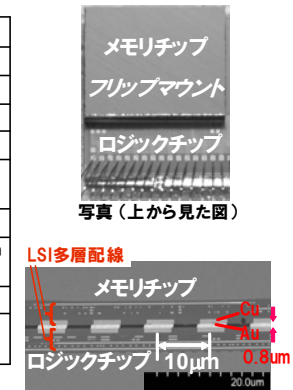
実現する機能・性能に応じてメモリを『動的再構成』

- 動作中のコアにメモリを効率的に割り当て、面積縮小 → さらに「低コスト」
- 電力消費の大きい外部メモリアクセスの低減 → 「省エネ」も



3次元実装による高速、高密度チップ間接続

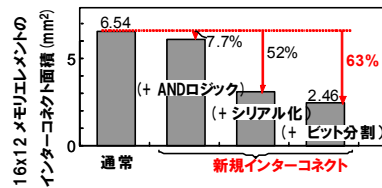
試作メモリチップ(4x8メモリエレメント)	
SRAM全容量	1M bits
テクノロジ	90nm, 1.2V
チップサイズ	1.6mm x 2.2mm
I/Oブロック数	16
最大電力 (sim.)	120mW @125MHz, 8GB/s
チップ間接続	
チップ間電極	Au/Cu, 5μm x 5μm size, 10μm pitch
電極数	3269 (信号ライン821)
伝送特性 (sim.)	83ps, 86fJ/b (TXとRXパッファを含む)



再構成機能の面積オーバーヘッドを削減

- メモリ特化型インターコネクで面積オーバーヘッド削減
- 12 x 16 MEのレイアウト

2Dメッシュインターコネク構成	通常インターコネク (面積削減策なし)	新規インターコネク
レイアウト面積 ((a)+(b)) [mm ²]	22.20	18.12
(a) SRAMマクロ合計	15.66	15.66
(b) 2Dメッシュインターコネク	6.54	2.46



プロトタイプの評価動作波形

フレキシブルメモリチップとロジックチップ積層のプロトタイプ評価

