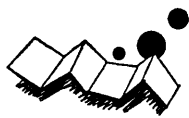


解説



超高速演算の動向†

小高俊彦†† 河辺峻††

1. はじめに

科学技術の発展に伴い、コンピュータによる技術計算も大型化し、速度の向上に対する要求はますます高まっている。

一方、最近の電子計算機システムは、半導体技術の進歩を基盤にして、性能価格比が年々向上している。なかでも、性能向上を主目的とする超大型機では、最新の技術が結集されて、一段と高速になりつつある。

ここでは、超高速演算を主目的としている技術計算専用コンピュータの演算処理方式の動向を中心に今後の課題を考えてみたい。

2. 超高速演算コンピュータ

ここで対象にしている超高速演算コンピュータは、一般にスーパーコンピュータとも呼ばれている大規模科学計算技術を高速に処理するコンピュータである。

はじめに、現在までに稼働ないし発表されているこの種の科学技術計算専用コンピュータを表-1に示す。これらは、主として気象予報、地震波の解析（資源の探査）、原子核物理、航空工学などに使用されている。

表-1 科学技術専用コンピュータ

| 名称 | メーカー | 処理方式 | 稼働または発表時期 |
|------------------|-----------------------------|--------------------|-----------|
| STAR-100 | Control Data Corp. | パイプライン | 1973 |
| ASC | Texas Instruments | パイプライン | 1972 |
| ILLIAC IV | Burroughs | 並列処理 (プロセッサアレイ) | 1973 |
| CRAY-1 | Cray Research | パイプライン | 1976 |
| BSP | Burroughs | 並列処理 | 1977発表 |
| DAP | International Computer Ltd. | 並列処理 (プロセッサアレイ) | 1979 |
| CYBER-203 | Control Data Corp. | パイプライン | 1979発表 |
| FACOM 230/75 APU | 富士通 | パイプライン | 1976 |
| HITAC M-200H IAP | 日立 | パイプライン | 1979 |

† Recent Development in Super Computers by Toshihiko ODAKA and Shun KAWABE (Kanagawa Works, Hitachi Ltd.).

†† (株)日立製作所神奈川工場

一方、これらのすでに稼働ないし発表されている機種ほかに、現在、開発提案されているものがある。これらも超高速演算方式を探る目的で、対象として取り上げてみたい。これには、米国 NASA で計画している NASF プロジェクトへのバロース社の提案および CDC 社の提案がある。さらに将来のシステムとして、PHOENIX プロジェクトと呼ばれる提案がある。

3. 高速演算方式

はじめに、科学技術計算専用コンピュータの高速演算方式の特長を汎用コンピュータと比較して明確にしておく。

汎用コンピュータの最上位機グループに属する機種では、オーバラップ処理方式またはパイプライン処理方式と呼ばれる高速処理方式を採用している。

この例として、HITAC M シリーズの最高位モデルである M-200H のパイプライン処理の流れを図-1に示す。

図-1は、標準的な命令 (Add, Compare など) が連続した場合の処理の流れを示しており、命令語の読出し (IF)、解読とアドレス計算 (D)、アドレス変換 (A) および実行 (E) の各サイクルがオーバラップして処理されている。すなわち演算実行が連続するように処理されている。

次に、演算の実行そのものについて着目すると、汎用コンピュータでは、通常、演算そのものはオーバラップ処理されない。一方、科学技術計算専用コンピュータは、この演算の実行をオーバラップ処理し、高速演算を行っている。

図-2に、浮動小数点加算を例にして、科学技術計算専用コンピュータの高速処理方式を示す。浮動小数点加算は、指数部の比較 (C)、仮数部の桁合せ (S)、仮数部の加算 (A) および加算後の正規化 (N) の4つの動作に分解することができる。これらの動作がそれぞれ1つの演算ステージを構成するものとする、汎用コンピュータでは、浮動小数点加算を連続させたと

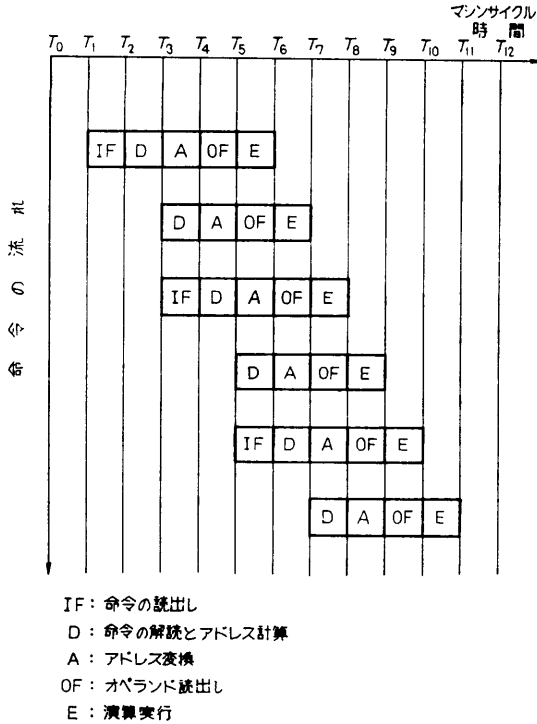


図-1 HITAC M-200H のパイプライン処理の流れ

き、図-2 に示すように CSAN の各ステージが直列に繰返される。一方、科学技術計算専用コンピュータでは、浮動小数点加算のベクトル命令を処理すると、図-2 の演算パイプライン処理のように、CSAN のステージをオーバーラップ処理するか、または並列処理のように複数の演算器をもち、並列に処理する。図-2 では、浮動小数点加算の例を示したが、このことは、減算、乗除算についても同じである。

このように、科学技術計算専用コンピュータでは、演算パイプライン処理方式または並列処理方式を採用し高速演算を行うので、前者の方式のものをパイプライン型、後者の方式のものを並列処理型という。さらに、これらの組合せである演算パイプラインを複数もつものもあり、このタイプもパイプライン型に含めている。また、並列処理の一つの典型として、プロセッサエレメントを多数もち、アレイ状に配列してそれらによる並列処理を行うものがある。このタイプを特に、プロセッサアレイ型と呼ぶことがある。

4. 1970 年代前半に開発された専用コンピュータ

4.1 STAR-100^{1),2)}

STAR (String ARray Processor) は、ストリングまたはアレイ型のデータを高速処理することを目的に開発された。このシステムはローレンス放射線研究所、NASA などで稼動している。

STAR-100 の特長は、ベクトル命令のパイプライン処理を追求した設計になっていることである。STAR-100 の構成を図-3 に示す。

主な仕様は、マシンサイクル 40ns、演算パイプライン数 3 個 (ストリングユニット 1 個、浮動小数点演算ユニット 2 個)、演算データ幅 32 または 64 ビット、レジスタ構成 256 語 (1 語 64 ビット)、主記憶容量最大 1 メガ語、主記憶インタリーブ 32 バンク (1 語 512 ビット)、主記憶サイクルタイム 1.28 μs (コアメモリを使用) などである。

STAR-100 のパイプライン方式では、64 ビットデータの場合、40 ns のピッチで 2 個の浮動小数点演算結果を得ることができるから、ピーク処理能力は 50 MFLOPS (Mega Operation/sec) である。

4.2 TI ASC^{3),4)}

ASC (Advanced Scientific Computer) は、地震波の高速処理を目的に開発されたもので、地震波の処理、気象の予報に使用されている。

ASC の特長は、パイプライン処理を行う演算ユニットを最大 4 個まで接続できることである。ASC の構成を図-4 に示す。

主な仕様は、マシンサイクル 80 ns、演算パイプライン数 4 個、演算データ幅 64 ビット、レジスタ構成 48 または 96 語 (1 語 32 ビット)、主記憶容量最大 1 メガ語+オプション 1 メガ語、主記憶インタリーブ 16 バンク、主記憶サイクルタイム 160 ns などである。

ASC のパイプライン方式では、80 ns のピッチで 4 個の浮動小数点演算結果を得ることができるから、ピーク処理能力は 50MFLOPS である。

4.3 ILLIAC-IV⁵⁾

ILLIAC-IV は、STAR-100 と同じ頃イリノイ大学で最初の設計が行われ、その後、パロース社が引継いで完成し、現在では ARPANET システムに組み込まれている。

ILLIAC-IV の特長は、最初の大きなプロセッサアレイ型コンピュータとして、64 個のプロセッサエレメント (PE) が並列に動作することである。ILLIAC-IV の構成を図-5 に示す。

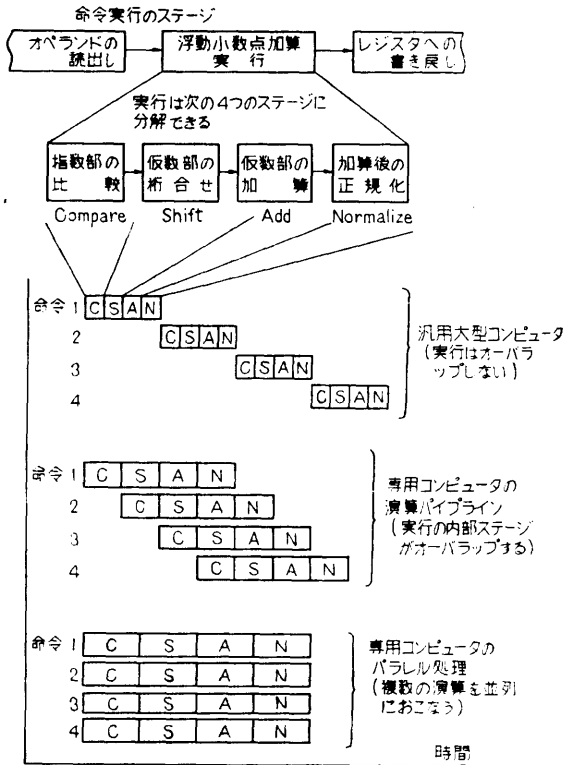


図-2 演算処理方式の比較

主な仕様は、マシンサイクル 80 ns, PE の数 64 個, 演算データ幅 64 ビット, 浮動小数点加算時間 560 ns, 浮動小数点乗算時間 720 ns, PE ごとの記憶容量 2,048 語 (1語 64 ビット), PE ごとのレジスタ構成 64 語などである。

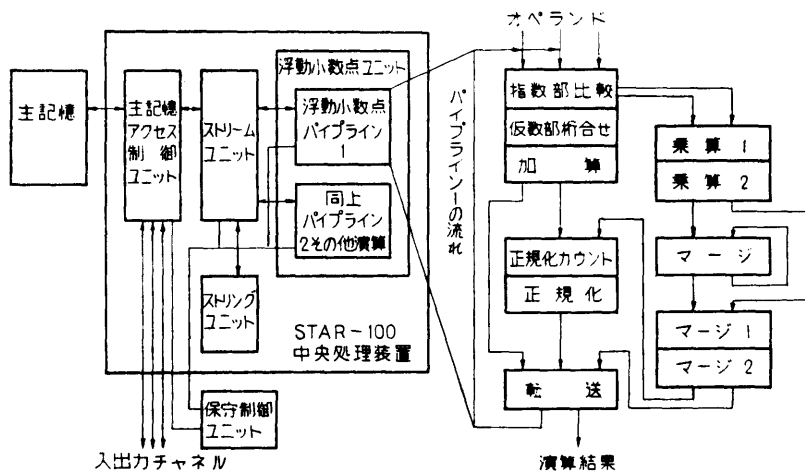


図-3 STAR-100 の構成

ILLIAC-IV では、560 ns ごとに 64 個の浮動小数点加算結果を得ることができ、このとき、約 12 ns ごとに 1 個の演算結果を得るパイプライン処理と同等になり、ピーク処理能力は約 80 MFLOPS となる。

5. 最近に開発された専用コンピュータ

5.1 HITAC M-200H IAP

科学技術計算専用コンピュータの処理方式を汎用コンピュータの中に取り入れたものとして、HITAC M-200H IAP (Integrated Array Processor: 内蔵レイアウトプロセッサ) がある。M-200H IAP は、M-180 IAP と同様に、表-2 に示すベクトル命令と、図-6 に示す IAP 構成を標準の M-200 H 処理装置にオプション機構として付加し、高速化を図ったものである。

表-2 に示すベクトル命令は、項番 1 から 13 までの命令の短精度型 (命令略称で末尾に E がつく) と長精度型 (同じく D がつく) を合わせて 26 種と、項番 14 と 15 の命令 2 種とで合計 28 種ある。

一方、図-6 に示す IAP 機構は、ベクトルデータ制御部、ベクトルアドレス制御部およびベクトル命令制御用マイクロプログラムとからなる。ベクトルアドレス制御部は、あらかじめ計算したアドレスによりベクトル要素を次々と読み出し、データをベクトルデータ制御部に格納する。このベクトル要素データは連続的に取り出され、あらかじめ演算パイプライン処理できるように構成した汎用コンピュータ M-200 H の浮動小数点加減算器および乗除算器により、演算パイプライン処理される。

この演算パイプライン処理の様子を Vector Multi-

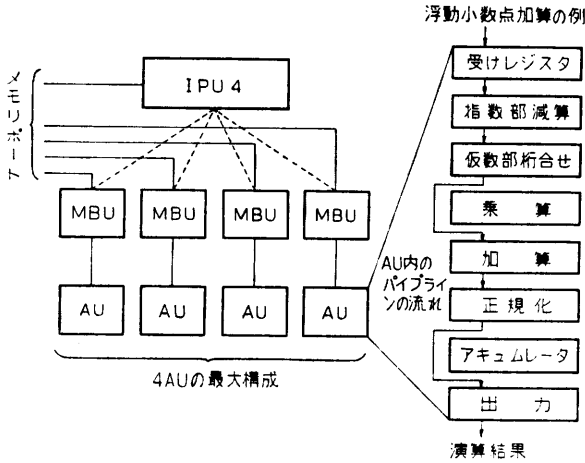


図-4 ASC の構成

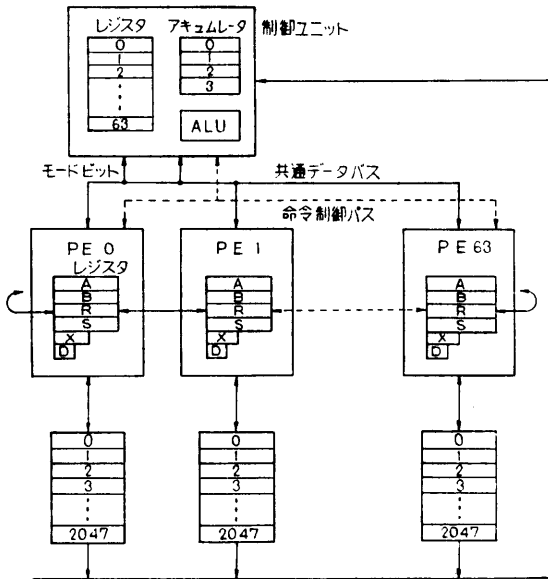
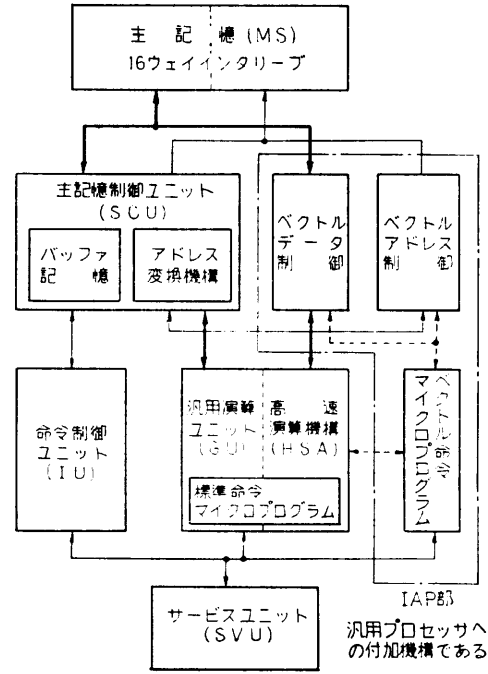


図-5 ILLIAC IV の構成

ply (VEME) 命令の場合を例にとり、図-7 に示す。ベクトル乗算ではベクトル X とベクトル Y の要素ごとの積をとりベクトル Z を作る $Z_i = X_i * Y_i$ の処理を行うが、 $X_i * Y_i$ 、 $X_{i+1} * Y_{i+1}$ 、 $X_{i+2} * Y_{i+2}$ の3つの演算をオーバーラップし、図-7 のような流れで高速処理する。このときのピーク処理能力は、24 MFLOPS であり、特に、Scalar Multiply & Add (VSMAE) 命令などの複合ベクトル演算命令ではピーク処理能力は 48 MFLOPS である。

プログラムの互換性の面では、標準の FORTRAN の言語仕様のままでベクトル命令に展開できる FOR-



標準の M-200H 処理装置

図-6 M-200H IAP の構成

TRAN コンパイラを開発し、高級言語レベルでの互換性を保っている。

また、TSS、会話処理などマルチプログラム処理での運用を考慮して、ベクトル命令実行の途中でも外部

表-2 ベクトル命令の種類

| 番号 | 命令略称 | 命令名称 | オペレーション内容 |
|----|--------------|--------------------------------------|--------------------------------------|
| 1 | VME, VMD | Vector Move | $Z_i \leftarrow X_i$ |
| 2 | VEAE, VEAD | Vector Elementwise Add | $Z_i \leftarrow X_i + Y_i$ |
| 3 | VESE, VESD | Vector Elementwise Subtract | $Z_i \leftarrow X_i - Y_i$ |
| 4 | VEME, VEMD | Vector Elementwise Multiply | $Z_i \leftarrow X_i * Y_i$ |
| 5 | VEDE, VEDD | Vector Elementwise Divide | $Z_i \leftarrow X_i / Y_i$ |
| 6 | VECE, VECD | Vector Elementwise Complement | $Z_i \leftarrow -X_i$ |
| 7 | VIPE, VIPD | Vector Inner Product | $S_i \leftarrow S + \sum X_i * Y_i$ |
| 8 | VSME, VSMD | Vector Element Sum | $S_i \leftarrow S + \sum X_i$ |
| 9 | VITRE, VITRD | 1st Order Iteration | $Z_{i+1} \leftarrow X_i + Y_i * Z_i$ |
| 10 | VSMCE, VSMCD | Vector Element Sum with Complement | $S_i \leftarrow S - \sum X_i$ |
| 11 | VIPCE, VIPCD | Vector Inner Product with Complement | $S_i \leftarrow S - \sum X_i * Y_i$ |
| 12 | VSMAE, VSMAD | Scalar Multiply & Add | $Z_i \leftarrow Z_i + X * Y_i$ |
| 13 | VSMSE, VSMSD | Scalar Multiply & Sub. | $Z_i \leftarrow Z_i - X * Y_i$ |
| 14 | VCVDE | Convert Double to Single | $Z_i(S) \leftarrow X_i(D)$ |
| 15 | VCVED | Convert Single to Double | $Z_i(D) \leftarrow X_i(S)$ |

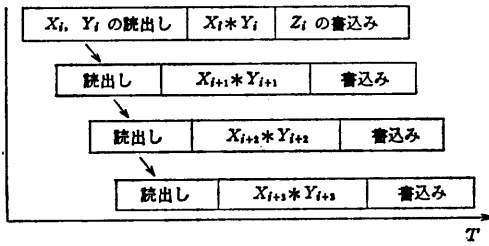


図-7 ベクトル乗算のパイプライン処理

割込みを受付けることができる。

5.2 CRAY-1^{6),7)}

CRAY-1 はパイプライン処理を追求して設計されている。主な特長として、

- (1) 12.5 ns ピッチのパイプライン処理
- (2) 高速 IC メモリのベクトルレジスタ
- (3) ベクトルのチェイニング処理

などを挙げる事ができる。

構成上の特長である高速 IC メモリを用いたベクトルレジスタの構成を図-8 に示す。

主な仕様は、マシンサイクル 12.5 ns、演算ユニット数 12 個（浮動小数点演算ユニットは 3 個）、演算データ幅 64 ビット、ベクトルレジスタ構成 8×64 語（1 語 64 ビット）、浮動小数点加算時間 75 ns、浮動小数点乗算時間 87.5 ns、主記憶容量最大 4 メガ語、主記憶インターリーブ 16 バンク、主記憶サイクル 50 ns などである。

CRAY-1 のパイプライン方式では、12.5 ns のピッチで 1 つの浮動小数点演算結果を得ることができるから、ピーク処理能力は 80 MFLOPS (Mega Operation/sec) である。

しかし、3 番目の特長であるチェイニング機能により、さらにピーク処理能力を高めるとともに、実効的な処理能力を高めることができる。このチェイニング動作を図-9 に示す。例えば次のような

$$Z(I) = A(I) * (B(I) + C(I))$$

を演算する場合、図-9 に示すように、ベクトルレジスタ 0 の B_i とベクトルレジスタ 1 の C_i との加算の結果をベクトルレジスタ 3 へ格納すると同時に、ベクトルレジスタ 2 の A_i との乗算を直ちに開始することができる、この動作をチェイニングと呼んでいる。

このチェイニング動作を行う処理の流れを図-10 に示す。CRAY-1 では浮動小数点加算は 6 マシンサイ

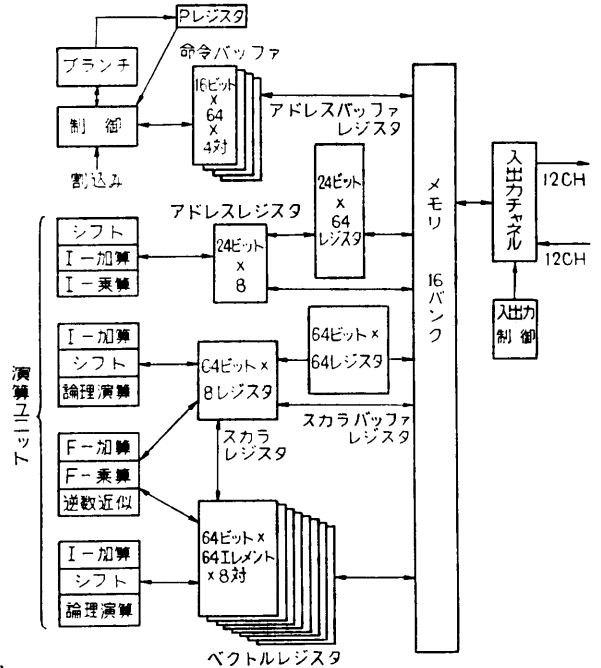


図-8 CRAY-1 の構成

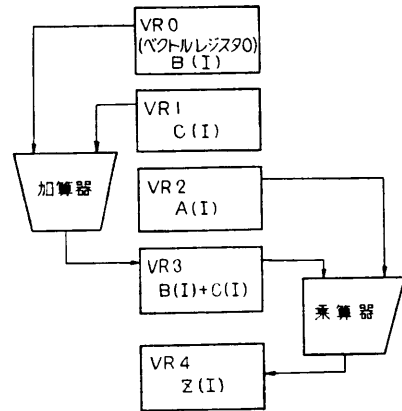


図-9 チェイニング動作

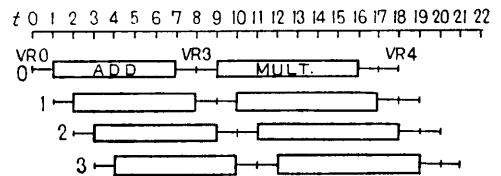


図-10 チェイニング動作のタイムチャート

クル、浮動小数点乗算は7マシンサイクルで処理される。

5.3 CYBER 203⁹⁾

CYBER 200 モデル 203 は、STAR-100 の特長を引継ぐパイプライン処理コンピュータである。CYBER 203 では、高速のスカラプロセッサの組み込み、LSI の使用とそれによるマシンサイクルの高速化、主記憶の高速化などが図られている。

CYBER-203 の構成を図-11 に示す。

主な仕様は、スカラプロセッサのマシンサイクル 20 ns、演算ユニット数 3 個 (スカラユニット 1 個+浮動小数点ユニット 2 個)、演算データ幅 64 ビット、レジスタ構成 256 語 (1 語ビット)、主記憶容量最大 2 メガ語、主記憶インタリーブ 32 バンク (容量 2 メガ語のとき)、主記憶サイクルタイム 80 ns などである。

CYBER 203 のパイプライン処理では、64 ビットデータの場合、ベクトルプロセッサは 40 ns のピッチで 2 個の浮動小数点演算結果を得ることができるから、ピーク処理能力は 50 MFLOPS と、STAR-100 と同じであるが、スカラプロセッサを高速にした点が特長になっている。

5.4 BSP (Burroughs Scientific Processor)^{9),10)}

BSP は、複数の演算ユニットを並列に動作させ、ベクトル処理の高速化を図っている。主な特長として、

- (1) 16 個の演算ユニット(AE: Arithmetic Element) による並列処理
- (2) 4~64 メガ語の CCD メモリによる 2 次記憶
- (3) コンフリクトフリーメモリ構成
- (4) FORTRAN の DO ループの自動最適化機能などが挙げられる。

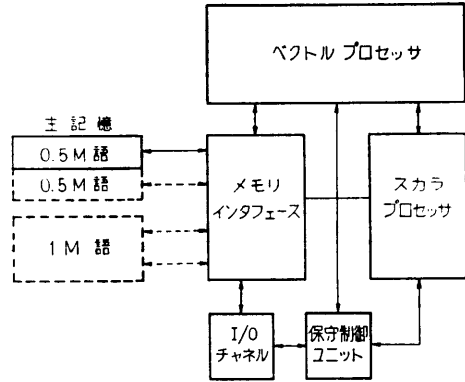


図-11 CYBER 203 の構成

BSP のシステム構成を図-12 に示す。

主な仕様は、マシンサイクル 80 ns (AE はサイクル 160 ns)、演算ユニット数 16 個、演算データ幅 48 ビット、浮動小数点加算時間 320 ns、浮動小数点乗算時間 320 ns、主記憶容量最大 8 メガ語 (1 語 48 ビット)、主記憶インタリーブ 17 バンク、主記憶サイクルタイム 160 ns などである。

したがって 16 個の AE がすべて並列に動作したとき、320 ns ピッチに浮動小数点演算結果を 16 得ることができるから、20 ns ピッチに 1 つの浮動小数点演算結果を得るパイプライン処理コンピュータとピーク処理能力が等価となる。すなわち、ピーク処理能力は 50 MFLOPS である。

16 個の AE を効率よく動作させるためには、連続する 16 要素の演算時に、主記憶から同時に 16 のオペランドが並列に読出せることが望ましい。主記憶を、図-12 に示すようにパラレル記憶と呼び、行列をパラレル記憶上に配列したとき、どの行、どの列でも連続

16 個の要素が一度にアクセス可能のように、パラレル記憶を 17 という素数のインタリーブを行い、コンフリクトフリーメモリ構成と呼んでいる。

同様に 16 個の AE を効率良く動作させるためには、演算するベクトルの要素の数が 16 以上であることが望ましい。例えば、2 重の DO ループ

```
DO 10 I=1, 70
DO 10 J=1, 5
A(I, J)=B(I, J)+C(I, J)
10 CONTINUE
```

の処理では、内側が 5 回のループなので要素の数 5 のベクトル演算を 70 回繰返すことに

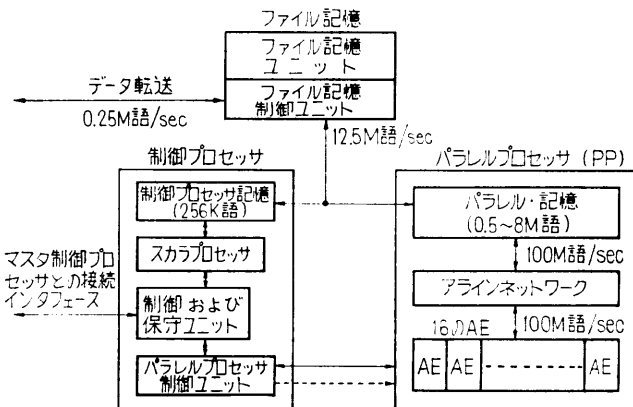


図-12 BSP の構成

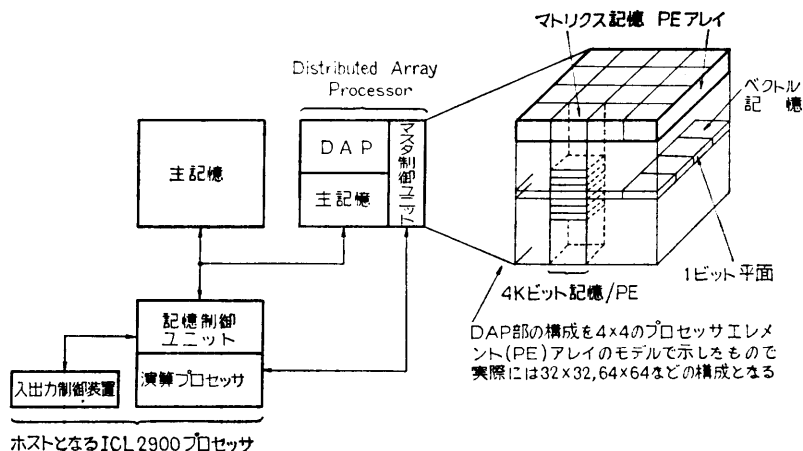


図-13 DAP の構成

なる。この DO ループでは、I と J の演算順序を変更しても結果は同じなので、内側を I について 70 回のループにすれば、要素の数 70 のベクトル演算を 5 回繰返すことになり、この方が効率良く処理される。このようなとき、自動的に I と J の演算順序を入れ替える機能をもたせ、処理効率の向上を図っている。

このように BSP では、ピーク処理能力の向上ではなく、平均的期待値としての処理能力向上を図った工夫を行っている。

5.5 DAP (Distributed Array Processor)^{11),12)}

DAP は、並列処理をさらに推し進めたもので、1 ビット幅の演算器をもつプロセッサエレメント (PE) を 32×32 (1,024) 個、 64×64 (4,096) 個などのように配列し、並列に動作させて高速処理を行うプロセッサアレイ型のコンピュータである。

各々の PE は、4 キロビットの記憶をもち、 64×64 の配列をした DAP では、記憶容量は合計 2 メガバイトとなる。この 2 メガバイトの記憶部は、ICL 2900 シリーズ処理装置の主記憶の一部として接続される。換言すれば、ICL 2900 シリーズ処理装置の中に PE が埋込まれている。その構成を 4×4 PE のモデルで図-13 に示す。

DAP を構成する主記憶には、PE アレイとそれを制御するマスタ制御ユニットとが組込まれている。ICL 2900 シリーズ処理装置が PE の組込まれている主記憶上にデータを用意し、マスタ制御ユニットに演算を指令する。PE が並列処理を行う間、ICL 2900 シリーズ処理装置は、通常の主記憶を使用して通常の演算処理を行うことができる。DAP の演算が終了す

ると、マスタ制御ユニットは ICL 2900 シリーズ処理装置に割込みをかける。

DAP の主な仕様は、マシサイクル 200 ns、PE の数 4,096 (64×64) 個、演算データ幅 1 ビット、浮動小数点加算時間 135 μ s (32 ビットデータ)、浮動小数点乗算時間 250 μ s (32 ビットデータ) などである。

PE は前後左右の PE とのみデータ交換のポートをもつ 1 ビットの直列加算機である。したがって、今後の半導体技術の進歩により、PE を 1 チップ素子で構成し PE の数を例えば 128×128 などのように大きくすることやマシサイクルを向上させることが可能なことなど性能向上のポテンシャルが大きいことが特長である。

6. 将来に提案されている超高速演算コンピュータ

6.1 NASF プロジェクト¹⁴⁾

NASF とは Numerical Aerodynamic Simulation Facility を意味し、NASA が風洞実験シミュレーション用に計画している Navier Stokes Equation Solver (NSS) である。

NASA から提示されている仕様のガイドラインは、およそ次のようである。

(1) 目標性能

$100 \times 100 \times 100$ の格子点での Navier Stokes Equation の解が 10 分以内に求まること、具体的には、40 メガ語のデータを扱い、1,000 MFLOPS の性能をもつこと。

(2) プログラム言語

FORTRAN 77 が使用可能であること、ただし、プログラムの並列処理は、プログラマが意識して表現することでよい。

(3) 基本的なハードウェアシステムの構成

システムは、フローモデルシミュレータ (FMP: Flow Model Simulator) とサポートプロセッサシステム (SPS: Support Processor System) とからなる。FMP は高速計算を行い、SPS はコンパイル処理、ジョブスケジュール、ファイル処理、会話処理などを行う。

この NASF プロジェクトに対し、パロース社と CDC 社からの提案システムがある。

パロース社の提案システムの骨子を図-14 に示す。これは 512 個の演算ユニットを並べて、それぞれの演算ユニットに 32 キロ語 (1 語 48 ビット) の記憶をもたせ、これを FMP とし、主記憶は容量 34 メガ語、バックアップに 134 メガ語の CCD メモリを接続するシステムである。演算ユニットは 1 個あたり 3 MFLOPS であり、ベクトル乗算 $X_i * Y_i$ の処理で 1,500 MFLOPS のピーク処理能力をもつとしている。

また、BSP の設計の考え方と同様に、521 という素数バンクのインターリーブによりコンフリクトフリーメモリを構成し、ユーザがハードウェア仕様を意識しなくても高級言語により使用できるようにするなどの提案をしている。

一方、CDC 社の提案システムの骨子を図-15 に示す。これは STAR-100 のようなパイプラインプロセッサを 8 個並べて FMP とし、主記憶容量は 8 メガ語、バックアップに 256 メガ語の CCD メモリを接続するシステムである。

パイプラインプロセッサは、1 個あたり 64 ビットの乗算 $X_i * Y_i$ で 62.5 MFLOPS の処理能力をもつ。したがって、8 プロセッサで $X_i * Y_i$ につき 500 MFLOPS であるが、各プロセッサは 2 個ずつの加算器と乗算器をもち、 $A_i * B_i + C_i * D_i$ の複素数演算などで 1,500 MFLOPS のピーク処理能力をもつとしている。

6.2 PHOENIX システム¹⁵⁾

PHOENIX システムは、Institute for Advanced Computation から NASA へ将来システムとして提案されたもので、ILLIAC-IV をベースマシンとした風洞のシミュレーションシステムである。

次世代の 3 次元の NSS プログラムコードは、3~15 メガ語のデータを扱い、タイムステップあたり 40 個

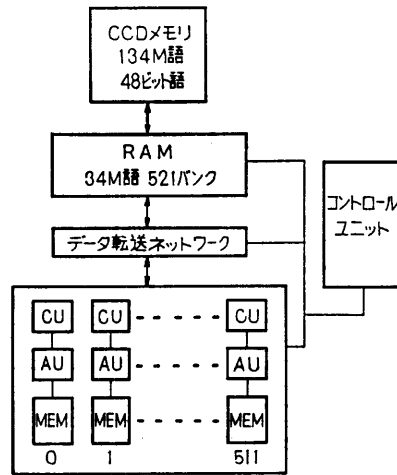


図-14 パロース社の提案した NSS

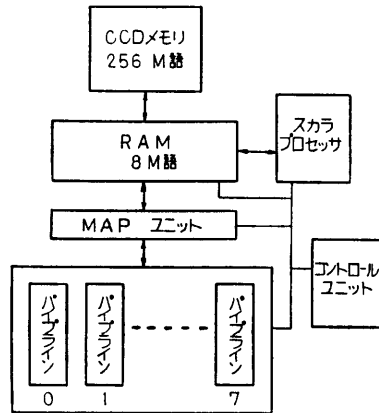


図-15 CDC 社の提案した NSS

いし 100 の浮動小数点演算 (FLO: Floating Operation)を必要とし、典型的なシミュレーションでは、1,800 タイムステップを処理すると仮定すると、最大のシミュレーションでは、

$$15 \text{メガ語} \times 100 \text{ FLO} \times 1,800 \text{ タイムステップ} \\ = 2,700 \text{ Billion FLO}$$

必要となる。これを数分で処理するために目標を 10.2 BFLOPS (Billion Floating Operation/sec) としている。

PHOENIX システムの構成の要素を図-16 に示す。プロセッサエレメント (PE) の数は $32 \times 16 = 512$ を最終目標とし、PE あたり 2 つの AU (Arithmetic Unit) を持っている。1 つの AU の性能を 10 MFLOPS とすることにより、最終的に $20 \text{ MFLOPS} \times 512 = 10.2 \text{ BFLOPS}$ を実現しようとする提案である。こ

の提案での AU は、ILLIAC IV の AU に似た構成である。

6.3 Rand Corporation の NSS¹³⁾

Rand Corporation では、NSS として 100×100 のプロセッサエレメント (PE) のプロセッサアレイ型コンピュータを提案している。

図-17 に示すように、PE を格子状に配列し、1 個の PE は 16 キロビットの記憶とレジスタ群と、100 ns で固定小数点加算を行う加算器とをもつ。1 個の PE は、固定小数点乗算を 5 μs で行う。これを 0.2 MO-PS (Mega Operation/sec) と書くことにすると、100×100 の PE アレイがすべて並列に動作した場合には、0.2 MO-PS×100×100=2 Billion OPS となる。

PE は、固定小数点加算器をもつとしたが、浮動小数点演算に拡張する考えも容易に類推できる。

この方式の問題は、すぐ隣りの PE とのみデータ交換ができるという条件のもとで PE アレイを使うアルゴリズムの開発であり、その推進を提案している。

7. アプリケーションプログラムとの適用性

以上述べてきた技術計算専用プロセッサの超高速演算能力を生かすためには、プログラムに関して次のことが必要となる。

- (1) プログラムの実行時間の大部分が DO ループの実行時間であること。
- (2) その DO ループがベクトル命令に展開されて、高速に実行されること。

7.1 DO ループのベクトル化

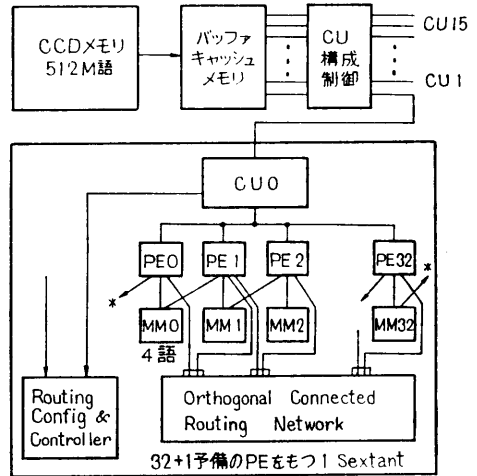
プログラムの実行時間のうち DO ループの実行時間の占める割合が大きいが、超高速演算能力を生かすための大きな条件である。たとえば DO ループの実行時間が全体の 50% であったとすると、専用プロセッサでこの部分の時間をたとえ 0 にしても、2 倍の性能しか得られない。これは逆に専用プロセッサにおいても DO ループ以外のスカラ演算の能力が高くなければならないことを意味している¹⁶⁾。

次に DO ループをベクトル命令に展開する場合に、データの定義参照関係がベクトル命令を適用することによって矛盾しないことが重要である。

〈例 1〉 ベクトル化が可能な例

```
DO 10 I=2, N
A(I)=B(I)+C           (a)
E(I)=F(I)*A(I-1)     (b)
```

10 CCNTINUE



最終的には 16 Sextant で構成される

図-16 PHOENIX システムの構成

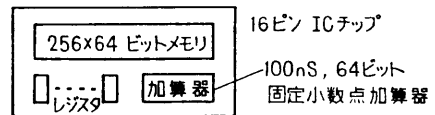
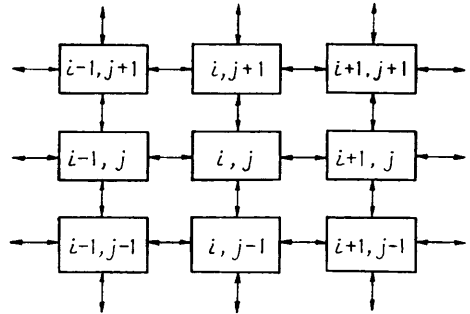


図-17 Rand 提案の NSS

この DO ループにベクトル命令を適用することは、次のような小 DO ループ群に分割して実行することと等価になる。

```
DO 100 I=2, N
A(I)=B(I)+C           (a')
```

```
100 CONTINUE
DO 200 I=2, N
E(I)=F(I)*A(I-1)     (b')
```

200 CONTINUE

すなわちベクトル命令を適用すると文 (a), (b) はそれぞれ文 (a'), (b') に分けられて実行される。この例では、文 (b) の A(I-1) で参照する値は、文 (a) で設定した値であるため、計算結果は変わらずベクト

ル命令の展開が可能になる。

〈例2〉ベクトル化が不可能な例

```
DO 10 I=2, N
  A(I)=B(I)+C           (an)
  E(I)=F(I)*A(I+1)     (bn)
10 CONTINUE
```

この例では、文 (bⁿ) において A(I+1) で参照する値は、ベクトル命令を適用しない場合は DO ループに入る前に設定した値であるのに対し、ベクトル命令を適用しようとする、文 (aⁿ) で設定した値を参照することになり、両者で異なる計算となるためベクトル化が不可能となる。

7.2 ベクトル命令の機能

DO ループをベクトル命令に適用する場合、DO ループの特性に合ったベクトル命令の機能が必要となる¹⁷⁾。現在のところ次の特性を持つ DO ループについてベクトル命令が用意されつつある。

(1) 四則演算のみの DO ループでデータの定義参照関係が適当であるもの。

(2) 内積、積和といったマクロ演算。

(3) IF 文を含む DO ループ。

(4) インデクス・ベクトルを含む DO ループ

〈例〉DO 10 I=1, N

```
10 R(IV(I))=R(IV(I))+A(I)*B(I)
```

(5) スパース・ベクトルを含む DO ループ

これらのうち、(1)、(2)に関しては処理を完全にパイプライン化あるいは並列化することが可能なため、現在までの技術計算専用プロセッサによってその高速性能が確かめられている。しかし(3)、(4)、(5)に関しては、メモリアクセスや演算の処理に不規則性が生じるため、処理の高速化が比較的困難になっている。今後はこのような複雑な DO ループを高速化することがきわめて重要な課題である。

7.3 コンパイラによるベクトル化

DO ループをベクトル命令に展開する場合に、

(1) ベクトル演算処理の宣言を行う拡張 FORTRAN 言語によりベクトル命令に展開する。

(2) 標準の FORTRAN 言語の DO ループをコンパイラがベクトル命令に展開できるかどうかを調べ、可能ならばベクトル命令に展開する。

などの方法がとられている。前者の例として LRL1 RAN, IVTRAN, CFD, GLYPNIR, DAP-FORTRAN, VECTRANなどが開発されてきたが、共通の言語仕様とはなっていない点が大きな問題である。

一方最近のプロセッサである CRAY-1 では標準の FORTRAN 言語をベクトル命令に展開するコンパイラが開発されており、M-180/M-200H IAP でも最内側の DO ループをベクトル命令に適用するアルゴリズムを開発してコンパイラによるベクトル命令の展開を行っている¹⁸⁾。

この方法は従来のプログラムがそのまま使用できる点が大長所となっている。現在は適用の範囲が四則演算あるいは内積、積和に限られており、IF 文を含む DO ループでは CRAY-1 の場合、

```
DO 10 I=N, M
  X(I)=A(I)
```

```
10 IF(B(I).GT.C(I))X(I)=D(I)
```

は次のように CVMGM というユティリティ・プロセッサを用いることによってベクトル化される¹⁹⁾。

```
DO 10 I=N, M
  10 X(I)=CVMGM(D(I), A(I), C(I)-B(I))
```

今後コンパイラによるベクトル命令の展開は、ますます重要になり、近い将来 IF 文を含む DO ループに関してもコンパイラによるベクトル化が適用されると思われる。

しかし今後のハードウェアの性能は回路速度より回路密度の進歩の方が大きいために、並列処理化によって高速化を進めて行く方向になると予想される。このためプログラムが並列処理を指定することも考えられる。たとえば ILLIAC-IV のために開発した IVTRAN の言語では、

```
DO 10 FORALL(I, J)/[1.64].C.[1.63]
  W(I, J)=U(I, J)+C(J)*U(I, J+1)
10 CONTINUE
```

によって DO ループの並列処理を宣言している²⁰⁾。また前述した NASA の NASF プロジェクトでも、DOALL あるいは CODO といった宣言文によりプログラムで並列性を保証する案が提案されている。今後はこのような並列処理性を持つベクトル処理向きの拡張言語の開発が、ますます重要になるものと考えられる。

8. 今後の課題

以上に述べてきた大規模科学技術計算専用コンピュータは、例えば、気象予報、原子核物理学、航空工学などの分野で使用されたり、使用されることを目的として提案されているものである。今後のニーズとして、NASF プロジェクトのようにシミュレーションのニ

ーズが増大することが予想される。

NASF で要求されている性能は、現在、世界各地で稼動しつつある CRAY-1 の 10~100 倍であり、この要求が満たされてもなお、さらに高速なものが要求されることが予想される。

CRAY-1 は、すでに述べたようにマシンサイクルが 12.5 ns のパイラインプロセッサである。この演算処理方式のまま、例えば 10 倍高速にするためにマシンサイクルを 1/10 にすることは、半導体技術からみて困難なことと思われる。このため 10~100 倍の目標に対しては、並列処理化の道を進まざるを得ない。並列処理化を極端に進めたものが、DAP や Rand Co. の提案の NSS といえよう。

しかし、これまでの数値計算のプログラムは一般に直列処理を前提に作られているものが多い。したがって、一部を 7 で示したように、並列処理プロセッサを効率良く動作させるためには、プログラムの変更やアルゴリズムの開発が必要になる。

このようなプログラムの変更やアルゴリズムの開発の容易な並列処理のアーキテクチャの開発が、今後の科学技術専用コンピュータの重要な課題である。

9. おわりに

科学技術計算専用コンピュータとしては、以上述べてきたもののほかに、マイクロプロセッサ複合体、信号プロセッサ、画像プロセッサなどがある。これらについては紙面の都合で触れることができなかったが、これから発展して行く分野であろう。

半導体技術の進歩によるハードウェア構成法の多様化と、科学技術の進歩による高速科学技術計算のニーズとの接点で、多くの新しい専用コンピュータが生まれると予想される。どのような超高速演算方式が現われるか、将来の大きな楽しみでもある。

参考文献

- 1) Purcell, C. J.: The control data STAR-100—Performance measurements, NCC, p. 385 (1974).
- 2) Control Data STAR-100 Computer Hardware Reference Manual, Control Data Co. (1974).
- 3) Watson, W. J. and Carr, H. M.: Operational Experiences with TI Advanced Scientific Computer, NCC, p. 389 (1974).
- 4) ASC A Description of the Advanced Scientific Computer System, Texas Instruments Inc. (1972).
- 5) Slotnick, D. L. et al.: The ILLIAC IV System, Proc. IEEE (Apr. 1972).
- 6) Johnson, P. M.: An Introduction to Vector Processing Cray Research Inc. (1978).
- 7) Russel, R. M.: The CRAY-1 Computer System, Communications of ACM, Vol. 21, No. 1, p. 63 (1978).
- 8) The Control Data CYBER 200 Series CYBER 203, Control Data Corp. (1979).
- 9) Jensen, C.: Taking Another Approach to Supercomputing, Feb. Datamation, p. 159 (1978).
- 10) Introduction to Burroughs Scientific Computer, Burroughs Co.
- 11) Flanders, P. M. et al.: Efficient High Speed Computing with the Distributed Array Processor, High Speed Computing and Algorithm Organization, Academic Press Inc. p. 113 (1977).
- 12) DAP Distributed Array Processor, International Computer Limited (1978).
- 13) Gritton, E. C. et al.: Feasibility of a Special-Purpose Computer To Solve the Navier-Stokes Equations, Rand Corporation (1977).
- 14) Future Computer Requirements For Computational Aerodynamics, NASA Conference Publication 2032 Ames Research Center (Feb. 1978).
- 15) Feierbach, G. and Stevenson, D.: Phoenix System Preliminary Study, Institute for Advanced Computation, Phoenix Project Memorandum No. 011, (June 1976).
- 16) Rudinski, L. and Worlton, J.: The impact of scalar performance on vector and parallel processors, High Speed Computing and Algorithm Organization, Academic Press Inc., p. 451 (1977).
- 17) Umetani, Y. et al.: An analysis on applicability of the vector operations to scientific programs and the determination of an effective instruction repertoire, pp. 331-335, Proc. of 3rd UJCC (1978).
- 18) Takanuki, R. et al.: Some compiling algorithms for an array processor, pp. 273-279, Proc. of 3rd UJCC (1978).
- 19) CRAY-1 FORTRAN (CFT) Reference Manual, 2240009 (1977).
- 20) The IVTRAN manual, Massachusetts Computer Associates, Wakefield, MA 07880 (Nov. 1973).

(昭和 55 年 3 月 4 日受付)