

回路モジュールの再利用を考慮した RTL 電力シミュレータの一構成と評価

森川敏雄[†] 川内裕文[†] 谷口一徹[‡] 福井正博[‡]

[†]立命館大学大学院理工学研究科

[‡]立命館大学工学部電子情報デザイン学科

^{†‡}〒525-0058 滋賀県草津市野路東 1-1-1

E-mail: mfukui@se.ritsume.ac.jp

あらまし 本研究では、回路モジュールの再利用を考慮した高精度な RTL 電力シミュレータの一構成と評価について述べる。従来の RTL 電力推定は、対象となる回路ごとに大規模な電力推定用データベースを構築する必要があるが、提案手法では、既設計回路モジュールの電力推定用データベースを再利用することで高精度な電力推定を実現する。

キーワード RTL 電力推定, 回路モジュール, 再利用, パラメータ, LUT

RTL Power Simulator Considering Reuse of Circuit Module

Toshio MORIKAWA[†] Hirofumi KAWAUCHI[†]
Ittetsu TANIGUCHI[‡] and Masahiro FUKUI[‡]

[†]Graduate School Science and Engineering,

[‡]Dept. of VLSI System Design,
Ritsumeikan University

^{†‡}1-1-1 Noji-Higashi, Kusatsu, Shiga 525-0058, Japan

E-mail: mfukui@se.ritsume.ac.jp

Abstract This paper proposes RTL power simulator considering a reuse of circuit modules. The proposed RTL power simulator enables an accurate power estimation by reusing the power library of the reused circuit modules.

Keyword RTL power estimation, circuit module, reuse, parameter, LUT

1. はじめに

近年、半導体微細化技術の進歩によって、大規模で複雑なシステムを1つのLSIで実現することが可能となり、携帯電話などの高性能なモバイル機器が出現、普及するようになった。様々な電子機器の高性能化・多様化による回路規模の増大・複雑化に伴って、消費電力の増大や設計工程の長期化という深刻な問題を引き起こしている。

これらの問題に対して、低消費電力化、設計工程の短縮化を可能にする一つの解決策としては、レジスタトランスフェレブル (RTL) においての高精度な電力推定が効果的と言える。その理由として、設計の早期の段階で仕様通りの電力が得られているかを確認することができるため、設計の後半で手戻りが減らせる。また、解析速度が速いといった点から設計工程の短縮化にも繋がる。

RTL 電力推定方法には様々な推定手法が提案されており、大きくわけてテーブルベース、数式ベース、テーブルと数式の両方を用いた3つの推定方法がある。テーブル方式をベースとした電力推定は、回路の入力信号、または入出力信号の統計的な情報を用いてルックアップテーブル (LUT) により消費電力をモデル化する手法であり、推定精度が高く以前から広く用いられている[1, 2, 3, 4, 5]。数式をベースとした電力推定は、入出力信号の統計的な情報と消費電力の関係を1次式または2次式でモデル化する手法である[6]。この手法は、テーブル方式ベースの電力推定と比較すると短時間で電力推定が行えるが、式に用いる係数の数が膨大であること、電力推定精度に対しても劣るといった欠点がある。テーブルベースと式ベースの両方を用いた電力推定は、推定方法が複雑であり、電力推定精度においても従来手法とあまり変わらずメリットは少ない。

我々の研究グループでは、大規模回路を対象とした高精度・高効率な RTL 電力シミュレータを開発している。我々の RTL 電力推定方法は、テーブル方式をベースとしており、LUT を使用して簡単に電力推定が行える手法を用いている。この手法は、回路モジュールごとに LUT を作成しているが、回路には既設計モジュールを再利用したものもある。LUT は、大規模なデータ量を構築したライブラリであり、また新しく LUT を作成するのは時間と手間がかかってしまい効率的ではない。本研究では、より現実的な RTL 電力シミュレータ開発に向けての一つの提案手法として、既に LUT を持つ既設計回路モジュールを含んだ回路に対して、既存の LUT を再利用した効率的かつ高精度な RTL 電力推定の提案をする。

本稿の構成について以下に述べる。2章では、従来の RTL における電力推定手法の概要について述べる。次に、3章では、提案手法である回路モジュールの再利用を考慮した大規模回路を対象とした電力推定手法について述べる。そして、4章で、評価実験について述べ、5章で、まとめと今後の課題について述べる。

2. RTL 電力推定手法

本稿では、電力推定手法に用いるモデルとして、テーブル方式をベースとした電力推定を行っている。一般的なテーブルをベースとした RTL 電力推定は、1つの RTL ブロックにおいて推定を行っている。なお、内部の論理素子の構造はわかっているものとする。

テーブル方式の電力推定とは、サンプル値として様々な入力情報の特性と、そのときの消費電力をライブラリとなる LUT に格納しておく。そして、実際に電力推定を行うときは、LUT 中から入力情報に類似したものを選び出し、その電力値を消費電力として算出する手法である。

2.1 LUT 構築方法

高精度な RTL 電力推定を実現するためには、様々な入力に対する消費電力をあらかじめ測定し、それをライブラリ (LUT) として格納しておく必要がある。図 1 に LUT の構築の流れを示す[4]。

LUT を構築するには、まず任意の入力信号に対し、入力特性を抽出する。これは、入力信号の特徴を表したパラメータで、詳細は 2.3 節で述べる。そして、同じ入力信号を入力した際の消費電力を論理シミュレーションにより推定する。与えられた入力信号に対して、その入力特性と論理シミュレーションにより得られた消費電力は 1つのエントリとして LUT に格納される。同様に、様々な入力信号に対して入力特性や消費電力を測定し、LUT に格納する。

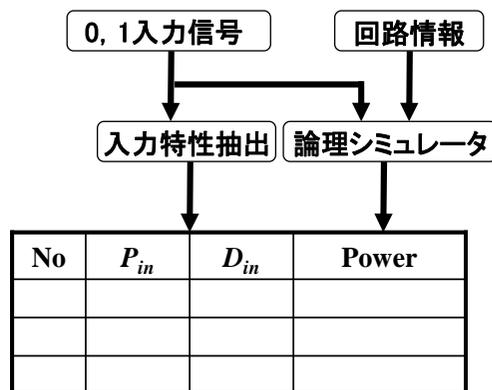


図 1 LUT 構築方法

2.2 LUT 参照方法

LUT が構築され、与えられた入力信号に対する消費電力を推定するための流れを図 2 に示す。与えられた任意の入力信号に対する消費電力を推定するためには、まず、入力信号に対する入力特性を計算する。そして、LUT を操作し、最も類似した入力特性を持つエントリを 1つ選択し、そして、そのエントリの消費電力を推定値として出力する。

LUT を参照し、消費電力を推定する際、LUT の 1つのエントリが選択され、そしてその消費電力が出力される。従って、RTL 電力推定の精度を上げるためには、LUT 構築の段階で、できるだけ多くの入力、かつ多様な入力に対して特性を抽出し、そのときの消費電力を推定しておく必要である。

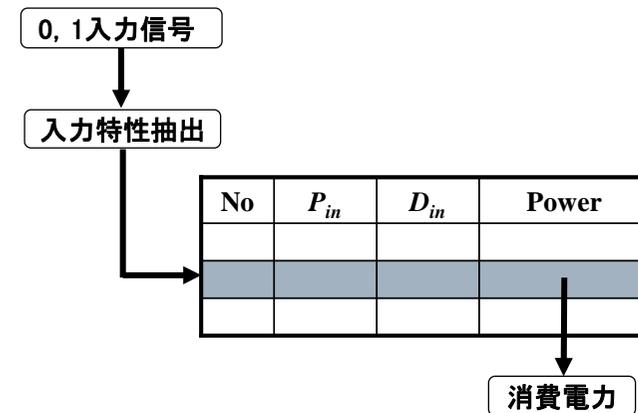


図 2 LUT 参照方法

2.3 信号特性パラメータ

テーブル方式をベースにした電力推定は、消費電力を推定するために、入力信号群の特性を抽出して LUT を参照する必要がある。入力信号群の特性抽出に用いるパラメータ P_{in} , D_{in} , ST_{in} について説明する[1, 2, 3, 5, 7, 8]。

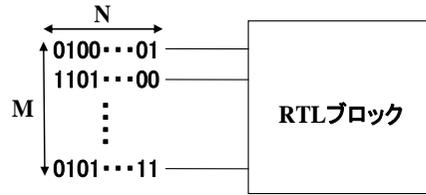


図 3 RTL ブロックへの入力イメージ

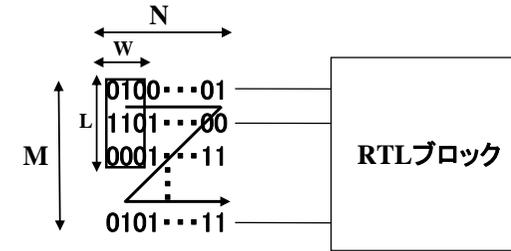


図 4 パラメータ ST_{in}

今、図 3 のように、対象の RTL ブロックが M 本の入力ピンを持ち、 N パターンの入力ベクトルが与えられたとする。 x_{ij} を、入力信号群における i 行 j 列の値 (0 または 1) とする。このとき、入力信号群の特性抽出に用いるパラメータ P_{in} 、 D_{in} 、 ST_{in} は次のように定義される。

P_{in} は、平均信号存在確率を表しており、各入力端子について 1 が存在する確率を示す [1, 2, 7, 8]。

$$P_{in} = \frac{\sum_{j=1}^M \sum_{i=1}^N x_{ij}}{MN} \quad (1)$$

D_{in} は、平均信号遷移確率を表しており、各入力端子において信号が遷移 (0→1 または 1→0) する確率を示す [1, 2, 7, 8]。

$$D_{in} = \frac{\sum_{j=1}^M \sum_{k=1}^{N-1} x_{jk} \oplus x_{j(k+1)}}{M \times (N-1)} \quad (2)$$

ST_{in} は、空間時間同時考慮相関確率を表しており、 S_{in} と T_{in} を同時に考慮したパラメータである。図 4 のように、入力信号を高さ L 、幅 W のボックスを用いて、中心にある値とその周辺の値との相関関係を表す確率である [5]。 b_{ij} を、高さ L 、幅 W のボックスの中心の値とし、 x_{lw} ($l=1 \sim L$ 、 $w=1 \sim W$) を、その周辺にある値とする。

$$ST_{in} = \frac{\sum_{i=(L-1)/2}^{M-(L-1)/2} \sum_{j=(W-1)/2}^{N-(W-1)/2} (b_{ij} \oplus x_{lw})}{(N-W+1) \times (M-L+1)} \quad (3)$$

3. 回路モジュールの再利用を考慮した電力推定

設計者が大規模な回路を設計する場合、既に設計した小さな回路モジュールを組み合わせて大規模な回路を設計していくのが一般的である。また、テーブルベースの RTL 電力推定手法では、電力推定の対象回路に対して電力推定用の LUT を構築し、消費電力を推定するのが一般的な流れである。しかし、回路モジュールによっては、既に RTL 電力推定手法に必要な LUT を持つものも存在することが考えられる。そこで本研究では、サブモジュールを含む階層的な回路ブロックに対し、既存の LUT を再利用しつつ、電力推定を行う手法について提案する。

3.1 回路モデル

今回対象とする回路モデルを図 5 に示す。今回対象とする回路モデルは、 N 個のモジュールから構成され、それらが任意に接続されているとする。各モジュールはそれぞれの電力推定用 LUT を持ち、各モジュール単位での RTL 電力推定が可能である。このとき、サブモジュール i で消費される電力を P_i とすると、回路全体で消費される電力 P は、以下のように計算されるとする。

$$P = \sum_{i=1}^N P_i \quad (4)$$

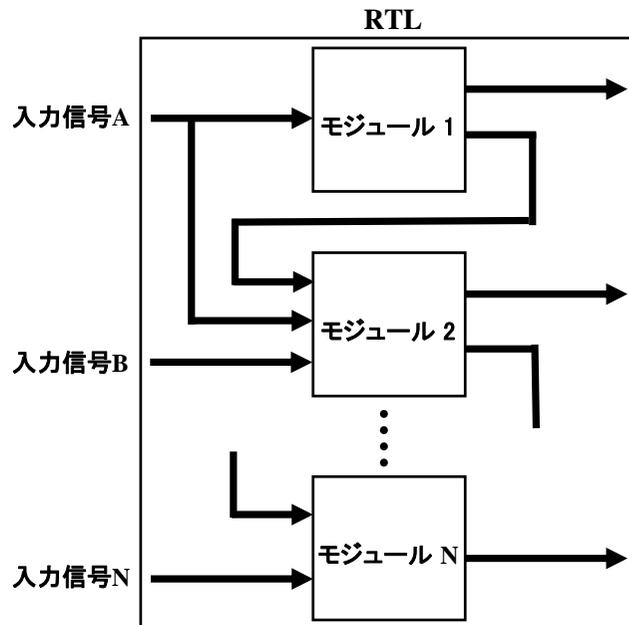


図 5 既設計回路モジュールを再利用した大規模回路モデル

3.2 既設計回路の電力推定アルゴリズム

既設計回路モジュールを含む大規模回路の電力推定を、新たな LUT 構築を行わずに実現するためには、(4) 式に示すように、モジュール単位で RTL 電力推定を行い、全体の消費電力を算出するのが最も効率的である。しかし、モジュール単位で RTL 電力推定を行うためには、各モジュールの入力信号の特性を抽出する必要がある。各モジュールの入力信号の特性を抽出するためには、回路全体に対して論理シミュレーシ

ョンを行い、各入力信号をビット単位で解析する必要がある。しかし、様々な既設計回路を含む大規模な回路の場合、論理シミュレーションの時間が莫大になる。

一方、入力信号の特徴パラメータを各モジュールに伝搬させることで各モジュールの消費電力を推定する手法も考えられるが、誤差の積算により精度が悪くなることは明白である。

そこで、本研究では、高速・高精度な大規模回路の電力推定を実現するために、論理シミュレーションではなく、動作シミュレーションを利用した電力推定手法を提案する。図 6 に電力推定の流れを示す。

提案する既設計回路モジュールを含む大規模回路の電力推定手法では、まず、与えられた入力信号に対して、回路のモジュール単位での動作レベルのシミュレーションを行う。動作レベルのシミュレーションを行うことにより、各回路モジュールの入力データを得ることができ、これにより各回路モジュールの入力信号をビットレベルに変換することで、入力特性のパラメータを正確に抽出できる。そして、得られたパラメータを元に各モジュールの消費電力を推定し、それらの総和を求めることで、回路全体の消費電力を推定できる。

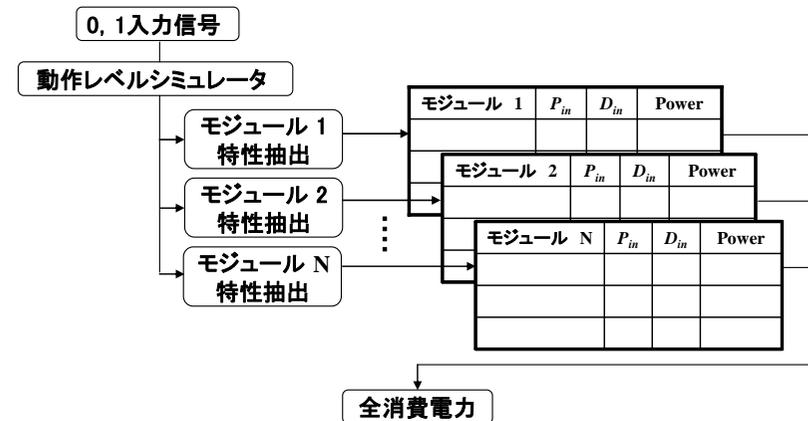


図 6 既設計回路の LUT 参照方法

4. 評価実験

提案手法の有効性を示すために、対象とする大規模回路全体に対して LUT を構築し消費電力を推定する従来の手法と、今回提案する動作レベルシミュレーションを利用することで各モジュールの消費電力を推定し、回路全体の消費電力を推定する手法を比較した。

LUT を構築するために、1 パターンあたり入力信号幅 500 の乱数を発生させ、特徴パラメータの抽出、消費電力の見積もりを行った。そして、それを異なる 5000 パターンについて同様に行い、LUT を構築した。

今回、入力信号の特性を抽出するのに使用したパラメータは、2 章で述べた (1) 式の P_{in} と (2) 式の D_{in} である。表 1 に今回の実験で使用した ISCAS-85 ベンチマーク回路を示す[9]。これらの回路に対して、論理シミュレーション（ゲートレベルシミュレーション）を行い、従来手法ならびに提案手法により得られた消費電力との誤差（RMS 誤差平均ならびに最大誤差）を算出した。その結果を表 2 に示す。

表 2 より、全ての回路に対して、RMS 誤差平均ならびに最大誤差が改善されていることが分かる。特に、C432 においては、RMS 誤差平均が約 50% 改善した。また、最大誤差に関しても、約 47% 改善できた。

消費電力の推定精度の分布を見るために、図 7 に、C432 における従来手法ならびに提案手法と論理シミュレーションとの誤差のヒストグラムを示す。図 7 より、提案手法は従来手法に比べ、誤差 20% 以上の結果が少なくなる一方、非常に精度の良い推定結果が増加している事が分かる。

表 1 実験に使用した回路

回路No	入力数	出力数	ゲート数	モジュール数
C432	36	7	160	5
C499	41	32	202	2
C1355	41	32	546	2

表 2 精度比較

回路No	従来手法 RMS誤差平均(%)	提案手法 RMS誤差平均(%)	従来手法 最大誤差(%)	提案手法 最大誤差(%)
C432	7.9	4.1	89.4	47.9
C499	2.9	2.39	67.4	53.0
C1355	8.17	6.28	159.0	112.0

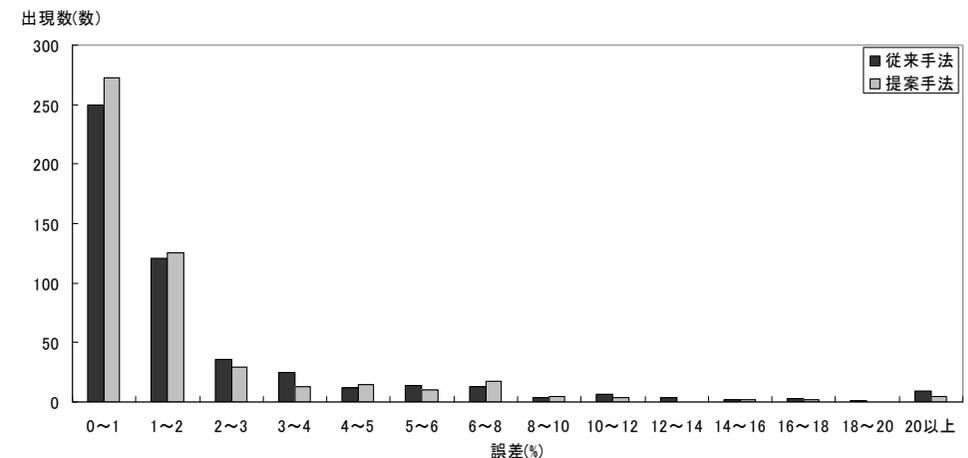


図 7 従来手法ならびに提案手法と論理シミュレーション
 における誤差のヒストグラム

5. まとめと今後の課題

本稿では、大規模回路を対象とした高精度な RTL 電力シミュレータの開発に向けて、回路モジュールの再利用を考慮し、高精度に RTL 電力推定を実現するための一手法を

提案した。評価実験より、動作レベルシミュレーションを利用し、モジュール単位で電力を推定することで、回路全体で LUT を構築し消費電力を推定する従来手法に比べ、高精度に電力を推定することができることを確認した。

今後の課題としては、順序回路などより複雑な回路に対する RTL 電力推定手法の確立が挙げられる。現在の RTL 電力推定手法は、入力信号の特性にのみ着目して電力を推定している。しかし、順序回路の場合、入力信号に加え、内部状態によって、回路内部のスイッチング率が大きく異なることが予想される。そのため、内部状態を考慮した順序回路の RTL 電力推定手法の確立が望まれる。また、現在の電力モデルでは、回路内の論理ゲートのスイッチングのみに着目した電力モデルとなっており、リーク電力等は考慮されていない。より現実的な RTL 電力推定手法とするためには、リーク電力を考慮した電力モデルの確立もまた望まれる。

謝辞 本研究の一部は JST シーズ発掘試験（2009 年度）「高精度・高効率な高位消費電力シミュレータの開発」によってなされた。

参考文献

- [1] S. Gupta and F. N. Najm “Power modeling for high-level power estimation” *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, (Feb. 2000).
- [2] X. L. Marios and C. Papaefthymiou “A static power estimation methodology for IP-based design” *Design, Automation and Test in Europe, 2001. Conf. and Exhibition 2001*. Prof. pp.280-289, (Mar. 2000).
- [3] H. Kawauchi, T. Morikawa, R. Murashima, I. Taniguchi, and M. Fukui, “A new approach for RTL power macro-modeling,” in *Proc. International Technical Conference on Circuits/Systems, Computers and Communications, ITC-CSCC2009*, pp.1024-1027, (July 2009).
- [4] 河合真登, 川内裕文, 森川敏雄, 大槻正明, 福井正博, “RTL 電力ライブラリ構築の一手法,” *信学技報*, vol. 108, no. 478, VLD2008-156, pp.177-182, (2009 年 3 月).
- [5] M. Ohtsuki, M. Kawai, and M. Fukui, “An efficient algorithm for RTL power macro-modeling and library building,” *IEICE Transactions on Electronics*, vol.E92-C, no.4, pp.500-507, (Apr. 2009).
- [6] S. Gupta and F. N. Najm, “Analytical model for highlevel power modeling of combinational and sequentialcircuits,” *Proc. IEEE Alessandro Volta MemorialWorkshop on Low-Power Design*, pp.164-172, (Mar. 1999).
- [7] Y. A. Durrani and T. Riesgo, “Power estimation for IP-based modules” *System-on-Chip, 2006. Int. Symposium on*, (Nov. 2006).

- [8] T. Jiang, X. Tang, and P. Banerjee “Macro-models for high level area and power estimation on FPGAs” *International Journal of Simulation and Process Modelling 2006*, Vol. 2, No.1/2 pp.12-19, (Feb. 2006).
- [9] ISCAS High-Level Models
<http://www.eecs.umich.edu/~jhayes/iscas.restore/>