

配線層内トランジスタを利用した 3次元実装プロセッサ・アーキテクチャの検討

嶋 田 創^{†1}

将来の配線層材料として有望視されているグラフェンやカーボン・ナノ・チューブは、製造方法によって導体と半導体を作り分けることが可能である。これを利用して、将来は、配線層の配線の一部にトランジスタを作り込むことが可能になると考えられる。本論文では、この配線層内トランジスタによる3次元実装が可能となった後のプロセッサ・アーキテクチャについて簡単な検討を行う。

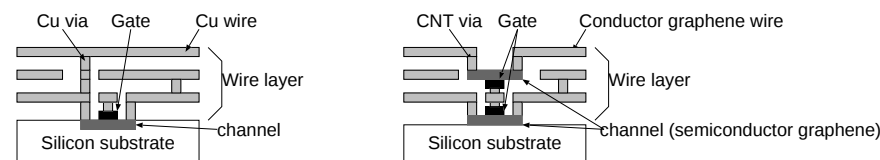
A Study of 3D Processor Architecture Utilizes Inner Wire Layer Transistors

HAJIME SHIMADA^{†1}

Grafene and carbon nano tube which are expected to be a future wire layer material can select conductor and semiconductor under manufacture process. I expect that we can implement transistors into a part of wire layer in the future. In this paper, I reliminary discuss with the processor architecture which we can utilize 3D implementation with inner wire layer transistors.

1. はじめに

シリコン半導体製造プロセスの継続的な微細化により、近年では、電界効果トランジスタの構成において、原子数を数えられる部分が出てくるほどとなっている。同時に、微細化の進展により、従来のシリコン半導体の構成では回路を構成するのに不都合が特性が多く現れるようになっている。そのため、International Techology Roadmap for Semiconductors



(a) 現在のシリコン上のトランジスタと配線 (b) 炭素系材料の利用時の配線層内トランジスタのイメージ

図 1 現在のシリコン半導体と配線層内トランジスタ実現後の差異のイメージ

では、Emergin Research Materials¹⁾ という章が設けられ、分子状態デバイス、スピン状態デバイスなど、新たなデバイスによる回路を模索されている。

このようなデバイスの中で、近年注目されているものに、グラフェンやカーボン・ナノ・チューブ (CNT) を代表とする炭素系材料を用いた半導体デバイスがある。これらの材料は、将来の配線層材料として有望視されているが、同時に、製造方法によって導体と半導体を作り分けることが可能であるという特徴を持っている。これを利用して、将来は図 1 に示されるように配線層の配線の一部にトランジスタを作り込むことが可能になると考えられる。²⁾

本論文は、ICA 特別セッションに向け、この配線層内トランジスタによる3次元実装が将来的に可能になったと仮定し、その下でのプロセッサ・アーキテクチャについて簡単な検討を行う。3次元実装により設計の自由度が大幅に増加するが、本論文では、アウト・オブ・オーダ実行を行うスーパスカラ・プロセッサに対して効果的な、以下の点に着目して検討する。

- 組み合わせ論理内のクリティカル・パスの短縮
- バスに接続されるブロック数増加とバス長増大の問題の緩和
- SRAM におけるポート数増加と面積増大の問題の緩和

以下、2 節では種々の3次元実装方式と比較した配線層内トランジスタ方式の利点を述べ、3 節で、その特徴を利用した3次元実装のプロセッサ・アーキテクチャについて簡単な検討を行う。最後に、4 節でまとめと将来の展望を述べる。

2. 種々の3次元実装方式と配線層内トランジスタ方式

新デバイスのみならず、現在のシリコン基板を用いた構成においても、シリコン基板を重ね、その間に通信路を実現することによって、3次元実装を実現することがいくつか試みられている。以下、検討されている3次元実装方式の概要を述べる。

- シリコン貫通ビア (TSV)：シリコン基盤の表面と裏面を貫通するビアを空け、積層し

^{†1} 奈良先端科学技術大学院大学情報科学研究科
Graduate school of Information Science, NAIST

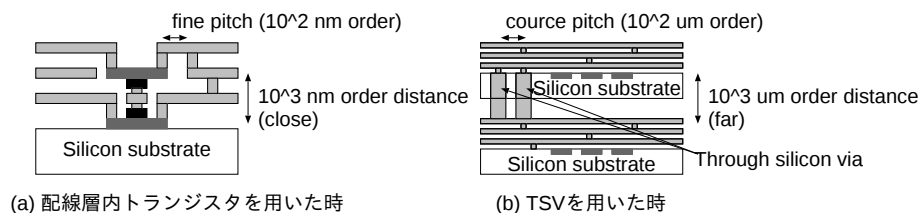


図 2 配線層内トランジスタと TSV の 3 次元実装の差異

たシリコン基盤間の配線を接続する。

- 静電結合：シリコン基盤間の向かい合った導体間にできるコンデンサの容量結合を利用し通信を行う。
 - 電磁結合：シリコン基盤にコイルを造り込み、それが発生する磁界結合で通信を行う。
- 上記の実装方式と配線層内トランジスタ方式の最大の違いは、図 2 に示されるように、3 次元化を行う粒度にある。この粒度の違いにより、以下の点で大きなアドバンテージを得ることができる。

- 通信レイテンシの短縮：

別の層にあるトランジスタへの通信の到達時間が圧倒的に短くなる。これは、上部のシリコン基板の強度の問題から鉛直方向の距離が 3 桁ほど大きくなる点や、容量結合のキャパシタンスや磁界結合のインダクタンスを通信につかうことによって発生する遅延などによって発生する差異である。シリコン基板を用いる方法では、下位のキャッシュ・メモリへの通信というレベルでは十分有用だが、プロセッサ内の機能ブロックを分割して実装し、その通信を行うには長すぎる可能性が高い。

- 通信バンド幅の増大：

TSV のビアの直径は配線層間のビアの直径よりも 3 桁ほど大きくなり、容量結合や電磁結合による方式もノイズ・マージン等を考えると 1 つの通信路が占める面積は TSV と同程度となると考えられる。

3. 配線層内トランジスタを利用したプロセッサ・アーキテクチャの検討

プロセッサには小規模な組み込み向けプロセッサから大規模なアウト・オブ・オーダー実行を行うスーパスカラ・プロセッサまで存在するが、3 次元実装によるトランジスタ間の遅延時間が短縮される効果は後者の方が大きいと考えられる。よって、以下では、従来から用い

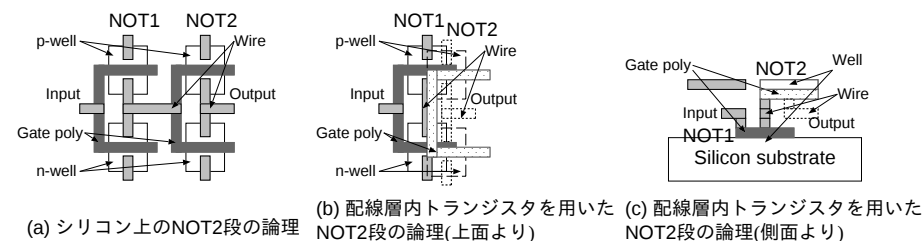


図 3 2 段の NOT のクリティカル・パス短縮の例

られている構成を基本とした、後者の性能をさらに向上させる構成について簡単な検討を行う。

3.1 組み合わせ論理内のクリティカル・パスの短縮

トランジスタのスイッチングに関する遅延はシリコン半導体製造技術の進歩に比例して削減がすすんでいるため、組み合わせ論理内のクリティカル・パスの遅延の短縮について悲観的な意見は少ない。しかしながら、配線層内トランジスタを利用すれば、トランジスタ間の配線を劇的に削減し、トランジスタ間の遅延を大きく改善できる可能性がある。

例として、NOT ゲートを 2 段通過する論理を図 3 に挙げる。通常シリコン基板への実装では図 3(a) のような実装となる。これを配線層内トランジスタを利用して NOT ゲートを別々の層に配置し、NOT1 の出力を横方向の配線を介さずに直接 NOT2 のゲートに接続する形で、図 3(b) のように重ねることができる (図 3(c) に側面図を示す)。組み合わせ回路のクリティカル・パスをこのような構成にすることにより、その組み合わせ回路を用いるパイプライン・ステージの遅延の削減が可能となり、その結果、クロック周波数の増加に結びつく可能性も考えられる。

3.2 バスに接続されるブロック数増加とバス長増大の問題の緩和

スーパスカラ・プロセッサにおいて同時実行命令数を増加させて命令レベル並列性をより利用しようとする場合に障害となるものの 1 つとして、バスに接続されるブロック数が増加すると、それに比例してバスの長さが増大し、配線遅延による遅延が増大するという問題がある。この例を、図 4(a) と (b) に示す。シリコン基板に複数のブロックから値を受け取るバスを実装する場合、図 4(a) のように、バスはブロックを横断する長さとなる。ここで、バスに接続されるブロック数を増やすと、図 4(b) のように、バスの長さは増大することになる。

ここで、3 次元実装を使い、あるブロックを別のブロックの上のトランジスタ層に実装す

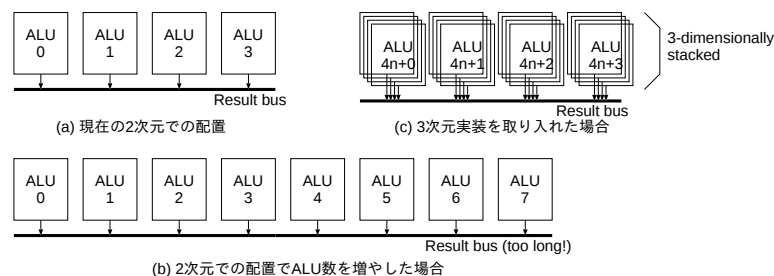


図 4 結果バス長の短縮の例

ることを考える。この時、上の層に配置されたブロックとバスとの接続は、下の層に配置されたブロックの接続部とほぼ同じ位置となるため、バスを延ばす必要はなくなる。これにより、従来はブロック数 n に比例していたバスの長さを、 n^2/k に緩和することが可能だと考える（ただし、 k はトランジスタの層数）。ただし、ファンアウト数の増大による容量負荷増加による遅延の増大は引き続き残ることとなる。

3.3 SRAM におけるポート数増加と面積増大の問題の緩和

SRAM はスーパスカラ・プロセッサではキャッシュ、レジスタ・マップ表、命令ウィンドウ、レジスタ・ファイル、リオーダ・バッファ等に使われ、その面積はプロセッサ・コアの半分を越えることが多いほどである。この SRAM をシリコン基板に実装する場合、ポート数を n とした場合、面積は n^2 に比例するという特徴がある。

この特徴は、スーパスカラ・プロセッサにおいて同時実行命令数を増加させて命令レベル並列性をより利用しようとする場合に大きな障害となる。特に、レジスタ・ファイルとレジスタ・マップ表のポート数は、同時実行命令数の 3 倍が必要となるため、大きく影響を受ける。

この問題は、3.2 と同様の方法で緩和できる。具体的には、いくらかの数のポートを 1 平面に実装し、これを図 4(b) と同様の構成で積層することで達成できる。これにより、従来はポート数を n とした場合、面積は n^2 に比例していたのに対し、 n^2/k に緩和することが可能だと考える（ただし、 k はトランジスタの層数）。

3.4 本節のまとめ

本論文では、3 次元実装がプロセッサの構成要素に及ぼす影響についてのみ検討し、3 次元実装のプロセッサ全体のアーキテクチャを検討しなかった。これは、当初はプロセッサ全体のアーキテクチャの検討を行おうとしていたが、その検討は、「プロセッサを構成する機

能ブロック A と B を 3 次元実装で積層する場合、各ブロックに割り振るトランジスタの層数はどのように割り振るのが妥当か？」という問題で先に進まなくなった。この問題は、さらに、「機能ブロックを構成する組み合わせ論理 A と B を 3 次元実装で積層する場合、各組み合わせ論理に割り振るトランジスタの層数はどのように割り振るのが妥当か？」という問題を包含する。そのため、プロセッサ全体のアーキテクチャの検討の前に、以下の 2 点を評価する必要があると考え、その検討をあきらめることとした。

- (1) 種々の組み合わせ回路に与えるトランジスタの層数とその性能の変化の評価
- (2) 1. を基に、種々の機能ブロックに与えるトランジスタの層数とその性能の変化の評価

4. ま と め

本論文では、配線層内トランジスタを用いた 3 次元実装が可能となった後の、アウト・オブ・オーダ実行を行うスーパスカラ・プロセッサ・アーキテクチャについて簡単な検討を行った。検討の結果、現在において、さらなる命令レベル並列性を追求するにあたって障害となっている物のうち、いくつかの物は 3 次元実装で緩和できるという見通しを得た。

本検討を通じて、配線層内トランジスタを用いた 3 次元実装によるデザイン・スペースの拡大は非常に大きく、本検討のような従来から検討されていた構成の延長以外の、全く新しい構成の機能ブロック等も実現可能な感触を得た。数年後には、配線層内トランジスタを用いた 3 次元実装のプロセッサに対する詳細な議論が行われている可能性があるという展望で、本論文をまとめる。

参 考 文 献

- 1) Semiconductor Industry Association, “International Technology Roadmap for Semiconductors 2007 Emergin Research Materials,” April 2007.
- 2) 二瓶瑞久, “LSI 用 3 次元カーボン・アクティブ配線の開発,” JST/CREST 次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究平成 20 年度実績報告, 2009 年 9 月.