

3. 実例

3

# ユビキタス・コンピューティング時代の 組み込みマイクロコンピュータ, SuperH と M32R

清水 徹 \*1  
長谷川 淳 \*2  
服部 俊洋 \*3  
近藤 弘郁 \*4

(株) ルネサステクノロジ システムソリューション統括本部 システムコア技術統括部

\*1 shimizu.toru@renesas.com

\*2 hasegawa.atsushi@renesas.com

\*3 hattori.toshihiro@renesas.com

\*4 kondo.hiroyuki@renesas.com

## コンピュータのダウンサイジング

1980年代から現在までのコンピュータ・アーキテクチャの歴史は、半導体のLSI技術によるダウンサイジングそのものと言って過言ではない。そして2000年以降、1つのSoC (System on Chip) の中にコンピュータの機能がモジュールとして組み込まれる「組み込みマイクロコンピュータ」の時代が本格的に始まった。図-1に、このようなコンピュータのダウンサイジングの進展を示す。時代ごとに、コンピュータの基本性能と、1チップLSIで実現できる性能の関係を示している。

1980年代後半までのメインフレームやワークステーションの時代には、コンピュータの基本性能は1チップLSI

で実現できる性能を上回っており、コンピュータ開発者にとってはコンピュータをいかにして複数チップに分割して実現するかが主なテーマであった。RISCアーキテクチャは、コンピュータの単純化によって1チップ化、ダウンサイジングを加速させようという発想の産物である。

1990年代の前半には、既存のx86アーキテクチャと互換のPC用1チップ・マイクロプロセッサが登場し、1990年代の後半から2000年代前半にかけて、携帯電話のベースバンド処理からインターネット・プロトコル制御、ブラウザや各種のアプリケーション・ソフトウェアの実行を1チップで実現したSoCの登場によって、コンピュータの基本性能と1チップLSIで実現できる性能はクロスした。

そして今後、コンピュータの基本性能を上回る性

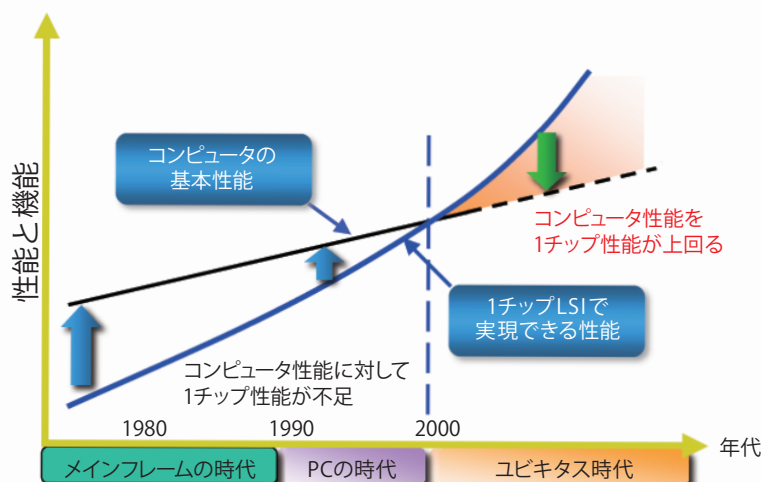


図-1 コンピュータのダウンサイジングの進展



能・機能が1チップLSIとして実現できる時代となる。IBM・ソニー・東芝のCELLプロセッサのように、グラフィックス・スーパーコンピュータを1チップ化したような例も登場している。1チップLSIの持つ性能や機能の可能性を何に投資するのか、すなわち、コンピュータの基本性能を向上させるだけでなく、どんな機能や効用、サービスを実現するかが、組み込みマイクロコンピュータやSoCの開発者の最大のテーマとなっている。

SuperHとM32Rは、ダウンサイジングの進展によってSoCに内蔵される組み込みマイクロコンピュータの時代が到来することを予見して、1990年代以来、ルネサステクノロジーが独自に開発・展開してきた組み込みマイクロコンピュータのシリーズである<sup>1)</sup>。SoC内蔵という目的に合わせて開発されたコンパクトで高性能なマイクロコンピュータであり、各種の機能モジュール、すなわちIP (Intellectual Property) と組み合わせることによって、アプリケーションで必要な機能がSoCとして実現しやすい構成となっている。

---

## ユビキタス・コンピューティングは、人間インタフェースと実世界インタフェースのネットワークキング

---

ユビキタス・コンピューティングの時代 (ユビキタス時代) になり、人間の行く先々の生活空間に数多くのマイクロコンピュータが埋め込まれていて、1人の人間が多数のコンピュータを意識せずに使う時代になる。ユビキタス時代以前には、コンピュータの役割は、基本的にユーザと向かい合って情報のやりとりをする「人間インタフェース」であった。これに対して、ユビキタス時代以後は、コンピュータの役割として、コンピュータが埋め込まれた環境や機器の状態やイベントをチェックしたり、制御したりする「実世界インタフェース」の重要性が質、量ともに飛躍的に高まる。そして、ユビキタス時代のコンピュータ・システムは、この人間インタフェースと実世界インタフェースが、状況に応じてコミュニケーションをとり、柔軟に連携する大規模なコンピュータ・ネットワークである。

ところで、この人間インタフェースと実世界インタフェースでは、今後の1チップLSIの性能や機能が使われる方向性が異なる。人間インタフェースの場合、コンピュータの性能や機能は、大量のデータを持ってきて、検索、加工、変換、編集する情報処理の高速化や高度化に費やされる。また、こういった情報処理を、複数、並行に実行する情報処理の多機能化に費やされる。このような処理は基本的にソフトウェアによって実行され、その結果はユーザ・インタフェースを通じて人間に提供され

る。したがって、人間インタフェースでは、このような情報処理は人間の目の前で実行されることが理想であり、1チップLSIの性能・機能の向上は、そのためのソフトウェア処理やユーザ・インタフェース処理の高速化、並列化に向けられる。

これに対して、実世界インタフェースの場合、コンピュータの性能や機能は、環境や機器に埋め込まれたセンサや入力装置の状態やイベントをチェックしてデータを取り込んだり、また同様に埋め込まれたアクチュエータや出力装置にタイミングよく制御信号やデータを発信することに費やされる。このような処理は、基本的に出力装置を制御するハードウェアとドライバによって実行される。したがって、実世界インタフェースでは、1チップLSIの性能・機能の向上は、同時に制御できる出力装置の数の増加と、そのために搭載する制御ハードウェアの多様化に向けられる。

ルネサステクノロジーは、ユビキタス時代の人間インタフェースと実世界インタフェースに向けて、SuperH、M32Rを始めとして、8ビットや16ビットを含むマイクロコンピュータのシリーズを展開している。ここでは、SuperHシリーズのプロセッサ・コアとして人間インタフェースのためのソフトウェア実行の効率化を指向した「SH-X」と、M32Rシリーズのプロセッサ・コアとして実世界インタフェースとなるSoCへの組み込みやすさを指向した「M32Rソフトマクロ」をとりあげてその特長を紹介する。

---

## デジタル・コンシューマ向けのプロセッサ・コア「SH-X」

---

デジタル・コンシューマの応用分野は、携帯電話やデジタルカメラ等の携帯機器と、カーナビ、DVDレコーダ、デジタルTV等の据置機器に大きく分けて考えることができる。携帯機器は軽量かつ長時間使用できることが重要で、軽量にするために電池の重さが制限されることから、低電力が最も要求される。これに対して、据置機器はAC電源や自動車のような大容量バッテリーを使用するので、低電力よりも高性能が要求される。

このようなデジタル・コンシューマ向けにSuperHシリーズの最新のプロセッサ・コアとして開発されたのがSH-Xである。SH-Xでは、回路設計とレイアウト設計、プロセス技術を最適化することによって、携帯機器向けの低電力版と据置機器向けの高性能版の2種類を、共通のRTL (Register Transfer Level) アーキテクチャに基づいて、実現している。低電力版は、電源電圧1.0Vのワースト条件で200MHzで動作

バージョン	高速版	低電力版
プロセス	130nm CMOS	
電源電圧	1.3V	1.0V
動作周波数	400MHz	200MHz
コプロセッサ	FPU	DSP
性能	720MIPS	360MIPS
	2.8GFLOPS	—
消費電力	—	80mW
1次メモリ	32KB I/D キャッシュおよび 16KB RAM	
2次メモリ	256KB キャッシュまたは RAM	

表-1 SH-Xの主な仕様

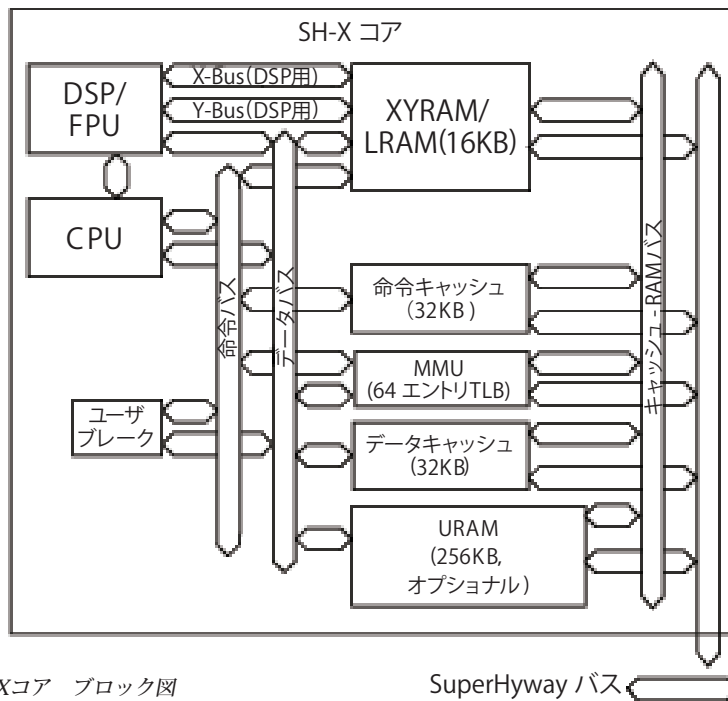


図-2 SH-Xコア ブロック図

し、Dhrystone 2.1で360MIPS、80mWであり、この結果、4500MIPS/Wという高い性能・電力比を実現している。一方、高速版は電源電圧1.3Vのワースト条件で400MHzで動作し、Dhrystone 2.1ベンチマークで720MIPSの性能を実現している。またSH-Xは、ソフトウェア処理の電力効率の改善のため、画像処理やグラフィクス処理のハードウェア・アクセラレータを接続する高速バスSuperHywayを搭載している。表-1にSH-Xの主な仕様を、図-2にSH-Xのブロック図を示す。

### SH-Xの低電力化機構

携帯機器向けのプロセッサ・コアとして重要な待機電力削減のために、SH-Xは「リジューム・スタンバイ・モード」という低電力モードを備えている。このリジューム・スタンバイ・モードでは、図-3に示すように、チップ上の内蔵メモリとレジスタのデータを保持してから残りの電源を遮断して待機状態に入ることによって、リーク電流を100マイクロAに減らしている。また、待機状態から動作状態へは、チップ外からの割り込みによって約3msという比較的短時間で復帰することができる。これに対して、チップ内部の電源をほとんどすべて遮断して内部状態を保持しないウルトラ・スタンバイ・モードでは、リーク電流が10マイクロAと小さい反面、復帰にはパワーオン・リセットを使って約100msかかった。SH-Xでは、リジューム・スタンバイ・モードを含む各種のスタンバイ・モードを実現することによって、ソフトウェアの実行状態に応じた電源遮断による待機電力の削減が可能となっている。

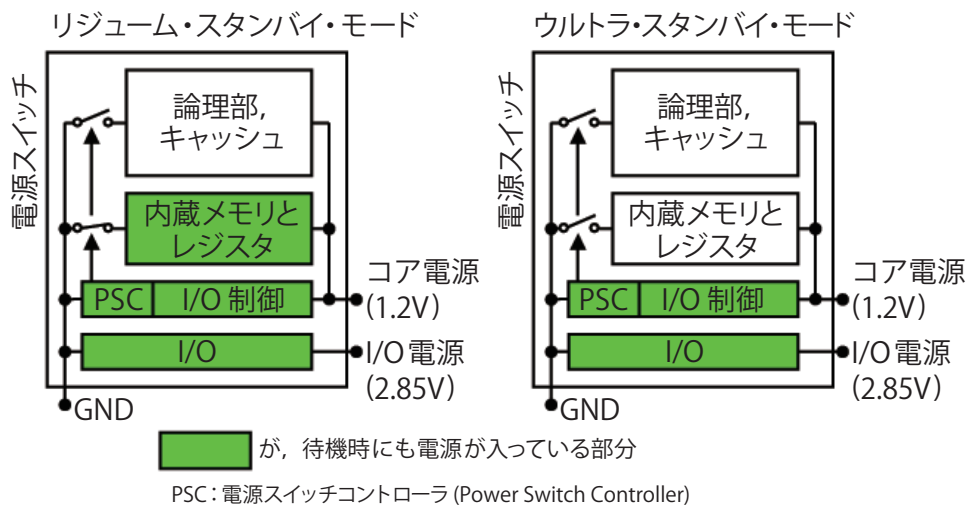
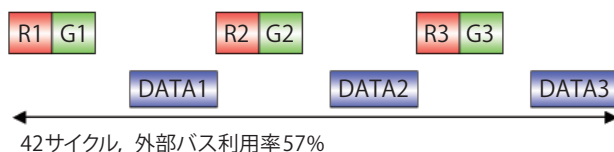


図-3 リジューム・スタンバイ・モード

(1) 非スプリット・バスの場合



(2) スプリット・トランザクション・バスの場合

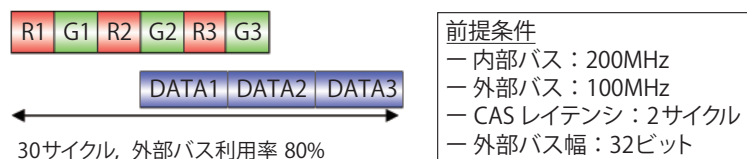


図-4 スプリット・トランザクション・バス

また、高性能化の際にも重要な、動作時の低電力化のために、SH-Xではきめ細かなクロック制御を実施している。SH-Xでは、命令パイプラインの高性能化等によってフリップフロップ数が増加しており、また回路全般における低電力化の進展により、従来以上にクロック系の電力比率が増している。特に、ほとんど動作しないモジュールのクロック・ツリーが常に活性化しているのは無駄であり、モジュールが完全に停止した場合にはクロックの供給を止め、モジュールが動作する場合にも必要最小限のクロック・ツリーを活性化することによって低電力化が図れる。たとえば、レジスタ・ファイルへの書き込みでは、書き込むレジスタに対応したクロック・ツリーだけを活性化することによって低電力化を図っている。

さらに、チップ上に搭載されるメモリ・サイズが増加した結果、メモリを不用意に活性化すると電力が増加する。そこで、SH-Xでは活性化すべきメモリバンクを高速に判断するアドレス・プリデコーダを実装することによ

って、メモリの活性化率を下げた低電力化を図っている。

## 高性能化を支える SH-X の内部バス方式

SH-Xでは、プロセッサ・コアの高速化に伴って、内蔵メモリとプロセッサ間のデータ転送や、ソフトウェア高速化のために付加されたアクセラレータのハードウェア IP とプロセッサ間のデータ転送を高速化するために、スプリット・トランザクション方式の内部バス SuperHyway を搭載している。図-4 に示すように、従来方式のバスでは、リクエストに対してロードデータ等のレスポンスが返るまでバスを占有していたが、SuperHyway はリクエスト R に対してすぐに Grant G を返し、次のバスリクエストを受け付けることが可能である。リクエストとレスポンスを分離してデータ転送をパイプライン化することにより、従来方式のバスに比べてバスの使用効率を大幅に向上させている。

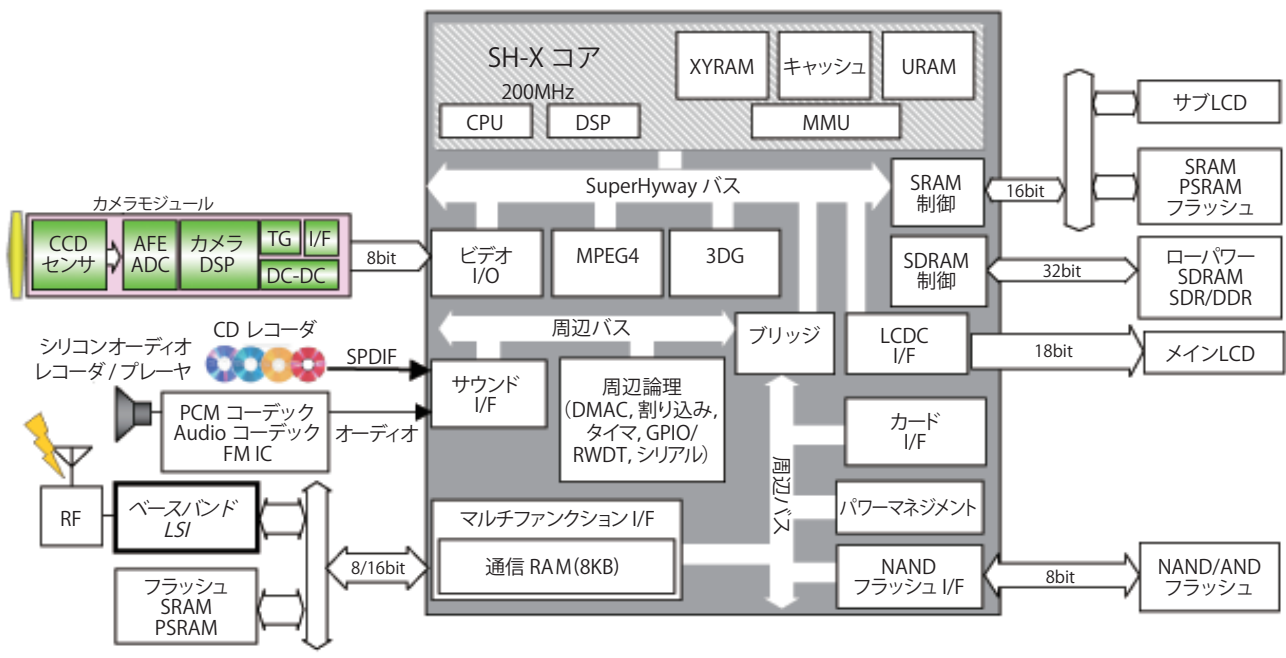


図-5 SH-Mobileアプリケーション・プロセッサ

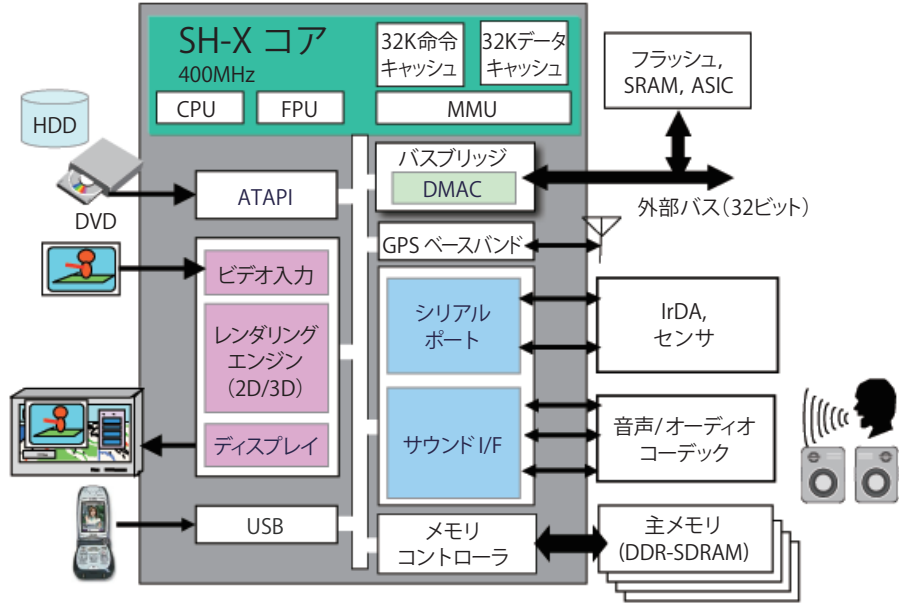


図-6 SH-X搭載カーナビ向けSoC

### SH-X を搭載した携帯電話アプリケーションプロセッサとカーナビ SoC

SH-X をコアにした携帯機器向け SoC の例として、「SH-Mobile」と呼ばれる携帯電話向けアプリケーションプロセッサを図-5 に示す。SH-X 低電力版をコアに、MPEG4 ビデオ、3D グラフィクスのアクセラレータを

搭載し、またユーザとのインタフェースとなるカメラや LCD ディスプレイ、サウンド、オーディオなどのインタフェースを装備している。

一方、SH-X をコアにした据置機器向け SoC の例として、カーナビ向け SoC を図-6 に示す。SH-X 高性能版をコアに、2D/3D グラフィクスのアクセラレータや GPS ベースバンドを搭載し、あわせてユーザとのインタフェースとなるビデオやディスプレイ、サウンド、オーディオ、DVD、US などのインタフェースを装備している。



## SoC への組み込みやすさを指向した「M32R ソフトマクロ」

ユビキタス時代に、人間とのインタフェースとなる組み込みマイクロコンピュータを指向した SH-X に対し、実世界とのインタフェースとなる SoC に組み込みやすいコアを指向したのが「M32R ソフトマクロ」である。このような SoC の設計では、用途に応じてさまざまな IP との組合せや、ハードウェア構成のカスタマイズ要求、最適なプロセス技術の適用要求に対応しつつ、短期間で設計できることが求められている。ARM では、CPU をソフトマクロ化し、そのバスを標準化することで、プロセス技術に依存せず、各種 IP との接続性があるモジュールを提供している。M32R ソフトマクロでは、CPU だけでなく組み込みマイクロコンピュータ全体をソフトマクロ化することによって、プロセス技術に依存しないモジュールを提供するとともに、モジュールの提供方法を見直して、さまざまな IP との組合せやプロセッサ構成のカスタマイズが短期間で柔軟に行える設計プラットフォームを提供してきた。

M32R ソフトマクロは、CPU とともに、ユーザ要求に対応した CPU 周辺回路やメモリ構成を含む 1 セットの組み込みマイクロコンピュータのソフトマクロ・モジュールである。M32R ソフトマクロは、標準的な EDA (Electronics Design Automation) ツールで一括して論理合成、レイアウト生成することが可能で、SoC にマイクロコンピュータのモジュールを組み込む際の設計者の負荷を軽減している。

## M32R ソフトマクロのカスタマイズを容易にする設計プラットフォーム

一般に SoC では、汎用マイクロコンピュータが元々備えている多様な機能の一部しか利用しない場合が多い。利用されない機能を削除することで、SoC の論理規模の最適化や設計検証の工数の削減が可能になる。一方、CPU の周辺回路やメモリ構成については、さまざまなカスタマイズ要求がある。M32R 組み込みマイクロコンピュータの設計プラットフォームでは、不要な機能の削除や、カスタマイズ要求に柔軟に対応できるように、さまざまな設計オプションを準備したり、パラメータ化している。これらのオプションを選択したり、パラメータを指定することで、個別の SoC の要求仕様に応じた組み込みマイクロコンピュータのモジュールを柔軟に構成

することができる。

M32R ソフトマクロでは、まず想定アプリケーションでの要求仕様をすべて包含した最大仕様の組み込みマイクロコンピュータのモジュールをレファレンスとして開発し、この最大仕様のモジュールからの機能削減によって個別の用途にカスタマイズした組み込みマイクロコンピュータを実現する設計プラットフォームを開発した。このレファレンス・モジュールは、設計者が指定したパラメータに応じて構成を変更できる HDL (Hardware Description Language) 記述、機能設計検証用のテストベンチとテストパターン、モジュールの内部仕様のドキュメントなどから構成されている。

M32R ソフトマクロの設計プラットフォームを図-7 に示す。比較的大量のデータ転送やデータ処理を行う用途の SoC への組み込みを想定したバージョンであり、M32R ソフトマクロの CPU をコアに、独立した 4 本の内部バス構造や高機能な DMAC を採用している。また、設計者の指定によるカスタマイズの例についても図中に示す。なお、このような設計プラットフォームは、SuperH などルネサステクノロジーの他のマイクロコンピュータのシリーズにも展開されている。

## SuperH と M32R のオープン化

ユビキタス時代の組み込みマイクロコンピュータでは、アプリケーションに応じて各種のアクセラレータや IP を自由に接続し、1 チップの SoC に搭載できることが重要である。このため、バス・インタフェース仕様などを公開している例も多い。その中でも、SuperH と M32R は、大学や研究機関、教育機関とのコラボレーションを重要と考え、「大規模集積システム設計教育センター (VDEC)」を通じて、バス・インタフェースだけでなく CPU コアの設計情報を提供している。これによって、新しい IP の研究開発の際に組み込みマイクロコンピュータも含めたソフトウェア、ハードウェアの開発や評価が自由に行えるようサポートしている<sup>2)</sup>。

## ユビキタス時代のマルチコア・マイクロコンピュータ

半導体技術のさらなる進展に伴い、1 チップ LSI に複数のコアを搭載したマルチコアの組み込みマイクロコンピュータが実現できるようになってきた。図-8 に示すのは、M32R コアをカスタマイズして試作した 1 チップ・マルチプロセッサの例である。このチップには、対

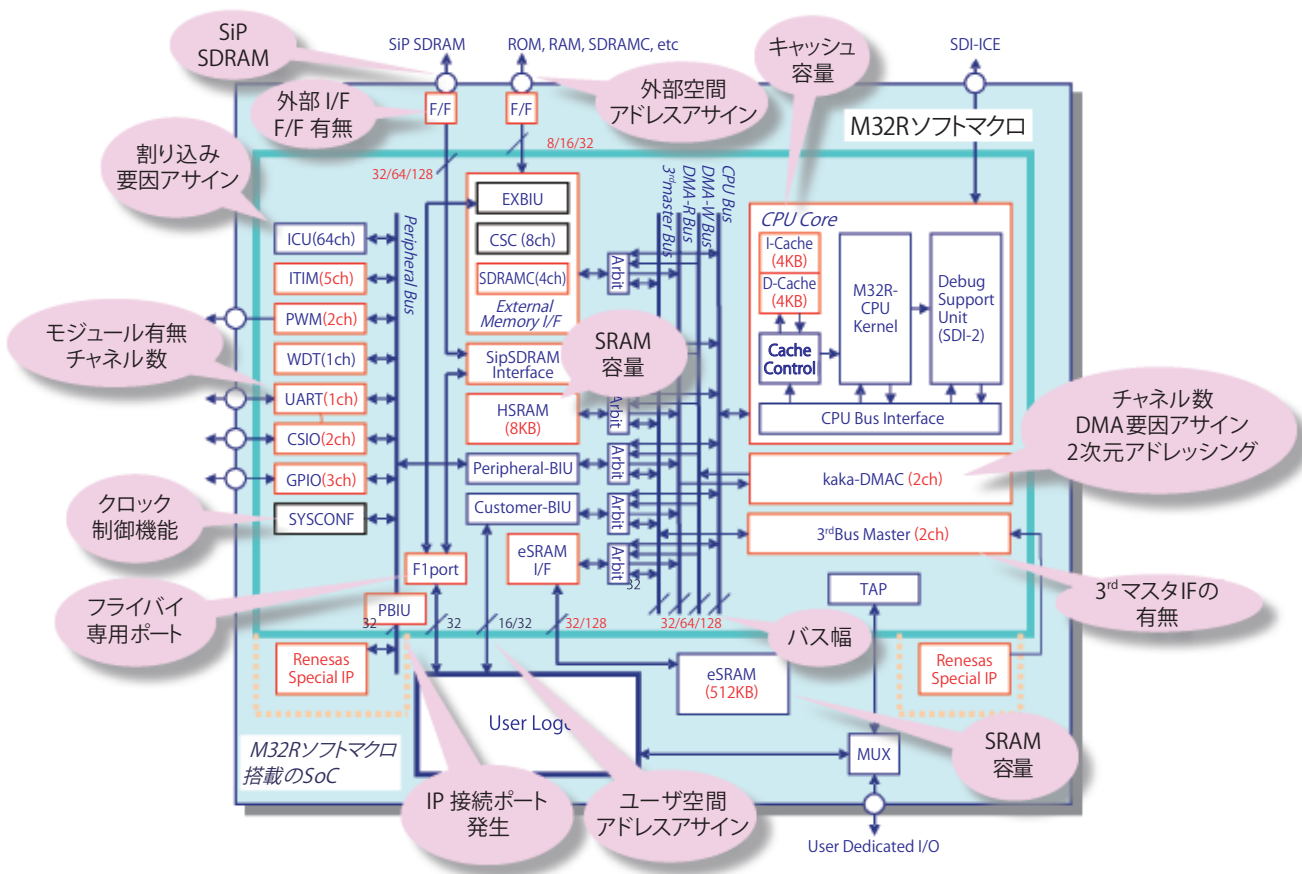


図-7 M32Rソフトマクロの設計プラットフォーム

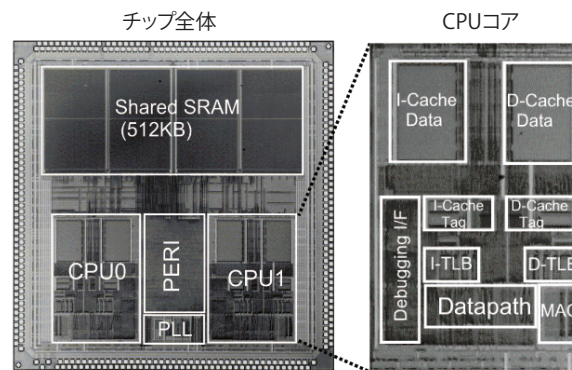


図-8 1チップの対称型マルチプロセッサ

称型マルチプロセッサ対応のM32Rコアを2個搭載し、これらのコアと512KBの内蔵共有メモリを、128ビット幅のオンチップ・パイプライン・バスで結合している。周辺I/O回路として、割り込みコントローラ、クロック・コントローラ、タイマ、シリアルI/Oなどを搭載している。内部バスと外部バスの制御を行うバス・コントローラは、パイプライン・バスの調停、DMA制御、外部SDRAM制御の機能を備えている。対称型マルチプロセッサ対応のLinux OSを搭載することにより、CPUコア数を意識せずに、マルチタスクのソフトウェ

アを実行することができる。

このようなマルチタスク実行の性能向上とあわせて、ユビキタス時代の組み込みマイクロコンピュータの必須技術と考えられるのが、人間インタフェースのコアと実世界インタフェースのコアを複数組み合わせる1チップに搭載した、「ヘテロジニアス・マルチコア」のマイクロコンピュータ技術である。このヘテロジニアス・マルチコアでは、人間インタフェースのソフトウェアの高性能化とともに、実世界の多数のイベントを同時・並列にチェックし、処理することが重要になる。そのためには、



図-9 ヘテロジニアス・マルチコアのOS技術

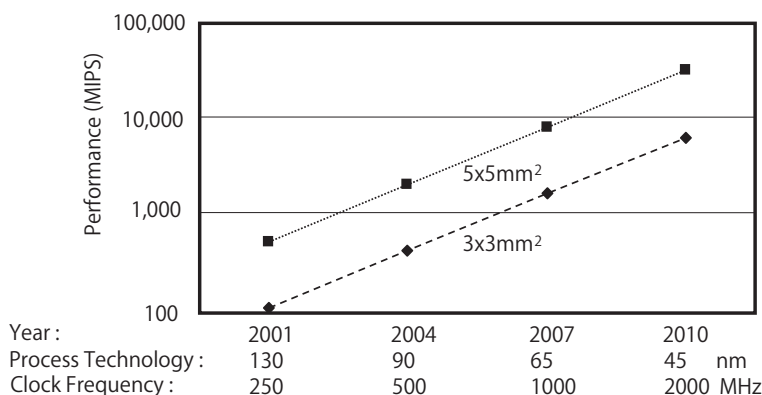


図-10 1チップ・マルチコアの性能トレンド

プロセッサ・コアだけでなく、OSまで含めたコンピュータ・システムを複数、1チップに搭載することが必要になる。

図-9に、このようなヘテロジニアス・マルチコア技術の開発例を示す。この例では、1チップのマルチコア上に、ソフトウェア実行の汎用OSとしてLinux OSと、イベント処理のリアルタイムOSとしてμITRON OSを搭載し、並列実行する。2種類の異なるOS間でのOS起動処理、外部割り込み処理、OS間通信機能を実現している。このようなヘテロジニアス・マルチコアの技術は、ソフトウェア実行やイベント処理の性能向上とあわせて、アプリケーション・ソフトウェアやドライバ・ミドルウェアといった既存のソフトウェア資産の流用や活用の点でも有効である。

## マルチコア・マイクロコンピュータの性能トレンド

図-10に、筆者らが試算した、組み込みマイクロコンピュータにおける1チップ・マルチコアの性能トレンドを示す。各時代のLSIプロセス・テクノロジーをベースに、プロセッサ・コアのサイズと動作周波数を見積もり、

1チップのサイズとして3mm×3mmと5mm×5mmの2つの場合について、プロセッサ・コアを敷き詰めたものとしてソフトウェア性能を積算したものである。プロセッサ・コアとしては、1コアで100万ゲート相当のものを想定している。

この試算は、オンチップ・メモリのサイズやマルチコアの結合方式などを含まない、かなり大雑把なものであるが、2010年に向けて、5mm×5mmのマルチコア・マイクロコンピュータのチップ性能として10 GIPS (Giga Instruction Per Second) レベルの可能性が予測される。そして、この性能を有効活用するためには、ソフトウェア処理性能とイベント処理性能をバランスよく向上させるヘテロジニアス・マルチコア技術のさらなる研究開発が重要と考えている。

### 参考文献

- 1) ルネサステクノロジーのマイクロコンピュータのWebサイト、<http://japan.renesas.com/mpumcu/>
- 2) 大規模集積システム設計教育センター (VDEC) のWebサイト、<http://www.vdec.u-tokyo.ac.jp/>

(平成17年9月20日受付)