

1. アーキテクチャ基盤技術

1

新世代プロセッサアーキテクチャの 展開

坂井 修一

東京大学 大学院情報理工学系研究科
sakai@mtl.t.u-tokyo.ac.jp

マイクロプロセッサの用途とアーキテクチャ

マイクロプロセッサの用途は広がる一方であり、その社会的役割は大きくなる一方である。科学技術用超高速計算機、WWWサーバ、個人用PCなどから、PDA、携帯電話、情報家電、ゲーム機、自動車の制御やナビゲーション、ユビキタス・デバイスに至るまで、あらゆるところにマイクロプロセッサが使われている。

プロセッサを定義するのがアーキテクチャ¹⁾である。

コンピュータアーキテクチャは、命令セットアーキテクチャとマイクロアーキテクチャからなる。命令セットアーキテクチャは、コンピュータで使われる命令の表現形式と各命令の動作を定めたものであり、コンピュータに何ができるかをユーザに教え、どのようなハードウェア機能が必要であるかを設計者に教える。マイクロアーキテクチャは、命令を実行するための内部構造を指す。

プロセッサの用途が無数にあることを考えれば、命令セットアーキテクチャも多数の種類があっていいと思われるが、実際には、両手で数えるほどのアーキテクチャが市場を支配している。その理由として、以下が挙げられる。

- (1) ソフトウェア開発は対象とする命令セットアーキテクチャが少ないほど効率がよい。
- (2) 命令セットとハードウェア構成のギャップを埋める変換技術が発達している。
- (3) 過去のソフトウェアとの互換性を考えると、命令セットの異なるプロセッサを作るのはコストに見合わない。
- (4) スーパーコンピュータ、サーバ、PCは1つの命令セットでほぼカバーでき、組み込み用も2、3の命令セットでほぼカバーできる。

マイクロアーキテクチャには、パイプライン構成、並列処理方式、メモリ階層、バス方式などが含まれる。現在開発が進められているアーキテクチャ技術の主なものは、マイクロアーキテクチャ技術であるといつてよい。

マイクロプロセッサの発展と限界： Mooreの法則

マイクロプロセッサが発展した理由は1つではないが、サイズ面で最大のもは半導体デバイスの集積度と動作速度の指数関数的向上である。これは一般にMooreの法則²⁾と呼ばれる。

Mooreの法則は、「半導体の集積度は1.5年で2倍になる」というもので、1970年代以後、30年以上にわたって守られてきた。法則というよりは、設計指針である(本号の「20世紀の名著名論」参照)。

この法則に支えられて、プロセッサLSIの中身の充実がはかられてきた。具体的には、ビット幅の拡大(4ビットから64ビットまで)、クロックの高速化、大量のレジスタの投入とオンチップキャッシュの導入、パイプライン処理、並列処理、アウトオブオーダー処理、投機処理、マルチコア化、プロセッサ・メモリ混載、専用演算器(特にメディア処理用)の導入、SoC(System on Chip)化などの流れを見ることができる。これらのほとんどが、前の時代のメインフレームやスーパーコンピュータで使われていた技術であるが、VLSIチップ内に実現することでより強力かつ身近なものとなった。

Mooreの法則については、これがいつまでも守られていることの驚異とともに、「いつ成り立たなくなるか」ということにも大きな関心が寄せられている。量子限界に行き着いて終わりになる(2020年ごろといわれる)

のは間違いないが、その前にも、プロセッサの複雑さの点から、高速大容量 LSI の設計は途方もないコストがかかるようになっており、また、電力消費と発熱、信頼性や安全性などの問題も見過ごせなくなっている。

アーキテクチャによる高性能化技術の展開

性能に関するアーキテクチャ技術について簡単にまとめておこう。

■パイプライン処理

パイプラインとは、全体の作業を多数のステージ（工程）に分割し、各ステージを並列に処理することで、スループット（単位時間の処理量）を飛躍的に向上させる流れ作業のことである。プロセッサのパイプラインは、命令フェッチ、命令デコード、演算実行、結果の格納の4ステージを基本とするが、ステージ数が多いほどスループットが高くなることから、現在では20ステージを超えるパイプラインが普通になっている。ただし、ステージ数はむやみに増やせばよいというものではない。パイプラインレジスタによる遅延、分岐命令やデータ依存によるハザードなどによって、ステージ数の上限が決まってくる。

■命令レベル並列処理

命令レベル並列処理は、1つのプロセッサの中で複数の演算装置を同時に稼働させることで行われる。命令レベル並列処理には、あらかじめ1つの命令語中に複数の演算を入れておく VLIW（Very Large Instruction Word）方式と、逐次型のプログラムからハードウェアが並列化可能な命令を選んでこれを並列実行するスーパースカラ（superscalar）方式（**図-1**）に分けられる。VLIW は過去のプログラムと互換性がなく、並列度もあらかじめ決められたものだけという欠点があるが、ハードウェアが単純でクロックが速くなる利点がある。スーパースカラはハードウェアが複雑だが、過去のプログラムとの互換性がよく、並列性の抽出も柔軟といえる。現行では、パソコン用などの汎用プロセッサは多くがスーパースカラであり、組み込み用などに VLIW が多く見られるが、Intel 社の IA64（サーバ用 VLIW プロセッサ）などの例もあり、どのような用途にどちらが有利という結論はまだ得られていない。

近年では、タイルプロセッサに見られるような、チップ内超並列処理アーキテクチャが考えられるようになった。

■アウトオブオーダー処理とリネーミング

現在のマイクロプロセッサでは、パイプライン処理や並列処理の効率をあげるために、ハードウェアが動的に命令順序を入れ替えたり、レジスタ番号のつけかえを行ったりしている。前者をアウトオブオーダー処理、後者をリネーミングと呼ぶ。これらは、もともとは1960年代のスーパーコンピュータの技術であった。

■キャッシュ

今のプロセッサでは、高速で小容量のメモリをプロセッサチップ内に搭載し、ふだんは主にこれを使ってデータへの高速アクセスを実現している。これをキャッシュと呼ぶ。キャッシュはプログラムの目からは見えず、ハードウェアが主メモリとキャッシュのデータの整合性をとっている。

■投機処理

一般に、依存関係のある前の命令の実行結果を待たずに次の命令を実行することを投機処理と呼ぶ。分岐予測は、制御ハザードを緩和するための投機処理の一種である。分岐予測以外にも、両方の分岐方向の命令列を同時に投機実行するマルチパス投機がある。

データハザードに関する投機として、命令の実行結果をあらかじめ予測して、計算を先に進める投機のやりかたがあり、これを値投機と呼ぶ。

■スレッド並列処理：SMT

命令よりも大きな単位（ループや関数など）で並列処理を行うのがスレッド並列処理である。これには、1プロセッサ内で行う SMT（Synchronous Multithreading）と、複数のプロセッサに分配して行うマルチプロセッシングがある。

■チップマルチプロセッサ（マルチコア）

LSI のチップ内に複数のプロセッサを設け、マルチプロセッシングを行うのが、チップマルチプロセッサ（マルチコア）（**図-2**）である。チップマルチプロセッシングには、まったく同じプロセッサを複数個チップに搭載するもの、規模や性質の異なるプロセッサを混載するものがある。

■SoC

汎用プロセッサ以外に、暗号処理やストリーム処理の専用ハードウェアを同一チップに混載することで特定の処理を高速化したり、実時間性を高めたり、機能を高めたりするのが SoC（System on Chip）である。

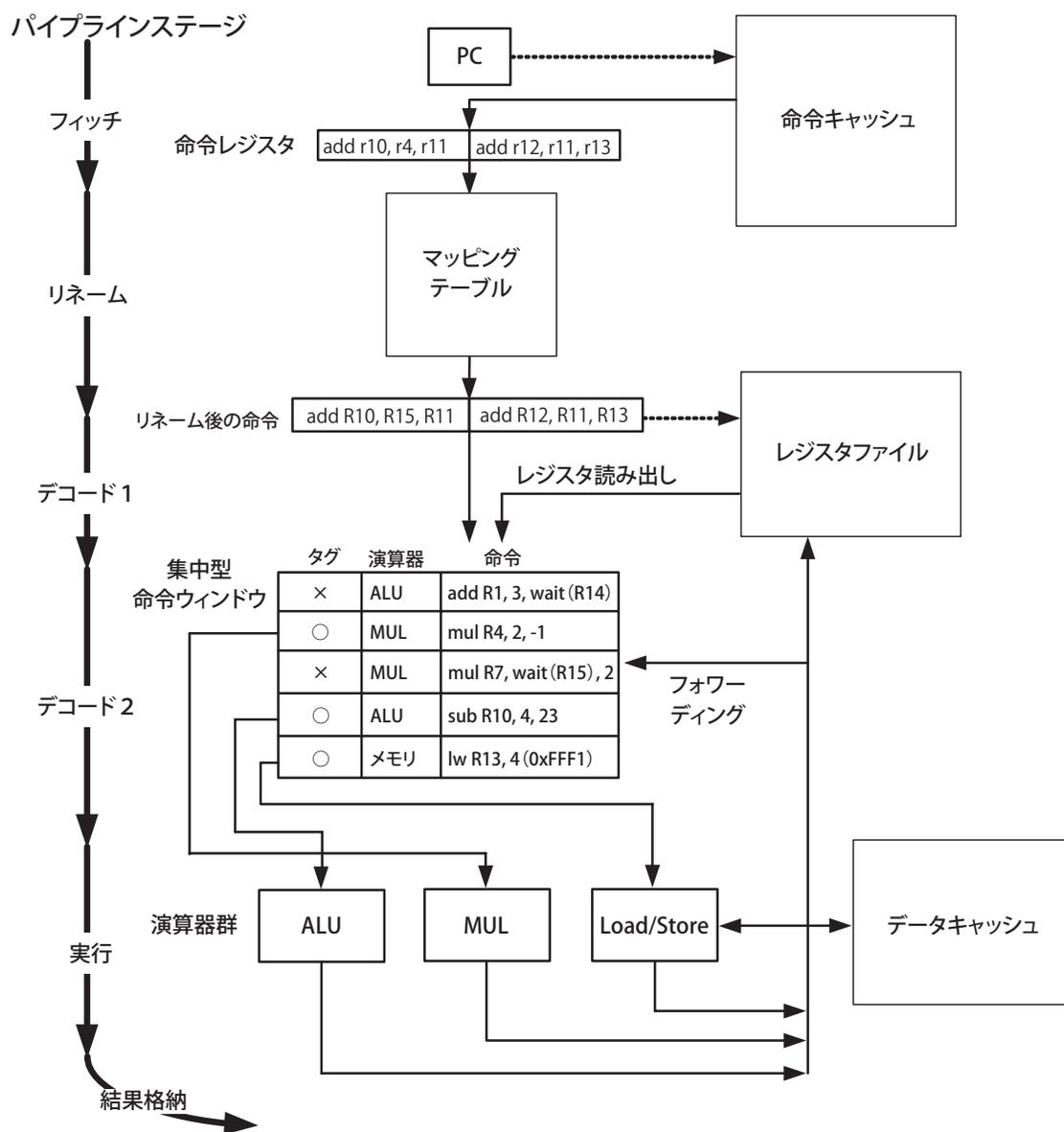


図-1 スーパースカラプロセッサの基本構成³⁾

■リコンフィギャラブルアーキテクチャ

リコンフィギャラブルアーキテクチャは、動的にアーキテクチャを変更することで、高性能化や高機能化を狙ったもので、開発コストの低減にもつながり、注目されている。

新しいデザインバランス⁴⁾

高性能で廉価なマイクロプロセッサができたことで、PCが爆発的に普及し、インターネットの発展とともに、

IT社会の主演となった。と同時に、情報機器のさらなる小型化が進み、組み込み型マイクロプロセッサの市場が急速に拡大した。

科学技術計算などいわゆる HPC (High Performance Computing) では無限の性能が要求されるし、サーバやデスクトップ PC でも性能への要求は根強くある。アーキテクチャ側のシーズとしては、タイルプロセッサや超並列マルチコアがこれに答えるであろう。一方、通常の個人ユースでは、性能は最も重要な要求ではなくなりつつある。

性能以上に大切になっているのが、省電力とディペン

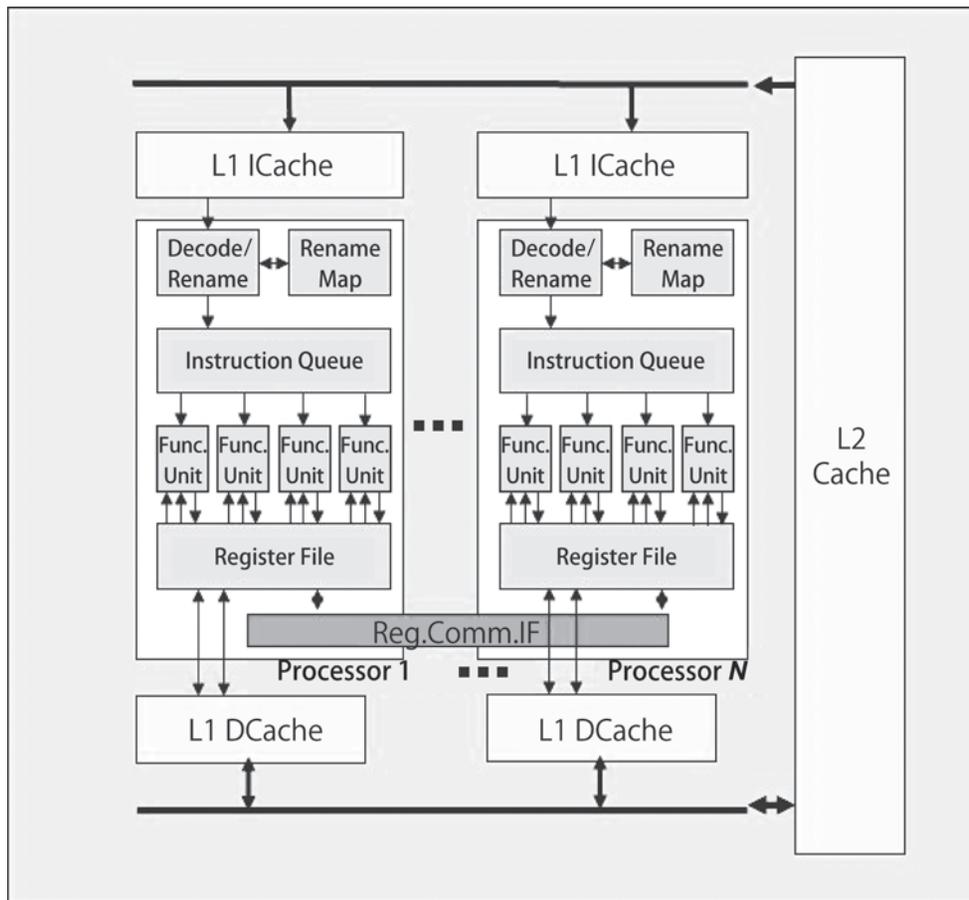


図-2 チップマルチプロセッサ

ダビリティである。

省電力は、組み込み型プロセッサではバッテリー使用時間の問題から、デスクトップやサーバでは発熱の問題から重要となっている。素子からソフトウェアまでさまざまなレベルで省電力化技術の開発が課題となる。低電圧動作、使わない機能ブロックへのクロックの供給停止、状況に応じたクロック周波数の低減、並列処理や投機処理の抑制など、さまざまな手法が提案されている。

IT社会で最重要となるのが情報インフラのディペンダビリティ向上であろう。宇宙船から自家用車までの乗り物、電子政府、銀行など金融、医療、防災といった信頼性・安全性に対する要求がきわめて高い応用分野に対して、マイクロプロセッサは十分なディペンダビリティを提供しなければならない。

ここでディペンダビリティは、主に信頼性と安全性の複合的な性質と考える。信頼性の実現のためには、従来からの多重系の利用のほか、再構成可能デバイスによる

代替機能の提供、高信頼化コードへの自動変換などの技術が必要となっている。また、安全性については細やかな認証を行うセキュアプロセッサの研究が盛んになってきた。

性能・規模から省電力・ディペンダビリティへのバランスのシフトがあり、この傾向はますます大きくなっていくであろう。

参考文献

- 1) Hennessy, J. L. and Patterson, D. A.: Computer Architecture, A Quantitative Approach, 3rd Edition, Morgan Kaufmann (2003).
- 2) Moore, G.: Cramming More Components onto Integrated Circuits, Electronics, Vol.38, No.8 (Apr. 19, 1965).
- 3) 坂井修一: コンピュータアーキテクチャ, コロナ社 (2004).
- 4) 坂井修一: スピードからディペンダビリティへ: プロセッサのこれから, 情報処理学会開催支部大会 (招待講演), Vol.H16, No.S-07, pp.143-148 (Oct. 2004).

(平成 17 年 8 月 20 日受付)

訂 正

本誌 46 卷 10 号 (2005 年 10 月号) p.1102 の図 -1 「スーパースカラプロセッサの基本構成³⁾」内に誤りがありました。
お詫びして以下の通り訂正いたします。

(誤) フィッチ (正) フェッチ