

解説



VLSI 化と CAD†

須藤 常太††

1. はじめに

半導体のプロセス技術の進歩に伴って、VLSI の集積度が著しく増大している。このような集積度増加の限界として、物理的限界、加工限界、および設計能力限界の3つが広く一般に指摘されている。このうち設計能力限界は数万ゲートに及ぶ複雑な VLSI を論理的、物理的に“誤りなく”設計し、“確実に”試験を行い得る限界を指すものである。

設計能力限界を打ち破ると共に設計工数の大幅な削減とシステム設計者、VLSI 設計者共通の設計ツールを確立する必要がある。この期待を担うものが計算機を利用した設計 (CAD; Computer Aided Design) 技術である。

LSI 設計における計算機の利用は従来より行われてきた。しかし、VLSI 設計に用いられる CAD では従来とは桁違いの取り扱い規模、複雑さ、要求精度、そして CAD システムとしての完成度が要求される。

2. VLSI 化の進展

図-1 はダイナミック RAM の集積度の推移を発表年代別にプロットしたものである。4倍/3年という割合で集積度の向上を続けており、ここ当分集積度の上昇は続きそうである。集積度向上をもたらした基礎技術としては、比例縮小の概念に基づいた微細加工技術に負う所が大きく、たとえば 256 K ビット RAM は 1~1.5 μm の最小パターンルールにより設計されている。

一方、論理 LSI の集積度も急伸しており、図-2 にその傾向を示す。縦軸はトランジスタ数を示す。集積度増大に伴ってレイアウト設計の生産性が低下し、チェック、修正も含めて、1日当たり5~10トランジスタといわれている。

図-3 は、きわめて楽観的にとらえた場合のマイク

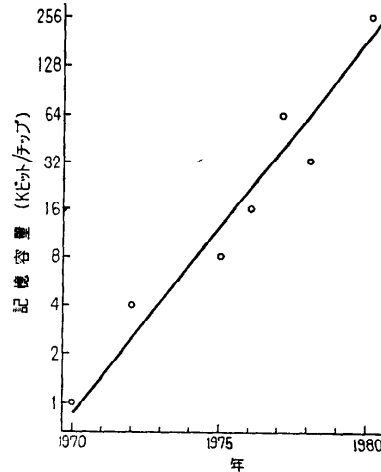


図-1 LSI メモリの動向

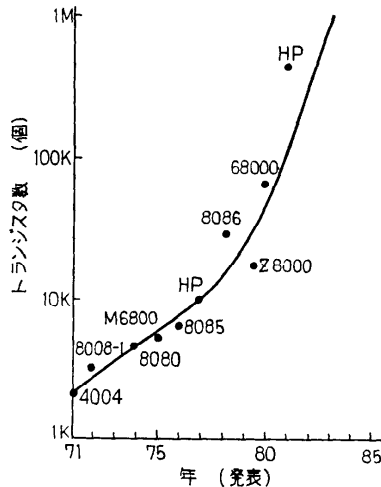


図-2 マイクロプロセッサの集積度の推移

ロプロセッサの設計工数の推移を示している。従来の設計法では、1982年にはレイアウト設計に60人年以上要すると見込まれるので、タイムリに設計を終え

† VLSI and CAD by Tsuneta SUDO (Musashino Electrical Communication Laboratory, N. T. T.).

†† 日本電信電話公社武蔵野電気通信研究所

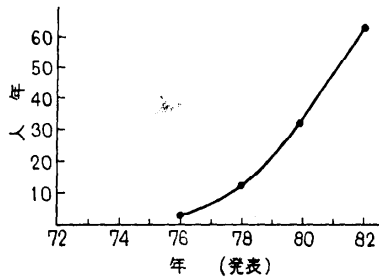


図-3 マイクロプロセッサのレイアウト設計工数の推移

ることは現代の LSI メーカーでは困難であるといわれている。論理 VLSI をとりまく環境の変化の中で注意すべきものは、VLSI 設計人口の底辺拡大と大メーカーでなくても手軽に設計できるシステムの芽ばえである。VLSI 化の進展と共に、経験ある VLSI 設計技術者の不足が目立ってきた。総合的な設計自動化システムを確立しただれでもある程度満足ゆけ設計ができるようにすることはこの面からも必要である。米国では、ARPA ネットワークを経由して遠隔の大学から入力されたチップの設計を、4週間という短いターンアラウンドで、安価（1プロジェクト当たり 500ドル以下）に製造するシステムが 1979 年以降稼働している。

もう 1 つの注意すべき環境の変化は、LSI 製造ラインの自動化である。これは、少量多品種への対応と、量産ラインの歩留り向上が主なねらいである。IBM イースト・フィッシュキル工場では、マスタスライス LSI の 3 層配線全工程を、コンピュータ制御により、ほぼ完全に自動化したという。

3. VLSI 設計の流れと CAD

論理 VLSI の典型的な設計フローを 図-4 に示す。設計は大きく 2 つのフェーズに分かれる。第 1 のフェーズは、デバイス設計を行い、NAND, NOR, FF 等の機能をもつセルを各種作り、ライブラリ化することである。第 2 のフェーズは、このセル・ライブラリに基づいて、論理設計、配置配線設計を行い、その結果が物理的にも、電気的にも、論理的にも正しいことを確認し、さらに VLSI 製品の試験評価のためにテストパターンを生成することである。セル・ライブラリが汎用性を持てば、VLSI ごとに行わねばならない設計は、第 2 のフェーズのみである。デバイス設計～セル・ライブラリ作成と、論理設計～レイアウト設計およびテストパターン生成は、従来より LSI を設計するために行われて来た。これをサポートするために各種設計サ

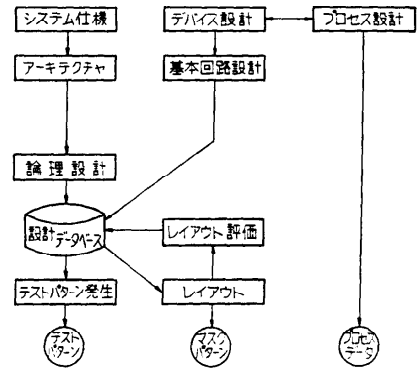


図-4 論理 VLSI 設計フロー

ポートプログラムの研究が行われたが、実用に供したのは、回路シミュレータ、論理シミュレータ、インタラクティブ図形処理装置、マスクデータチェックプログラム、テストパターン生成プログラム、およびマスタスライス LSI 用自動配置配線プログラムぐらいであった。自動配置配線プログラムの有無は、レイアウト設計が LSI 設計の中核に位置するため、自動設計システム構築に与える影響が大きい。マスタスライス LSI ではかなりのレベルの設計自動化システムが構築でき、これを用いて 100 種類以上もの LSI をきわめて短い時間に設計できた。これに対し、マスタスライス以外の LSI では、設計自動化システムの形態とならず、人手主体の設計が行われた。

これらの LSI 用プログラムを VLSI に適用すると、計算機処理時間が極端に増大したり、自動設計結果の品質が低下したりで、実用性を失う。また、各設計工程の仕様を統一的に記述する言語がなく、各プログラムごとにそのデータの入力形式に合わせて変換する必要がある、各種プログラムをダイナミックに使いこなして設計を進めることが事実上できなかった。また、設計データベースがなく、設計資産の活用ができなかった。

VLSI 自動設計システムでは、これらの問題を解決するため、(i)共通仕様記述言語、(ii)データベース、(iii)自動設計システムとしての完結、(iv)全面的な設計自動化の推進と共に、従来扱われなかった機能設計への拡張、プロセスとのリンクの必要である。

3.1 プロセス設計

プロセス設計では、所望の不純物分布などの半導体内の構造を与えるプロセス条件（たとえば熱処理温度と時間、イオン打ち込みエネルギーとドーズ量）が決め

られる。

この分野は、従来は試作に依存していたが、最近プロセスシミュレータが作られつつある。これにより、たとえば、隣をドープした場合分布のテールが膨らむという問題や2重拡散した場合のエミッタ押し出し効果などが事前に算出できる。

プロセスシミュレーションは、自動化進展の著しいLSI製造装置と結合した場合、LSI製造ライン全体の自動化に結合する技術である。これは、開発ラインにおいては、カスタムLSIの設計・製造に新しい分野を拓くものとして、また、量産ラインにおいては、歩留りを向上するものとして、期待されている。

プロセスシミュレーションは、当初1次元で行われていたが、最近のデバイスの微細化構造を反映して、2次元解析が望まれるようになり、この分野の研究が盛んに行われている。

3.2 デバイス設計

デバイス設計では、マスク、拡散エッチングなどで決まる歩留りを考慮して、所定の性能のトランジスタの構造設計が行われる。

従来、基本的特性の確認されている製造プロセスとデバイス構造を前提とし、解析的モデルを作り設計に利用してきたが、デバイス構造の微細化に伴い、これでは表わせない現象が次々と表われるようになった。MOSFETの短チャネル効果と呼ばれている現象がそれである。

このため現在では、微細化デバイスの特性把握のためデバイスシミュレータが良く使われている。これは不純物分布条件などから電気特性を算出するもので、半導体デバイスの基本方程式（ポアソンの式、電流連続の式、電流密度の式）を数値解析するもので、2次元シミュレータが最も良く使われている。最近、3次元、2次元過渡解析を行うデバイスシミュレータも現われるようになった。プロセスシミュレータとデバイスシミュレータを結合したデバイス最適化プログラムも現われつつある。このプログラムは、所望のデバイス性能を実現するためのプロセス最適化条件を自動的に導出する機能を持つ。

一方、デバイスシミュレータを回路シミュレータに結合することが不可欠である。回路シミュレータに組み込んだ解析的モデル（エバンスーモル……バイポーラトランジスタ、ベンチコフスキングロブモデル……MOSトランジスタ）にカーブフィッティングする方法が採られている。これをより発展させたものとし

て、デバイスと回路のミックスレベルシミュレータが望まれている。これをメモリ回路に適用すれば、1ビット分をデバイスシミュレータで解析し、ほかの部分回路シミュレータで解析することにより効率良く設計を進めることができる。

3.3 基本回路設計

基本回路設計では、セル（以後の処理の取り扱い単位）の電子回路設計を行う。セルの回路構成は、論理機能、伝播遅延、消費電力、ドライブ能力等の情報と共にセル・ライブラリに格納される。セルが所定の論理機能を持つように、トランジスタ等の素子を用いて回路を構成し、素子値（抵抗値、容量値、トランジスタ・モデルのパラメータ）を定める。この回路の評価を回路解析プログラムを用いて行う。評価項目は直流特性、スイッチング特性、許容変動、消費電力等である。

3.4 論理設計

論理設計では、所定のアーキテクチャをゲートレベルで（セル・ライブラリで定義された論理機能を単位として）構成し、回路記述を得る。

論理設計には、機能設計の段階と回路設計の段階がある。機能設計の段階では、レジスタ、メモリ、組み合わせ回路などが構成要素であり、各種演算子がレジスタ間の機能演算や転送条件などを表わすのに使われる。一方、回路設計の段階では、セル（NAND, NOR, FFなどのゲートレベルの機能を持つ）が構成要素であり、セルおよびそれらの間の接続関係を表わす回路記述が得られる。従来のLSIの集積度は、LSI内の機能設計を論ずるほど、高くはなかったが、VLSIでは、機能設計も取り込む必要が生じてきた。

機能設計をサポートするために機能シミュレータが、回路設計をサポートするために論理（ゲートレベル）シミュレータが使われている。機能シミュレータは、論理シミュレータにくらべ、5~10倍の規模の回路を2倍の速さで処理することができる。一方、論理シミュレータはより高い精度をもたらす。これらの特長を併せ持つシミュレータとしてミックス・レベル・シミュレータが開発され使われ始めた。このシミュレータを使えば、当初、システム全体を機能レベルで設計しておき、部分的に詳細設計（回路設計）を進め、その正当性をシステム・レベルでチェックできるので、設計を段階的に効率良く進めることができる。

また、機能記述をもとに回路記述を自動発生する試みもあり、今後の発展が待たれる。

3.5 レイアウト設計

レイアウト設計では、回路記述に基づいて、セルをチップ上に配置し、その間の配線経路を決める。アートワーク処理で、マスクパターン作成装置用のデータに変換する。従来、マスタスライス方式 LSI は自動設計されていた。ほかのものについても設計自動化が試みられたが、人手設計と比較してチップサイズが大きかったため、実用に供さず、もっぱらインタラクティブ図形処理装置により人手で設計されていた。そこで人手設計マスクデータのチェックのために各種のチェックプログラムが作られた。

ところが、VLSI 化に伴い、従来方式を適用した場合に起こる設計工数の増大、チップ面積の利用効率の悪さが問題となっている。

これを解決する方法として3つの方法が考えられている。

(1) 階層的レイアウト法……チップ、ブロック、サブブロック、セル……というような階層を設定し、下位の階層から順次設計してゆく。

(2) 自動設計……回路記述よりレイアウトを自動発生する。

(2') シンボリック設計……ラフレイアウトをマニュアルで与え、詳細レイアウトに自動変換する。

(3) ROM, RAM, PLA などの規則的構造を多用する。

(1), (2)の組み合わせ、および(3)については、実施例があり実用性が示された。(2')については、特に米国で盛んであり、今後の発展を期待したい。

3.6 テストパターン発生

テストパターン発生では、LSI 製造後論理機能を試験するために、入力信号—出力信号期待値対のシーケンスを作成する。限られた数の端子から LSI チップ内の複雑な回路の故障を検出する必要がある。従来、定常的に論理“0”または論理“1”となるような故障が LSI 内にただ1つ存在するという風に問題を限定しても、特に順序回路を含む LSI の場合には困難な問題であった。この順序回路に基づく困難性を解決する方法として、FF をつなぎ合わせてテスト時にシフトレジスタ動作をさせる方法がよく採られており、スキャンパス法と呼ばれている。

VLSI になると、困難さは一層増加する。このため、(1)テスト容易化論理設計を促進するための DA システム、(2)テスト性に優れた RAM, ROM, PLA などの規則的構造の多用化、などが考えられている。

4. おわりに

本文では、LSI, CAD の現状と VLSI 化進展時の問題点を要約して述べた。

最近の LSI 製造技術の進歩には目覚ましいものがある。これによってもたらされた集積化能力の余裕と新しい可能性を、設計・テストの容易化に役立ててゆく努力が今後必要である。VLSI の設計限界を打ち破る努力はいろいろな観点から進められるべきものである。CAD はこの中心技術である。

(昭和 56 年 6 月 10 日受付)