

IBM RS/6000と POWERアーキテクチャの10年間 〈後編〉

日本アイ・ビー・エム（株）東京基礎研究所

寒川 光 川瀬 桂

samukawa@jp.ibm.com

kawase@jp.ibm.com

RS/6000とPOWERアーキテクチャの発展を通して、最近の汎用プロセッサの技術動向を連載している。この10年間のCMOSのテクノロジーの進歩は驚異的で、設計ルールは1ミクロンから0.18ミクロンに微細化され、1チップに搭載されるトランジスタ数は40万から1億7,000万に高密度化されようとしている。この大規模な回路を計算能力として詰め込むことができて、そこに高速にデータを供給することは困難である。そこで汎用プロセッサはこの問題を仮想記憶方式と階層型記憶機構（レジスタファイル、キャッシュ）によって解決してきた。これは前号で2次元座標変換プログラムやコンパイラの行うブロック化の技術を例に説明したとおりである。言い換えると汎用プロセッサの高速化を支える技術がキャッシュの周辺にあるといっても過言ではない。本号ではPowerPC, RS64, Power3, Power4などのプロセッサについて述べるが、これらはさらに多重プロセッシングとアドレス空間の拡大という要請も合わせて解決している。図-6にこれらのプロセッサの系譜を示した。

■ PowerPC ■

POWERアーキテクチャはより汎用的なPowerPCアーキテクチャに拡張され、これを使用する製品も多様化した。PowerPCアーキテクチャは1991年からテキサス州オースチンに開設されたSomerset設計センタにおいて、IBM, Apple, Motorolaの共同で開発された¹⁾。POWERが科学計算用のRS/6000 (AIX) だけを前提に設計されたのに対し、PowerPCはノート型パソコン、組み込みコントローラ、高性能科学計算用およびグラフィクス用のワークステーション、多重プロセッサメインフレームなどに対象を拡げた。こうした広範囲のプロセッサ環境に単独のアーキテクチャで対応するために、

アーキテクチャはユーザレベル（問題状態）、スーパーバイザレベル（特権状態）に加え、仮想環境レベルからなる3つのレイヤによって定義された。これによって設計者は、アーキテクチャの定義する機能の実装方法を、ハード/ファーム/ソフトウェアにわたる広い範囲から、価格/性能比に応じて選択できる。POWERアーキテクチャと比較すると、多重プロセッシングサポートと64ビットのアドレスモードが新機能である。プロセッサの開発も、POWERの時代はIBMオースチン研だけで行われたが、PowerPCではSomerset設計センタとミネソタ州のIBMロチェスタ研が加わった。

最初のプロセッサ601は1993年に登場した。これはPOWER1のシングルチップ版であるRSCをもとにした。その後、省電力型の603と高性能型の604が登場したが、これらはすべて32ビットモードのみを実装する。64ビットモードをサポートする620は1994年に発表されたが、製品としては登場しなかった。科学計算用（RS/6000）としては604が用いられ、601はRS/6000のエントリーモデルとパソコン、603はノート型パソコン用でOS/2やAppleのMacintoshなどに使用され、A30, RS64などは商業計算に向けたRS/6000とAS/400で使用された。Somerset設計センタ解散後は、オースチン研、ロチェスタ研, Motorolaに加え、組み込み用プロセッサ

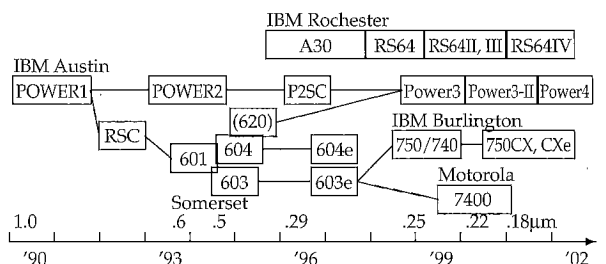


図-6 PowerPCの系譜

をバーモント州のIBMバーリントン研が引き継ぐ形で現在に至っている。

アーキテクチャ

ユーザレベルとスーパーバイザレベルの中間に定義された仮想環境アーキテクチャは、複数のプロセッサや他のデバイスから見たメモリモデルやユーザレベルから見たキャッシュモデルを定義する。これにより弱順序メモリアクセス、多重プロセッシング、順不同(out-of-order)実行、種々のキャッシュデザイン、バスオペレーションの動的なりオーダーリングなどを効率よく実装できる。

また、メモリ上でのバイト順序もビッグ/リトル・エンディアン両モードの動作オプションが追加された。命令セットはPOWERの命令から、使用頻度が低く、かつ、他の命令で置き換え可能な命令を削除し、約80命令を追加した。追加された命令には、単精度浮動小数点演算命令、メモリ同期化命令、キャッシュ管理命令などがある。アドレスモードは32ビットと64ビットが定義されており、どのプロセッサも最低32ビット・サブセットのサポートが要求されている。64ビットアドレスのサポートは、汎用レジスタが64ビットに拡張され、32ビットモードでは、上位32ビットをゼロにするロード命令が用いられる。

■多重プロセッシングサポート 共有メモリ型多重プロセッサシステムでは、複数のプロセッサが同時に共有メモリ上の単一のデータアイテムを更新する場合などに生じる競合を制御するための、メモリ同期化命令が必須である。lwarx (load word and reserve indexed) 命令と stwcx (store word conditional indexed) 命令を組み合わせることで、“test & set” や “compare & swap” などのセマフォ操作をプログラミングでエミュレートできる。“fetch & add” のエミュレートの例を示す²⁾。

```
top lwarx r9 = i (r2) # i をロードして予約
ai r9 = r9 + 1 # i をインクリメント
stwcx i (r2) = r9 # 条件付きストア
bc top, cr0 # ストア失敗は分岐
```

lwarx は i をロードして、i を含む予約粒度 (reservation granularity) のメモリブロック (キャッシュラインなど) を予約する。予約は、(1) 予約したプロセッサが別の lwarx 命令を実行したとき、(2) 予約したプロセッサが stwcx 命令を実行したとき、(3) 別のプロセッサが同じ予約粒度にストアを実行したときなどに解除される。stwcx は予約が変更されていないときのみ実行され、実行されたかされなかったかのコードが条件レジスタにセットされる。このメカニズムは XL Fortran からはコンパイラ指示文 atomic によって利用できる。

■メモリモデル PowerPC のメモリモデルは、ライト・バック/スルー、キャッシュ禁止/許可、メモリコヒーレンシ、保護の4つの属性 (WIMG 属性) を仮想ページ単位およびキャッシュライン単位に定義している。W と I 属性により、OS はアクセスするプロセッサがそのキャッシュをどのように使用するかを制御し、M 属性はそのメモリーメージの全コピーに対しコヒーレンシが維持されることを保証する。また I/O メモリをメインメモリに効率よくマップすることも可能になる。

■並列化プログラミング SMP 並列化プログラミングは、POSIX 準拠の Pthreads ライブラリを明示的に呼び出すか、OpenMP に準拠する方法で行う。後者はコンパイラ指示文 parallel do, parallel section などにより行うのが一般的である。前号の表-1 に示した Linpack TPP の多重プロセッシングの性能値はこれによる。また自動並列化も可能である。

■プリフェッチ “dcbt rA, rB” (data cache block touch) で、汎用レジスタ rA の内容と rB の内容の和で示される有効アドレスを含むキャッシュラインに対して、それがデータキャッシュに存在しなければ、データキャッシュにロード要求を出し、存在すれば何もしない。また同じキャッシュラインに対してすでに dcbt 命令が発行されている場合も何もしない。この命令は XL Fortran からは、コンパイラ指示文 prefetch_for_load で挿入できる。

PowerPC 601 プロセッサ

RSC では演算パイプラインの機能を簡略化したため、倍精度の乗加算は2サイクルのスループットになっていた。601 では PowerPC で加えられた単精度の命令は、1サイクルのスループットとなるように改良された。これは POWER1 では倍精度を基本として乗加算器を設計したのに対し、601 では単精度を基本に設計し直したからである。なお倍精度演算は単精度演算を2回行う形になり、2サイクルスループットになる。これにより回路を小型化/省電力化できる。チップは0.6ミクロンの設計ルールで、50/60MHz で稼働する。1994年に0.5ミクロンの設計ルール160万トランジスタの603チップが登場する。80MHz で稼働するが、消費電力は601の約半分の3W に抑えられた。

■キャッシュとプロセッサインタフェース PowerPC の601チップは、POWER1のシングルチップRSCのコアと、MotorolaのMC88110のチップのバスインタフェースを受け継いだ。601のメモリバスは、メインメモリへのアクセス手段と、ローカルキャッシュとメモリ間のコヒーレンシを保証する手段を提供する。これはキャッシュ上の予約粒度のアドレス単位にMESIプロト

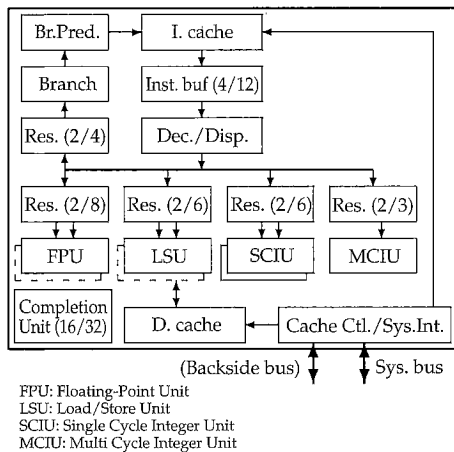


図-7 PowerPC 604/Power3 Processor

コルを用いて、共有バス上のスヌープ処理機構が4つの状態の遷移を検出することで実現される。4状態はM: Modified (変更され、メモリの内容と異なる、また他のキャッシュにコピーがない), E: Exclusive (メモリにコピーがあり、他のキャッシュにコピーがない), S: Shared (メモリにコピーがあり、他のキャッシュにコピーがある可能性がある), I: Invalid (キャッシュに存在しない)である。

なおPOWERの仮想アドレスキャッシュは物理アドレスキャッシュに、逆ページ表によるアドレス変換はハッシュ化ページ表による方法に改められた。

PowerPC 604 プロセッサ

604は高性能版のPowerPCとして1994年に発表された。601などと異なり、倍精度演算が1クロックスループットで処理できる。図-7にプロセッサの構造を示すが、図は次章で述べるPower3と共用である(Power3との大きな違いは点線で示したFPUとLSUが1つずつしかないこと、バックサイドバスを持たないことなどである)。またリネーミング用のレジスタ数などの設計パラメータを表-3に示した。

POWER1でFXUが担当していた命令を、1クロックで完了する命令を2つのSCIUが、複数クロックかかる命令をMCIUが、ロード/ストアをLSUが担当するように3系統に分割された。これらとFPU、分岐ユニットの計6つの機能ユニットに対して、デコード/ディスパッチ・ユニットから最大4命令が同時発行される。また増加した機能ユニットの利用率を上げるため、浮動小数点レジスタの他に、汎用レジスタ、条件レジスタにもリネーミングを行う。また動的スケジューリングを採り入れて順不同実行を行う。これは、各実行ユニットの前段にそれぞれ2エントリのリザーベーション・ステーションを、後段には命令終了の同期をとるための16エントリの確定ユニットを設けることで実現される。分岐ユニットは64エントリのフル連想写像の分岐先アドレス・キャッシュ(BTAC)と512エントリの直接写像

| parameter | PowerPC 604 | Power3 |
|----------------------|-------------|--------|
| FP Reg. for renaming | 8 | 24 |
| GP Reg. for renaming | 12 | 16 |
| BHT entry | 512 | 2,048 |
| BTAC entry | 64 | 256 |
| Completion Unit | 16 | 32 |

表-3 PowerPC 604とPower3の設計パラメータ

の分岐履歴テーブル(BHT)を持ち、2つの分岐命令に対する投機的な実行を行う。確定ユニットは逐次処理を保証するため、(1)命令の発行順序通りに完了させる、(2)ある命令の前に在る命令がすべて完了し、その命令も実行を終了したときに、その命令を完了させる、(3)分岐予測がはずれた場合には、投機的に実行された命令を取り除く、を行う。キャッシュは命令用とデータ用が独立し、それぞれ16KB、4ウェイの物理インデックス・物理タグ方式に改められた。なおSMP構成の場合は、1次キャッシュ、2次キャッシュともにローカルである。

前号の表-1に604eプロセッサ(後述)を使用するF50型のLinpack TPP性能値を示した。クロック周期は332MHzなので最大性能は664Mflop/sになるが、その48%の性能にとどまっている。これはパイプラインを簡略化していることが最大の要因である。リネーミング用のレジスタは命令パイプラインの全段数をカバーすれば足りるが、604のパイプラインはフォワード経路を持たないので、POWER1と比較すると、実質的な段数が増えるにもかかわらず、リネーミング用レジスタは同程度にしか備えていない。このためパイプラインのストールが避けられない。行列行列積よりも単純で、演算・移動性能比が1のループ計算には、より高い性能を発揮するものが多い(たとえばベクトルのノルム計算は、最大性能の75%を発揮する)。POWER1と比較すると604の性格は、固定小数点系命令の並列性を上げ、FPUの単純化を行うことで動作周波数を上げた特徴が現れている。これは対象アプリケーションを拡げたからである。

64ビット版PowerPC

1994年に初の64ビット実装のPowerPC 620が発表された。実行ユニットの構成は基本的に604と同じであるが、外部データバスの幅は128ビットに倍増され、また2次キャッシュ専用の独立したバス(バックサイドバス)を持っており、最大128MBの外部2次キャッシュを使用することができるように設計されていた。604に比べデータバンド幅とアクセスレイテンシが大幅に改善されることから、64ビットプロセッサとして高性能ワークステーション用の用途が期待されたが、FPUとLSUがそれぞれ1つしかなかったためPOWER2に比べて科学計算用途では性能が向上せず、また開発の遅れから製

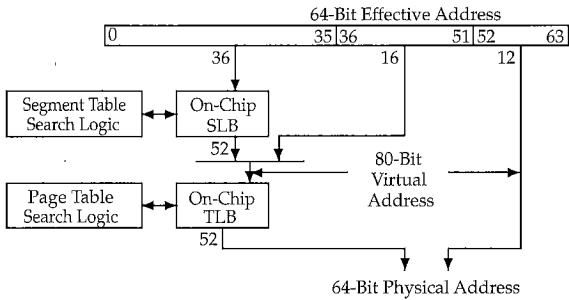


図-8 64ビット実装におけるアドレス変換

品として登場することはなかった。

64ビット実装の製品として最初に出たのは、A30と呼ばれるAS/400用のプロセッサであった。A30は1995年に登場し、1個のCMOSチップと6個のBiCMOSチップの合計7チップからなるPowerPC唯一のマルチチップ実装で154MHzで稼働した。A30は1997年にシングルチップ実装のPowerPC RS64(125MHz)に置き換えられ、その後RS64-II(340MHz)、RS64-III(450MHz)、RS64-IV(600MHz)と半導体技術の進歩とともに改良が続けられ、AS/400、RS/6000 S80シリーズなどの商業サーバとして利用されている。このプロセッサのために拡張されたアーキテクチャには、アドレス変換を単一レベル記憶で行うモード、複数語をロードする命令、10進演算命令などがある³⁾。

また並列度を高めた場合のデータ幅を確保するために、クロスバスイッチを備えたメモリサブシステムが開発された^{☆1}。このサブシステムを備えた機種は、最大24ウェイまでのSMP対応が可能である。またRS64-IVではマルチスレッディングと呼ばれる機能が追加された。これはレジスタ類を2系統備え、キャッシュミスなどでプロセッサが待ち状態に入ると、瞬時に裏のスレッドにスイッチし、キャッシュフィルのレイテンシを隠すことで、スループットの向上を狙う機能である。なお、キャッシュやTLBなどは2つのスレッドで共有する。スレッドスイッチは3クロックという短時間で完了するので、1つのスレッドが使用できるキャッシュサイズの減少に伴う(キャッシュミスの増加による)性能の低下を上回る性能の向上が期待される。この機能のための回路数の増加は5%程度であるが、OLTPジョブの性能評価では、約30%のスループット向上が見られた⁴⁾。

■ 64ビットモードにおけるアドレス変換 PowerPCの64ビット実装では、マシン状態レジスタのビット指定により、64/32ビットモードを切り換えることができる。64ビットと32ビットを比較すると、有効アドレス(ユーザ空間)と仮想アドレス(システム空間)が、それぞれ32から64ビット、52から80ビットに拡大された。

セグメントサイズ(256MB)とページサイズ(4KB)は据え置かれたので、アドレスの拡大はセグメントの数(16個から64G個)と幅(24ビットから52ビット)によって行われる。

図-8に64ビットモードでのアドレス変換を示す。POWERでは有効アドレスの上位4ビットでセグメントレジスタを選択することで仮想アドレスを生成していたが、PowerPCの64ビットモードでは有効アドレスの上位36ビットは64Gと膨大になるため、主記憶上にページテーブルと同様な形式のセグメントテーブルを置き、プロセッサ内部にはTLBと同様のsegment lookaside buffer (SLB)を持つ。アドレス変換時に有効アドレスがSLBに存在しない場合、TLBミス時と同様にセグメントテーブル・サーチロジックでSLBのエントリを置き換える。

その他のPowerPC

32ビット版PowerPCはその後、動作周波数の向上やキャッシュサイズとストアキューのサイズなどを拡張した603e、604eが開発され、さらに603eの発展型の740/750が登場した。その後オースチン研は64ビット版に注力するため組込み用を除く32ビット版の開発から手を引いたが、Motorolaはグラフィクス処理やマルチメディア・データ処理の高速化を目的に、AltiVecと呼ばれるSIMD拡張命令(策定にはIBMも参加)を実装した7400シリーズを開発し、Macintoshに使用されている。

バーリントン研は、組込み用プロセッサやコントローラ用に浮動小数点パイプラインを削除・削減した40X/8XXシリーズを担当している。前者の最新のプロセッサは750CXeと呼ばれ、400から600MHzで稼働する3種類が提供されている。後者はプリンタ・車載・セットトップボックスなどに利用されている。

■ Power3 ■

Power3はPowerPC 620のプロセッサコアとバスインタフェースを受け継ぎ、これに2つ目のFPUとLSUを追加し、また命令キューとリネームレジスタを増やした。サポートされるアーキテクチャはPowerPCのフル仕様である。POWER2からの発展として見ると、Power3はP2SCの持つ2重化されたパイプラインと、PowerPCの持つ64ビットアドレスモードや多重プロセッシング機能を合わせ持つ形となった。これによってPOWERからPowerPCへの移行が完了し、2つの系統が一本化された。最初のチップは1998年10月に発表された0.25ミクロンの設計ルールを用いたもので、1,500万トランジスタが

☆1 メモリサブシステムは米国エネルギー省のスーパーコンピュータ開発計画ASCIのBlue-Pacificと呼ばれる、604eプロセッサによる8ウェイSMPが512ノードのSPシステムのために開発された。

270mm²のダイに収められている。周波数は200MHzなので、P2SCの最後の型に比べると25%しか速くないが、これを搭載したRS/6000の260型の2ウェイSMPモデルは、Linpack性能値では2.2倍の1168Mflop/sになった(前号の表-1)。翌年222MHzのプロセッサを備えた8ウェイモデル(ハイノード)が登場した。2000年2月に0.22ミクロンの設計ルールと銅配線を使用したPower3-IIプロセッサ(ダイサイズは160mm²)が発表された。クロック周波数は375から450MHzで270型と呼ばれ、4ウェイSMPモデルまで構成可能である。またハイノードは16ウェイまで可能である^{☆2}。

Power3 プロセッサ

図-7にプロセッサの構造を示した。PowerPC 604と比べるとLSUとFPUが2重化され、620譲りのバックサイドバスを持っている。また確定ユニットのエントリ数やリネーミング用のレジスタ数なども多い(図の括弧内のエントリ数および表-3)。P2SCと比較すると、ロード/ストア命令がFXUから独立したため、整数演算性能が向上した。これは同じクロック速度で比較すると、SPECint95の性能で約35%の改善にあたる。また条件分岐に対する遅延も、分岐予測を行うので短くなった。FPU1とFPU2が浮動小数点演算パイプラインで、段数がP2SCよりも増加して4段になった(多くの場合、フォーディング経路により、3段の振舞いとなる)。1クロック周期で最大8命令(2つの浮動小数点命令、2つのロード/ストア命令、2つの1クロック周期の整数命令、複数クロック周期の整数命令、分岐命令)が実行可能であるが、実効速度はデコード/ディスパッチ・ユニットの発行する4命令/サイクルになる。これはP2SCの6よりも少ないが、前号の表-1に示したLinpack性能値が最大性能の80%に達することからも分かるように、全体的な性能には影響していない。

■キャッシュ構成とメモリ階層 Power3では新しいキャッシュ構成が採り入れられた。2段キャッシュで、1次キャッシュはラインサイズ128B、128重のセット連想性と4セットのキャッシュ構造を持つ。128の連想性はラウンドロビン方式に似た置換方式で稼働する。ラインサイズ(7ビット)と連想性(7ビット)の和はページサイズ(12ビット)よりも大きくなるので、仮想アドレスキャッシュを使用しても仮想エイリアスの問題は起こらない^{☆3}。なおアドレス変換は、PowerPCから受け継いだ、SMP向きのハッシュ化ページ表を用いる方法による。

外付けの2次キャッシュは容量1~16MBの直接写像方式の統合キャッシュである。

Power3では動作周波数の高速化に対応するために、

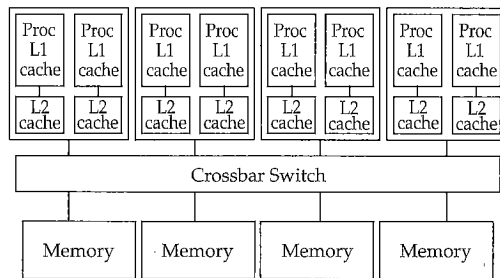


図-9 ハイノード型の記憶階層

プロセッサ対2次キャッシュ/メモリのクロック周期の比を柔軟に設定できる設計を採用した。プロセッサ対2次キャッシュの比はPower3では1:1、Power3-IIでは3:2になり、プロセッサ対メモリは2:1が4:1または3:1になった。

ハイノード型は260型の2ウェイのプロセッサと2次キャッシュを1枚のカードに搭載し、これを最大4枚まで実装できる。これらはRS/6000 S80で用いられたクロスバースイッチ付きのメモリサブシステムと接続されて、最大4枚まで実装可能なメモリカードに接続される(図-9)。クロスバースイッチは4×4の要求を交通整理するが、このために1次および2次キャッシュをミスした場合のレイテンシは、260型の2倍になり、約70クロックである。

■プリフェッチ Power3はハードウェアによるプリフェッチ機能を備えた。これはキャッシュミスが連続するキャッシュラインで発生する場合は、次のキャッシュラインにプリフェッチ要求を出す(プリフェッチバッファにロードする)。そして後続のキャッシュミスのアドレスがプリフェッチバッファ内のキャッシュラインにあればこれを使用するとともに、さらにその次のキャッシュラインにプリフェッチ要求を出す。キャッシュミスが発生する複数のアドレスから、プリフェッチストリームを生成するのは、フィルタリングにより、これにより最大4つのストリームに対してプリフェッチが機能する。

Power4

Power4は2001年の終わりから2002年にかけて出荷される製品群のために開発中のプロセッサ・チップである。0.18ミクロンの設計ルールと銅配線、SOI(silicon-on-insulator)技術によって、1.1GHz以上の動作周波数を予定している。Power4の1つのチップには2プロセッサが搭載される(チップ内並列)。これはデータ幅を強化するために、メモリアクセスの並列性を追求し

^{☆2} 16ウェイSMPか612ノードのSPシステムがASCI Whiteとして導入された。
^{☆3} POWERでは仮想エイリアスの問題を、OS(AIX)の機能によって解決していた。

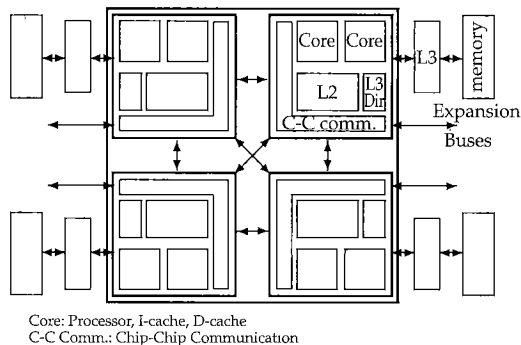


図-10 Power4のチップ間接続

た結果である。高周波数化に伴い3段キャッシュが用いられるが、チップ上には2プロセッサに共有される2次キャッシュと3次キャッシュのディレクトリも搭載される。このチップ4つが1モジュール上に載せられる。128MBの3次キャッシュは外付けされる(図-10~図-12)。

Power4 プロセッサコア

プロセッサのコアは、2つのLSU、2つのSCIU、2つのFPU、分岐ユニット、条件レジスタユニットの計8つの機能ユニットなどを持つ。機能ユニットの構成はPower3と似ているが、MCIUはなく、命令パイプラインの段数や、各ユニットの実行の段数が増え(FPUは6段)、高周波数化に対応した。これにより通常の命令は十分に高周波数化されるが、いくつかの複雑な命令が残る。これらのためにマイクロアーキテクチャの命令レイヤを導入し、これまでのPOWERの命令やPowerPCの命令のうちで、ludfx命令のようにやや複雑な命令は単純な命令に分割、さらに複雑な文字列操作命令はマイクロコード実行に委ねるなどの処理を行う。この処理は命令デコードの段に加えられ、Instruction Crackと呼ばれる。また同時に、命令列の依存関係を調べる際に、VLIW的なグループ化も行う。これにより、プロセッサがグループごとに依存性を制御することができるので、パイプラインの回路を単純化できた。プロセッサコアには32KBの1次データキャッシュと64KBの1次命令キャッシュも含まれる。データキャッシュは3ポート(毎サイクルに2ロード、1ストア)で、最大11ストリームに対するプリフェッチ機能(8データ、3命令)を持つ。

■チップ内並列 このプロセッサコア2つを1チップに搭載するが、同時に2次キャッシュと3次キャッシュのディレクトリ、他のチップとの通信を行う機構が搭載される。1億7,000万トランジスタのうち、1億以上が2次キャッシュ以下のキャッシュおよびチップ間通信に用いられている。

2次キャッシュ(容量1.5MBで統合キャッシュ)は2つ

のプロセッサから共有されるが、2次キャッシュ自身は0.5MBずつの3つの配列に分割され、それらは3つの独立したコントローラによって制御される。各キャッシュ配列は8重のセット連想写像、スヌープディレクトリ、4つのコピーレンシプロセッサ、4つの64Bストアキューを備える。2次から1次のデータキャッシュ/命令キャッシュへは独立したポートが用意され、2次キャッシュから見たデータ幅は100GB/sを超える。またロード命令に対する順不同実行は、1次キャッシュをミスし、2次キャッシュをヒットした場合のオーバーラップを含む。さらに大容量のTLB、SLBを持つ。

■マルチチップモジュール 4つのチップが、チップ間通信機構同士が近接するように、90度ずつ回転されて、ガラスセラミックのモジュールに搭載される。2次キャッシュはチップ上の2プロセッサに共有されるが、さらに他のチップのプロセッサからも高速相互接続網によって参照される。3次キャッシュは外付けであるが、ディレクトリはチップ内に置かれる。メモリは4つに分割され、4つのチップの近くに分散して置かれる。この方式はフラットな1つのメモリとして複数のプロセッサから共有されるSMPと異なり、NUMA的である。

1つのチップから発行されたメモリ要求は、4チップを貫く4本のバスを経由して他のチップの2次キャッシュや3次キャッシュディレクトリも検索され、さらにデータの更新に関する情報もコピーレンシプロセッサによって管理される。

■まとめ■

2回にわたってRS/6000とPOWERアーキテクチャの10年間の発展を紹介した。計算機アーキテクチャと実装技術の動向を述べて、まとめとしたい。

■アーキテクチャの2層化 アーキテクチャが命令セットアーキテクチャと実際に実行される内部(マイクロ)アーキテクチャにより顕著に分離している。POWERは初めから狭義のRISCとはいえない命令を持っていたこともあり、ファーム/ソフトウェア処理が使用されていたが、PowerPCではアーキテクチャそのものに柔軟性を持たせる目的から、この傾向が強まった。Power4の命令デコード段では、Instruction Crackが導入されたが、これは既存のコードを稼働させつつクロック周波数を高めるためである。この動向はIntelのX86シリーズではより顕著で、Pentium Proのデコードユニットは可変長のX86命令を72ビットの固定長のマイクロ命令操作に2クロックで翻訳する⁵⁾。コンパイラの最適化機能は、実行される命令のタイミングから最適化を行い、命令セットアーキテクチャを出力するので、前号で述

べた意味では、広義のRISCという
ことができよう。

■コンパイラとハードウェア

1990年代はRISCプロセッサが目覚
ましい進歩を遂げ、各社とも動的スケ
ジューリングと分岐予測を行うオン
チップ・ハードウェアを搭載した
64ビットプロセッサを出荷した。
プロセッサの設計法としては類似点
が多い。特に動的スケジューリング
の機構は類似点が多く、パターソン

教授の教科書では、Pentium Proと
PowerPC 604が同じ図で説明されてしま
うほどである⁵⁾。そもそも動的スケジュー
リングはS/360の91型に
用いられ、トマスロ・アルゴリズムと呼ばれ、その実
装には大変コストがかかった。J. コックのRISCの発想
は、トマスロ・アルゴリズム(パイプラインを満たす仕
事)をコンパイラに任せるとハードウェアを簡素化でき、
価格を下げるができることと気付いたことであつたとい
われている³⁾。CMOSの高密度化が進み、ハードウェア
が低価格化した結果、動的スケジューリングはもはや高
価ではなくなったのである。トマスロに回帰したとい
う事実はコンパイラとハードウェアの守備範囲を考
える上で興味深い⁴⁾。この守備範囲の議論でもう1つ
の話題は、依存性解析に基づくVLIW的な命令のバンド
ルを、コンパイラが静的に行うか、ハードウェアが動
的に行うかである。Power4は動的に行う方法を選んだ。

■キャッシュ周辺の技術 POWER1の530型と
Power4を比較すると、動作周波数は40倍に、倍精度の
浮動小数点乗算のレイテンシで比べても20倍に高速化
された。しかしメモリアクセス時間の性能向上は2倍以
下にとどまっている。動作周波数とアクセス時間のギャ
ップの問題を、汎用プロセッサは仮想記憶方式と階
層型記憶機構によって解決してきたが、多重プロセッ
シングと合わせて解決するには多くの回路を必要とす
る。また解決策はハードだけでは済まされず、ソフト
にも及んでいる。古典的なS/370アーキテクチャのよう
に、“キャッシュは完全にハードウェアの機能として閉
じており、ソフトウェアからは透過である”とあって済
ましてはいられなくなった。アーキテクチャにキャッ
シュモデルが定義され、実装法に応じて制御プログラ
ムは効果的に利用するのである。コンパイラはキャッ
シュブロック化を行い、プリフェッチの指示文も採り
入れられた。総動員である。

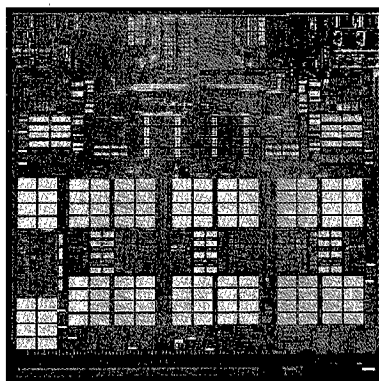


図-11 Power4チップの顕微鏡写真

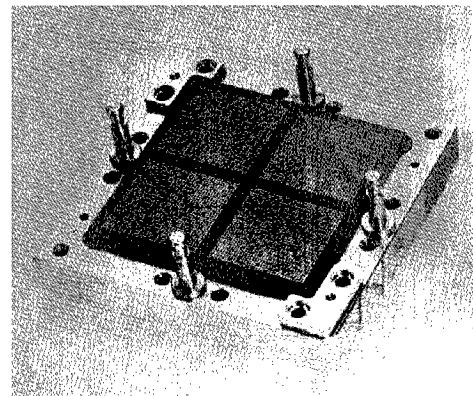


図-12 Power4チップを4つ搭載したモジュール

■並列性の追及 10年間のプロセッサの発展を振り
返ると、並列化の対象粒度が大きくなっていることが
分かる。10年前に1ミクロンの設計ルールで約40万回
路が利用可能となったときは、半自律的な機能ユニ
ット数個でスーパースカラーを実現することで、POWER1
は高い命令レベル並列を実現した。POWER2は、約2倍
となった集積度を、FPUとFXUを2重化することに使
った。しかしプロセッサ単位で見ると演算パイプライン
の多重化は2で止まり、PowerPC以降はスレッドレ
ベル並列に向かった。ここでデータ供給能力を確保す
るために多くの新しいアイデアが盛り込まれた。クロス
バースイッチ付きのメモリサブシステムやプリフェッ
チ機構はその好例である。Power4がチップ内並列を導
入したのも、データ供給能力の確保が目的である。こ
の方向での発展を継続させるためには、コヒーレンシ
の確保のためには原理的に、(チップ数)×(分割され
たメモリグループ数)に比例する回路が必要になるので、
論理回路の大部分をデータ供給の高速化のために使わ
なくてはならなくなる。2010年にはチップ上には10億
個のトランジスタが集積され、周波数10GHzで動作可
能な時代となるという説がある⁶⁾。この10億個の大半
はこのように目的に、つまりスレッドレベル並列を支
えるデータ供給を支えるために使用されるだろう。

参考文献

- 1) PowerPC and POWER2 Technical Aspects of the New IBM RISC System/6000, SA23-2737 (1994).
- 2) Weiss, S. and Smith, J. E.: POWER and PowerPC, Morgan Kaufmann Publishers, Inc. (1994), 日本アイ・ビー・エム(株)監訳: PowerPC解説, POWERからPowerPCへ, インターナショナル・トムソン・パブリッシング・ジャパン(1995).
- 3) Soltis, F. G.: Inside the AS/400 (日本語版), (株)インフォ・クリエイツ(1998).
- 4) Advanced Microprocessor Design, IBM J. Res. Develop., Vol.44, No.6 (2000).
- 5) Patterson, D. and Hennessy, J.: Computer Organization & Design: The Hardware/Software Interface, Second Edition, Morgan Kaufmann Publishers, Inc. (1998), 成田光彰: コンピュータの構成と設計第2版, 日経BP社(1999).
- 6) 富田眞治: 計算機アーキテクチャの過去, 現在と未来, 情報処理, Vol.41, No.5, pp.494-497 (May 2000).

(平成13年2月28日受付)

* トマスロは順不同に命令を実行し終わるとレジスタを更新したため、"不正確な読み込み"という言葉を生んだ。これが不評であつたため、動的パイプラインでは確定ユニットを設けた。

