

## FPGA アレイを用いて TFlops を目指した ポアソン方程式演算回路の実装と評価

佐藤 一輝<sup>†</sup> バートルスレン バルス<sup>††</sup> 関根 優年<sup>†</sup>

<sup>†</sup> 東京農工大学 大学院 工学府

<sup>††</sup> 東京農工大学 工学部

〒 184-8588 東京都小金井市中町 2-24-16

E-mail: †{kazuki,bars}@sekine-lab.ei.tuat.ac.jp, ††sekinem@cc.tuat.ac.jp

**あらまし** 近年, FPGA を HPC 用途に使用する例が増加しつつある。我々は, 大規模 FPGA を搭載し, 三次元方向に I/O を装備した小型カードを大量に集積したものを FPGA アレイとして提案している。この FPGA アレイは, 規模を任意に増減できるスケラブルな設計であり, さらにホスト PC から容易に制御を可能としたものである。本稿では, ポアソン方程式を浮動小数点数で差分法によって演算する回路をこの FPGA アレイに実装し, 演算性能と消費電力について評価を行った。また, 演算回路を多数並列に実装して大規模並列演算を行い, 演算性能が 1[TFlops] を達成するために必要な FPGA アレイの規模を示した。

**キーワード** FPGA, HPC, スケラブル, hw/sw 複合体, ポアソン方程式

## Implementation and evaluation of arithmetic circuit for Poisson equation that aims at TFlops by using FPGA array

Kazuki SATO<sup>†</sup>, Baatarsuren BARS<sup>††</sup>, and Masatoshi SEKINE<sup>†</sup>

<sup>†</sup> The Graduate School of Engineering, Tokyo University of Agriculture and Technology

<sup>††</sup> The Faculty of Engineering, Tokyo University of Agriculture and Technology

2-24-16 Naka-chou, Koganei-shi, Tokyo, 184-8588 Japan

E-mail: †{kazuki,bars}@sekine-lab.ei.tuat.ac.jp, ††sekinem@cc.tuat.ac.jp

**Abstract** In recent years, the examples which use FPGA for the HPC use are increasing. We propose FPGA array which accumulated a lot of small cards with the three-dimensional I/O that installed large-scale FPGA. The FPGA array is suited to the scalable design, and it is possible to control from the host PC easily. In this paper, we implemented the arithmetic circuit which calculated Poisson equation by the finite difference method in floating point number into the FPGA array, and the performance and power consumption are presented. In addition, we have designed arithmetic circuits worked in parallel, and show a number of FPGA array to achieve 1[TFlops].

**Key words** FPGA, HPC, Scalable, hw/sw complex, Poisson equation

### 1. はじめに

HPC(High Performance Computing) は, 膨大な計算を高速に行うことであり, バイオ・流体解析・物性・気象などの様々な分野のシミュレーションに利用されている。

現在多くの HPC サーバに採用されるプロセッサは, x86 や POWER のアーキテクチャをベースにした汎用プロセッサである。汎用プロセッサは過去数十年において進歩を遂げたが, 過去の資産を生かすための拡張を続けた結果, 回路が複雑化し効率的ではなくなっている。そのため, 近年ではエネルギー効率

が良い演算素子が求められている。性能・電力の双方の面で最も効率が良いのは, 必要とされる用途向けに設計した専用ハードウェアであるが, 汎用性は少なく多目的に使用できない。

また近年, 特定の計算をアクセラレートするコプロセッサを搭載したり, 本来画像処理のために開発された GPU を汎用的な計算に利用する GPGPU(General Purpose computing on GPU) 等, ある用途に特化したプロセッサを HPC 用途に採用する動きも出現している。GPU は分岐の多いプログラムの処理能力は汎用プロセッサに比べて劣るが, 単純なデータを一度に大量に処理することに特化する。しかし, これらの素子を

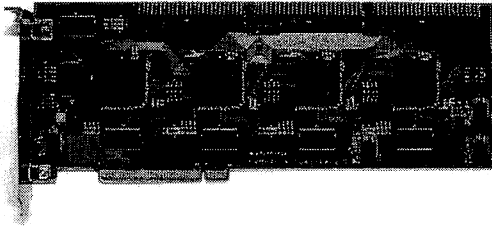


図1 hwModule V2の外観.

HPCに用いるには汎用性が少なく、開発環境もあまり整備されていないため容易に実用化は進んでいない。

そこで、新たな演算素子としてFPGA(Field Programmable Gate Array)が注目されている。FPGAは用途に応じて回路構成を変更可能なLSIであり、専用ハードウェアと同様に大規模並列処理に適し、さらに再構成が可能であるため汎用性も持っている。FPGAを用いたHPCサーバの例としては、スコットランドのエジンバラ大学が開発した“Maxwell”[1]や理化学研究所で開発された“PROGRAPE-4”[2]がある。しかし、FPGAを扱う上での課題は回路のプログラミングとソフトウェアからの制御が難しいことにあり、我々はこの課題を解決するhw/sw複合体を提案している。

本稿ではhw/sw複合体の規模を拡張した、設計や制御が容易でスケラブルなReconfigurable HPCに適用する、ポアソン方程式を浮動小数点数で演算する回路について報告する。

## 2. hw/sw複合体を利用したReconfigurable HPC

### 2.1 hw/sw複合体

hw/sw複合体[3]とは、実現したい回路を仮想回路として実現し、ソフトウェアからhwObjectSystemを制御することで、結果的にハードウェアを容易に扱うことができるものである。

このhw/sw複合体のメリットとしては、仮想回路とソフトウェアによる分散協調処理ができるので、ソフトウェアが得意とする処理とハードウェアが得意とする処理を切り分け、双方のメリットを最大限に引き出せること。そして、FPGAに実装した回路をホストPC上で動作するソフトウェアから容易に制御できることが挙げられる。

仮想回路は、本研究室で開発した32bitPCIボードであるhwModule V2(図1)に実装される。このボードにおいてhwObjectで定義されたハードウェアの処理を全て行う。hwModule V2のボード上には、FPGA(Xilinx XC3S4000)、SDRAM(16MB)、外部入出力コネクタがそれぞれ4個搭載されている。本稿ではこのボードを、ポアソン方程式演算回路の設計と動作検証、また以下のFPGAアレイの制御を行うために用いる。

### 2.2 Reconfigurable HPC

Reconfigurable HPCはFPGAを演算素子として集積し、対象問題に合わせて回路を再構成できるものである。また、再構成可能な演算素子と汎用プロセッサとの共生であるHybrid型もある。いずれの形態でも問題となりやすいのは、PCIや

PCI-X、Ethernet等、FPGA間を接続するバスの帯域である。我々はこの解決手段として3次元方向に接続端子を搭載し、外部I/Oやバスの帯域問題を解決したFPGAアレイを提案している。

## 3. FPGAアレイ

### 3.1 hwModule VS

我々はhw/sw複合体を拡張してHPC用途として使用するため、FPGAを搭載した小型カードを大量に集積したFPGAアレイを作成した。FPGAアレイを構成する小型カードはhwModule VSと呼称し、PE BoardとSub Boardの2枚で1組となる。この2種類のボードの構造を図2に示す。

PE Boardは大規模FPGAとメモリ(SDRAM)を搭載し、前後・左右・上下の3次元方向に外部接続端子を持つ(表1)。これは、外部I/Oの帯域幅がボトルネックとなることを回避しつつ高速並列演算を行うことを目的とする。Sub Boardは小規模FPGAを搭載し、前後方向とPE Boardの三方向にI/Oを持つ(表2)。これは、FPGAアレイ全体の再構成と、差動伝送を採用した高速I/Oによる通信を目的とする。

我々が提案するFPGAアレイの特徴は、PE Boardが三次元方向にI/Oを持つため、一次元の直線構成・二次元の平面構成・三次元立体構成のいずれもとることができ、さらにアレイの規模も任意に増減できる点にある。FPGAカードの枚数に比例してシステム全体のI/O帯域も増加するため、スケラブルな設計となっている。また、カードごとにメモリが搭載されているので、メモリ分散型のシステムでもある。Sub Boardの構成を変更することで、より大容量のDRAMメモリやFlashメ

表1 PE Boardの仕様.

搭載FPGA	Xilinx XC3S4000
搭載メモリ	MT48LC2M32B2-6 ×2
PE Board 間接続端子	50[pin] ×6(前後左右上下)
Sub Board 用接続端子	データ用 56[pin] コンフィグレーション用 23[pin]

表2 Sub Boardの仕様.

搭載FPGA	Xilinx XC3S700A
Sub Board 間接続端子	84[pin] (一部データ用と コンフィグレーション用が共用)
PE Board 用接続端子	データ用 56[pin] コンフィグレーション用 23[pin]

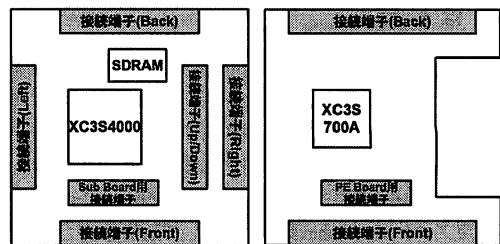


図2 hwModule VS概略図. 左:PE Board, 右:Sub Board.

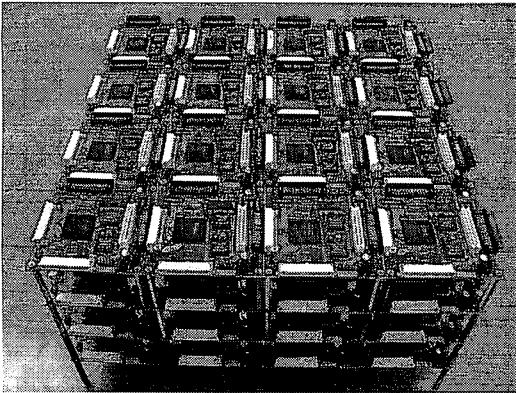


図3 立体構成のFPGAアレイ外観。

メモリなどを搭載することも想定する。このhwModule VSを立体構成に多数集積し、FPGAアレイを構築した例を図3に示す。

### 3.2 FPGAアレイのhw/sw複合体への適用

FPGAアレイは、ホストPCに装着したhwModule V2から制御を行う。hwModule V2とFPGAアレイ間には3種類の通信路を設け、データストリーム転送用バス(LM Bus)・回路制御用バス(hwNet I/O Bus)・FPGA再構成用バス(Configuration Bus)とする。以上の各バスはhwModule V2内部のバスと互換性を有して、hwModule V2のGPIF(拡張端子)と接続する。これにより、FPGAアレイはhw/sw複合体に内包される(図4)。

## 4. ポアソン方程式の浮動小数点数演算

### 4.1 差分法によるポアソン方程式の演算

ポアソン方程式とは、電磁気学や半導体工学で利用される楕円型の偏微分方程式であり、主に与えられた電荷の分布から電位を求めるために使用される。ポアソン方程式を解くための反復演算は非常に計算量が多く、データ並列型の大規模演算としてHPCの実効性能の測定で使用される。ポアソン方程式の式は、電位を $\phi$ 、電荷密度を $\rho$ とすると以下の式1の形で与えられる。

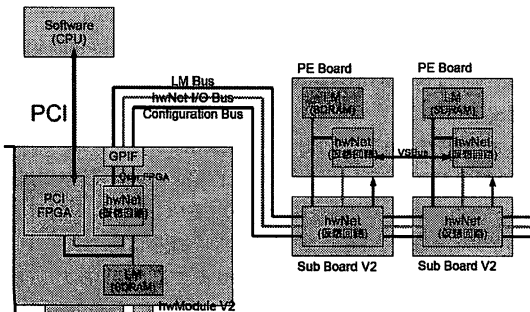


図4 hw/sw複合体に組み込んだFPGAアレイ。

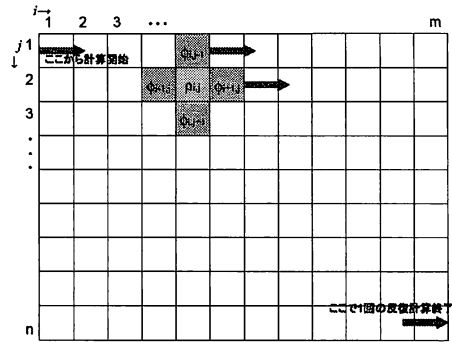


図5 ポアソン方程式演算座標平面イメージ。

$$\Delta\phi = \rho \quad (1)$$

この方程式の実用上の重要な問題は、与えられた電荷の分布から電位を導出するものである。式1は2次元平面において、以下のように表すこともできる。

$$\frac{\partial^2}{\partial x^2}\phi_{i,j} + \frac{\partial^2}{\partial y^2}\phi_{i,j} = \rho_{i,j} \quad (2)$$

この式の解法としては多々存在するが、2次元の拡散方程式を差分化した連立方程式は元数も多くなり(例えば $100 \times 100$ の座標平面の場合10000元)、直接的に求めようとすると記憶容量も計算時間も膨大になる。したがってコンピュータで計算を行う場合、通常反復法を用いる。

定義領域を2次元の正方形領域とし、領域を $x \cdot y$ 方向共に刻み幅 $h$ で離散化する。2階偏導関数の差分表式は5点近似と9点近似が存在するが、ここでは単純な5点近似を使って差分方程式に変換する。すると、式2の差分方程式は式3になる。

$$\frac{\phi_{i-1,j} + \phi_{i+1,j} + \phi_{i,j-1} + \phi_{i,j+1} - 4\phi_{i,j}}{h^2} = \rho_{i,j} \quad (3)$$

この式を変形するとヤコビの反復式

$$\phi_{i,j} = \frac{1}{4}(\phi_{i-1,j} + \phi_{i+1,j} + \phi_{i,j-1} + \phi_{i,j+1} - h^2\rho_{i,j}) \quad (4)$$

が得られる。本稿では、この式4を用いてポアソン方程式を演算する回路を実装した。座標平面における演算のイメージを図5に示す。ポアソン方程式をヤコビの反復法で解析することはHPCのベンチマークとして使用され、代表的なものとしては姫野ベンチ[4]がある。

ソフトウェアでこの演算を実現する場合、式4をfor文で座標の格子点数回繰り返し実行する必要があり、非常に負荷がかかる計算処理となる。それに対しハードウェアの場合、HDL言語で記述して回路化を行うためソフトウェアとの互換性はない。しかし、回路規模が許す限り大規模な並列演算が可能であり、大きく高速化を果たすことができると考えられる。

### 4.2 演算回路の実装

FPGAアレイに実装したポアソン方程式演算回路は、大きく分けて以下のブロックで構成される。

- ポアソン方程式演算回路コア (Processing Element, PE)

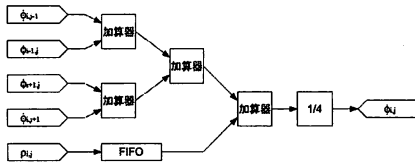


図 6 ポアソン方程式演算回路コア (PE) .

- キャッシュ部
- 回路制御部 (PE Controller, Cache Controller)
- 隣接するカードとのデータ入出力部 (VSBus Controller)
- 初期値・演算結果入出力部 (BRAM and LM Controller)

PE は与えられた入力値に対して、ポアソン方程式の浮動小数点演算を行うブロックである。PE は 40 段のパイプライン構造 (図 6) となっているため、一回の計算が終了することを待つことなく 1[clk] ごとにデータを入力することができる。また、パイプライン構造にすることで最大動作周波数が向上し、Xilinx XC3S4000 では最大 162[MHz] で動作が可能である。ただし、本稿における実装では制御回路を最適化していないためにボトルネックとなり、66.6[MHz] で動作させている。

PE の入出力データは IEEE754 準拠の単精度浮動小数点数である。動作周波数 66.6[MHz] の場合、PE1 個あたり 66.6×5(加算器 4 個と除算器 1 個)=333[MFlops] の演算能力を有する。PE を 10 個並列にすると、演算性能は最大で 3.33[GFlops] となる。

電位  $\phi$  や電荷  $\rho$  の値は演算にあたり頻繁にデータの入出力が行われる。そのため、一回の演算ごとにこれらの値を Host PC の Main Memory や hwModule VS 上の SDRAM から読み書きを行うことは非効率である。これを解決するため、電位  $\phi$  や電荷  $\rho$  の値は FPGA の内部メモリである BRAM (BlockRAM) に格納し、高速にデータの入出力を行うこととする。これにより、PE のパイプラインを止めることなく連続的に動作させることができる。

XC3S4000 に搭載される BRAM は入出力が二個あるが、このうち一方をデータ出力用、もう一方をデータ入力用とする。二次元の座標平面の演算をするとき、電位  $\phi$  用には (PE の数) + 2 個、電荷  $\rho$  用には PE の数と同数個の BRAM が必要である。BRAM1 個あたりには 32[bit] のデータが 512[個] 格納できる。今回 FPGA アレイに実装した回路は、電位  $\phi$  用に BRAM を 3 個、電荷  $\rho$  用に 1 個使用、20×20 の座標平面の演算をすることとした。なお、電位  $\phi$  は隣接するカードの端の座標のデータも必要であるため、FPGA1 個あたり 22×22 の座標平面のデータをキャッシュ中に蓄えることとする。

hwModule VS は隣接するカードと 50[pin] のコネクタで接続されているので、これを利用した双方向バスを実装した。このバスのデータバス幅は 32[bit] とし、その他クロック信号や制御信号から構成される。また、アドレス線は設けず、端の座標の演算結果を順に伝送するものとする。送受信それぞれにデータを蓄えるための BRAM をキャッシュ部とは別に用意しているので、演算とは非同期に動作させることも可能である。バスの動作周波数は現在、演算回路と同期させているため 66.6[MHz]

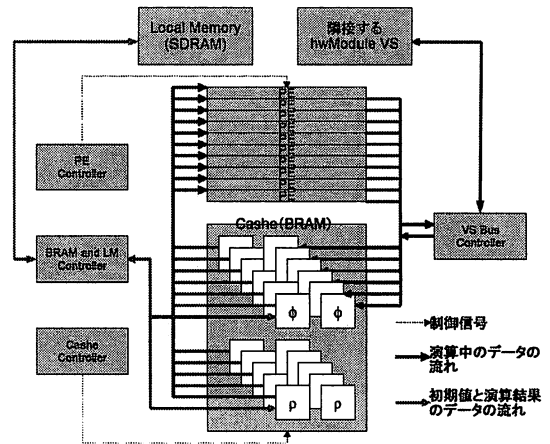


図 7 ポアソン方程式演算回路ブロック図.

表 3 FPGA アレイに実装した回路の回路規模と動作周波数.

回路規模	3,048[slices] (XC3S4000 の 11[%])
最大動作周波数	88.5[MHz]

であるが、133[MHz] で通信可能であることを検証済みであり、演算回路の高速化にも耐えうる設計となっている。隣接するカードとのバスの最大帯域幅は、データバス幅 32[bit]、動作周波数 133[MHz]、前後左右上下の 6 方向に通信を行うとすると、最大約 3.2[GB/s] となる。今回 FPGA アレイは直列に 4 個接続するため、前後 2 方向の通信を行っている。

FPGA アレイと hwModule V2 はパラレルケーブルで接続し、演算の初期値・結果や制御信号の送受信を行う。この外部バスの制御は hwModule V2 側から行っている。FPGA アレイを構成する hwModule VS には各々アドレス空間が定義されているため、任意のアドレスを指定することで、対象となる hwModule VS のメモリ空間にアクセスすることが可能である。

このポアソン方程式演算回路の実行順序について記述する。まず、演算の初期値が Host PC から PCI バスを経由して、hwModule V2 の Local Memory 上にロードされる。次に、hwModule V2 の GPIF (外部端子) を介して FPGA アレイに初期値が転送される。そして、FPGA アレイに実装された回路で演算を行う。演算が終了すると、結果のデータは再び FPGA アレイから hwModule V2 の Local Memory 上に転送される。Host PC 上のソフトウェアは hwModule V2 の Local Memory から演算結果を読み出す。以上でこの回路の動作は終了する。

### 4.3 PE の 10 個並列化

4.2 節で FPGA アレイに実装した回路の回路規模は、Xilinx XC3S4000 に対して約 11[%] であり、FPGA の内部にはまだ余裕がある。また、PE1 個あたりの回路規模は約 7[%] であるため、PE を増加させて並列動作させることで演算能力の向上を果たすことができると考えられる。以上のことから、PE を 10 個並列化した回路を新たに作成した。

改良にあたり、回路制御部は大幅に変更した。PE を 10 個並

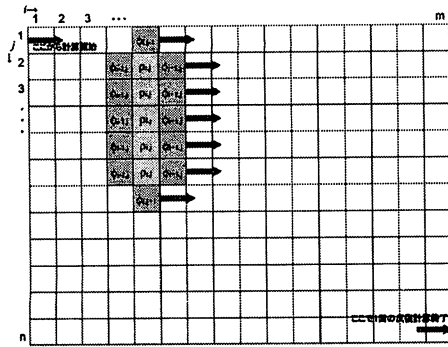


図 8 ポアソン方程式演算 複数 PE 搭載の座標平面イメージ。

表 4 PE を 10 個並列化した演算回路の回路規模と動作周波数。

回路規模	23,556[slices] (XC3S4000 の 85[%])
最大動作周波数	101.6[MHz]

列化した場合の座標平面における演算のイメージを、図 8 に示す。また、キャッシュとして使用する BRAM の数は前述より、電位  $\phi$  用に 12 個、電荷  $\rho$  用に 10 個とし、 $60 \times 60$  の座標平面の演算をすることとした。なお、電位  $\phi$  は隣接するカードの端の座標のデータも必要であるため、FPGA1 個あたり  $62 \times 62$  の座標平面のデータをキャッシュ中に蓄えることとする。

hwModule V2 と hwModule VS は同じ FPGA を搭載しているため、回路の移植が容易である。そのため、外部バスなどの改良を行っていないが、FPGA アレイへの実装に先立ってこの回路を hwModule V2 上に実装した。

## 5. 性能評価

### 5.1 FPGA アレイの演算性能

ポアソン方程式演算回路を動作させるにあたり、ホスト PC 上で動作させるアプリケーションを作成した。外観を図 9 に示す。このアプリケーションは、座標平面上に設定する電荷の位置とその強さ、反復計算回数を入力し、回路の動作を実行、出力された演算結果を 3D 画像で表示するものである。また、タイマー機能による演算時間の測定及び表示することが可能である。検証環境として用いるホスト PC の仕様を表 5 に示す。

4.2 節で実装したポアソン方程式演算回路と作成したアプリケーションを動作させ、FPGA アレイに実装した回路による演算と、ホスト PC の CPU によるソフトウェア演算の演算性能の結果を表 6、図 10 に示す。これより反復回数が多い場合、FPGA アレイの方がソフトウェア演算に比べて高い演算性能を得られたことがわかる。

表 5 動作検証に使用した PC の仕様。

CPU	Athlon64 X2 3800+ (2.0[GHz])
メインメモリ	DDR2 SDRAM PC2-6400 2[GB]
マザーボード	ASUS M2A-VM HDMI (AMD 690G 搭載)
OS	Windows XP Professional SP3
コンパイラ	Borland C++ Builder 2006

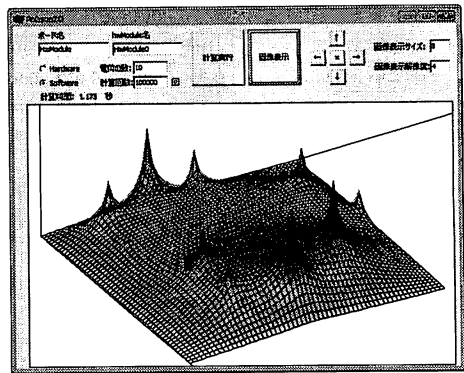


図 9 ポアソン方程式演算アプリケーション。

今回実装したポアソン方程式演算回路は、反復回数によらず一定の制御時間を必要とする。そのため、反復回数が少ない場合 PE が実際に演算する時間が少なくなり、期待する性能が得られていない。しかし、演算量が多くなるにつれて制御時間が隠蔽され、回路の設計速度に収束していく。今回実装した回路は、搭載している FPGA に対して回路規模が約 11[%] であるため、演算回路を並列動作させることでさらに演算性能の向上を図ることができると考えられる。

現在、演算と通信は交互に動作し、反復演算 1 回ごとに隣接するカードと通信を行っている。反復演算 1 回あたりに要するクロック数は、演算に 480[clk]、隣接するカードとの通信に 84[clk] であり、全体の動作時間のうち通信に占めるクロック数の割合は約 14[%] である。

### 5.2 PE を 10 個並列化した場合

hwModule V2 に PE を 10 個並列化したポアソン方程式演算回路を実装し、浮動小数点数演算性能を測定する予備実験を行った。演算性能の結果を表 6 に、グラフを図 11 に示す。なお、hwModule V2 で演算する際、初期化や Local Memory へのアクセスに約 700[ms] 必要とするが、この時間は処理時間に含めていない。

実験の結果、演算量が増加するにつれて、今回実装した回路の設計速度である 3.33[GFlops] に収束することが確認できた。また、演算に使用している FPGA は 1 個であるが、ピーク性能はソフトウェアの 3.3 倍以上を得られた。この演算回路を hwModule VS を 4 個接続した FPGA アレイに適用すれば、5.1 節で得られた性能の 10 倍の性能が得られると考えられる。ただし、この回路をそのまま FPGA アレイに適用した場合、全体の動作時間のうち通信に占めるクロック数の割合が増加してしまい、期待した演算性能が得られなくなる。そのため、演算と通信を同時に行えるように改良する必要がある、現在設計中である。

今回実装した回路を現在より大規模な FPGA アレイに適用した場合、演算素子である FPGA の数が飛躍的に増加するため、さらに大きな性能向上が見込める。現在の回路の動作周波数は 66.6[MHz] であるが、これを最適化して 133[MHz] にすると、1 個の FPGA あたりの演算性能は 6.66[GFlops] となる。

表 6 FPGA アレイの演算性能.

反復回数 [回]	10 <sup>2</sup>	10 <sup>4</sup>	10 <sup>6</sup>	10 <sup>8</sup>
Software[GFlops]	0.900	0.957	0.952	0.954
FPGA アレイ (1PE)[GFlops]	0.400	1.004	1.030	1.039
hwModuleV2(10PE)[GFlops]	0.105	3.051	3.213	3.226

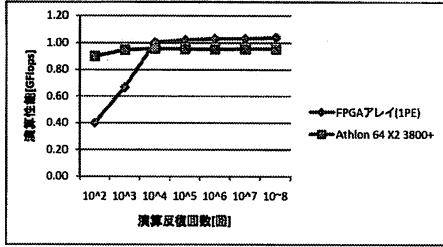


図 10 FPGA アレイの演算性能.

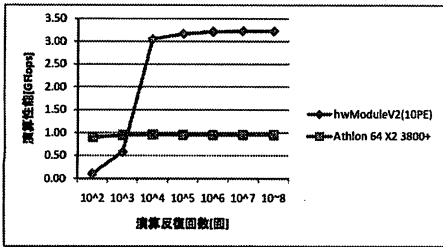


図 11 PE を 10 個並列化した場合の演算性能.

したがって、演算性能を 1[TFlops] にするためには hwModule VS を 150 個積層すれば達成できる。

### 5.3 消費電力

FPGA アレイに実装した回路による演算とホスト PC の CPU によるソフトウェア演算の消費電力を計測し、比較を行った。なお、計測に用いた機材はクランプメータ “ISO-TEC ICM30R” であり、これで計測した電流値を電圧値と積算することで消費電力を計算した。ソフトウェア演算の時は PC 用 ATX 電源から供給される CPU 用電源 (DC12[V]) を、FPGA アレイでの演算の時は hwModule VS の電源コネクタ (同じく DC12[V]) を流れる電流値を計測した。また、合わせて消費電力あたりの演算性能を計算した。その測定結果を表 7 に示す。

FPGA アレイで演算した場合、CPU でソフトウェア演算するよりも約 78[%] 電力消費が削減できた。また、FPGA アレイの消費電力あたりの演算性能は、CPU 比で約 5[倍] となった。低消費電力かつ再構成可能であるという FPGA の特徴が現れたといえる。

1[TFlops] を達成するため、150 個の hwModule VS を集積

表 7 FPGA アレイによる演算とソフトウェアによる演算の消費電力.

	FPGA アレイ	ソフトウェア
電流値 [A]	0.66	3.06
消費電力 [W]	7.92	36.72
1[W] あたりの 実効性能 [MFLOPS/W]	131	26.1

して FPGA アレイを構築したとすると、この時の消費電力は 297[W] と試算できる。高密度に集積する場合、マイクロプロセッサ等、他の演算素子では消費電力に比例して発熱が大きくなり廃熱の問題も発生するが、FPGA アレイでは発生しないと考えている。

## 6. おわりに

本稿では、FPGA を搭載した小型カードを集積した FPGA アレイにボアソン方程式演算回路の実装を行い、ソフトウェア演算より高い演算性能が得られることを確認した。また、電力効率も CPU 比で約 5[倍] であることが分かった。さらに、演算回路コア (PE) を 10 個並列化した演算回路を hwModule V2 に実装して実験した結果、FPGA アレイの演算性能はさらに大きく向上する可能性があることを実証した。

今後は、この PE を 10 個並列化したボアソン方程式演算回路とその周辺回路を改良して FPGA アレイに適用する。また、Sub Board は FPGA アレイの再構成ができるように設計されているため、ソフトウェアから容易に再構成をできるようにする。さらに、FPGA アレイの接続を 2 次元・3 次元接続に拡張し、現在より多目的で大規模な演算が可能なプラットフォームの研究を行う。

## 謝 辞

大学発ベンチャー創出推進「1811 動的な仮想回路による超高速 Hw/Sw 複合システムの研究開発」の資金による。

## 文 献

- [1] Baxter, R. Booth, S. Bull, M. Cawood, G. Perry, J. Parsons, M. Simpson, A. Trew, A. McCormick, A. Smart, G. Smart, R. Cantle, A. Chamberlain, R. Genest, G. “Maxwell - a 64 FPGA Supercomputer,” Adaptive Hardware and Systems, 2007. AHS 2007. Second NASA/ESA Conference on, pp.287-294, 2007/8.
- [2] 伊吹山秋彦, 濱田剛, 中里直人, 奥山祐市, “PROGRAPE-4 ボードと PGR による 2 次元 Kolmogorov-Smirnov テスト,” 電子情報通信学会技術研究報告 リコンフィギャラブルシステム, Vol.106, No.247 pp.7-12, 2006/9.
- [3] K.Kudo, Y.Myokan, W.C.Than, S.Akimoto, T.Kanamaru, M.Sekine, “Hardware Object Model and Its Application to the Image Processing,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol.E87-A, no.3, pp.547-558, 2004/3.
- [4] <http://w3cic.riken.go.jp/HPC/HimenoBMT/index.html>
- [5] 牧野淳一郎, スーパーコンピューティングの将来, 2009/1. [http://jun.artcompsc.org/articles/future\\_sc.pdf](http://jun.artcompsc.org/articles/future_sc.pdf)
- [6] 飯島浩晃, 佐藤一輝, 関根優年, “FPGA アレイを用いたスケラブルな Reconfigurable HPC,” 電子情報通信学会技術研究報告 リコンフィギャラブルシステム, Vol.107, No.418 pp.13-18, 2008/1.
- [7] David A.Patterson, John L.Hennessy, 成田光彩 訳, コンピュータの構成と設計 第 2 版, 日経 BP 社, 1999.
- [8] Gilbert Strang, 線形代数とその応用, 産業図書株式会社, 1992.
- [9] 戸川隼人, マトリックスの数値計算, オーム社, 1990.