

解説

—超高速素子による情報処理の展望(1)—

ジョセフソン素子技術の現状と将来†



石田 晶††

1. ま え が き

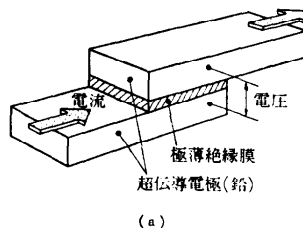
将来の超高性能計算機用の電子部品として、ジョセフソン素子が注目を集めている。ジョセフソン素子では、スイッチング速度 10 ps 以下の高速動作が可能で電力消費も数 μW 以下であり、高速性・低電力性・高密度実装性の点で半導体素子を大きく上まわる可能性があるからである。ある試算によれば、既存の大形計算機のメインフレーム体積が 10cm 立方程度となり、性能も数 10 倍に向上するとされている。

ここ 1~2 年の間にジョセフソン素子の研究開発は大きく進展し、集積回路や実装のイメージも具体的なものになってきた。本稿では、これらジョセフソン素子の計算機応用上の特徴を明らかにするとともに、最近の研究進展状況および将来展望について述べてみたい。

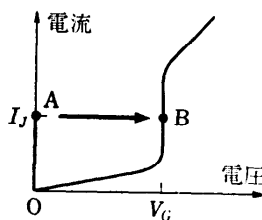
2. ジョセフソン素子の原理

ジョセフソン素子は、図-1 に示すように、鉛などの超伝導電極の間に厚み数 nm の薄い絶縁膜をはさんでつくられる。これを電極材料が超伝導を示す極低温に冷却して電極間に電流を加えると、加えた電流がしきい値 I_J 以下では電極間に電圧は発生せず、しきい値 I_J 以上の電流が加わると電圧が発生する。この現象は薄い絶縁膜を通した電子のトンネル効果によるもので、発見者にちなんでジョセフソン効果と呼ばれ¹⁾、この構造の素子のことをジョセフソン素子と呼んでいる。

図-1(b) は、上記の現象を素子に加える電流と電極間に発生する電圧の関係で示したのであるが、計算機用素子としての特徴は、零電圧状態 A 点から電圧状態 B 点へのスイッチに要する時間が数 ps の超高速で



(a)



(b)

図-1 ジョセフソン素子の原理

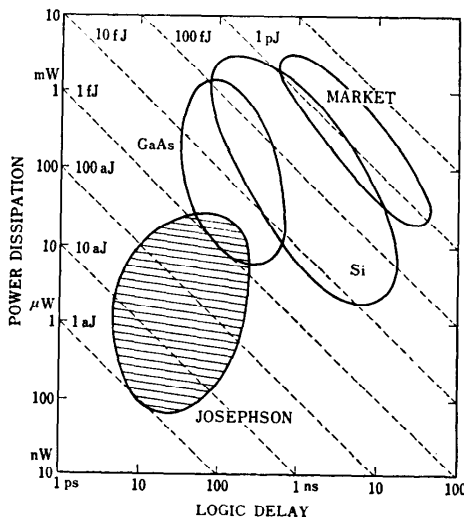


図-2 ジョセフソン素子の性能領域

† Present and Future of Josephson Computer Technology, by Akira ISHIDA (Atsugi Electrical Communication Laboratory, N. T. T.).

†† 日本電信電話公社厚木電気通信研究所

あり、しかもB点での発生電圧が数 mV の微小電圧である点にある。すなわち、スイッチ時間は素子の静電容量の充電時間で決まるが、電極を形成している超伝導体のエネルギー・ギャップ構造を反映してB点での微分抵抗がきわめて小さい値となるため、高速である。また、発生電圧は電極材料に固有の値をとり、鉛の場合、約 2.6 mV である。一方、しきい値電流 I_c は電極の重なり面積や絶縁膜厚できまり、数 μm の回路パターンを用いれば 1 mA 以下の値が容易に実現される。このため、素子の消費する電力は $1\mu\text{W}$ 程度の微小な値となる。

図-2 は、スイッチ速度と消費電力について半導体素子との性能比較を示したものである。半導体素子の 10 倍以上の高速度が約 1000 分の 1 の低電力で実現できる点に、ジョセフソン素子の特徴がある。計算機の処理能力は使用する素子の速度だけでなく、装置内での配線に沿っての信号伝搬遅延にも大きく依存し、とくに大形計算機では高速化のネックになりつつある。このため、素子が高速であってもそれに見合うだけ低電力で高密度実装が可能でなければ計算機の高速化は期待できないが、ジョセフソン素子はこの両者がうまくバランスした理想的な素子といえる。

3. 計算機回路技術

3.1 論理ゲート

計算機回路の基本となる論理ゲートは、ジョセフソン素子の零電圧状態を情報「0」、電圧状態を情報「1」に対応付けて構成されるが、ジョセフソン素子自体が二端子素子であるため、「0」から「1」へのスイッチの制御方法が重要である。当初は、図-3 に示すような磁気結合形の制御方法が考えられていた。制御入力線とジョセフソン素子を含む超伝導ループとを磁

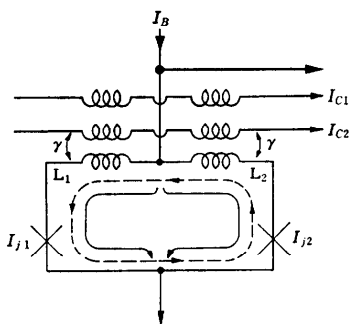


図-3 磁気結合形ゲートの構成

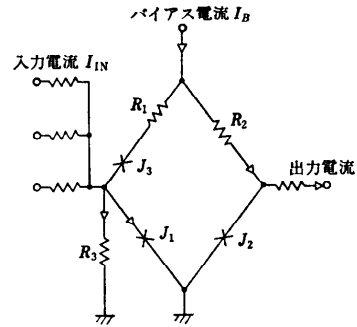


図-4 電流注入形ゲートの構成例 (RCL)

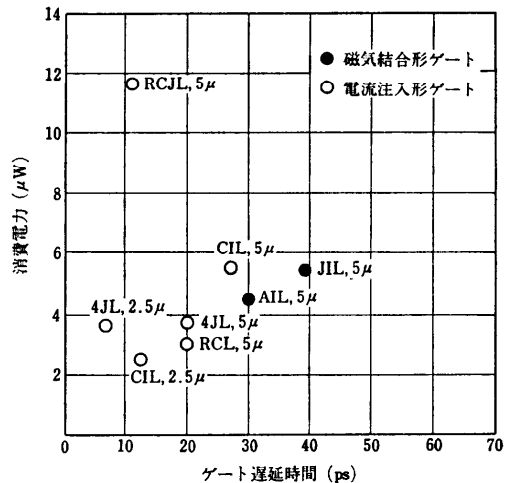


図-5 論理ゲート性能の実験結果

氣的に結合させ、ループに電磁誘導電流を誘起してジョセフソン素子 J_1, J_2 をスイッチさせるものである。入力信号と出力信号の分離が完全でありファンアウトが多くとれる利点はあるが、インダクタンス素子を含むため集積化した場合の占有面積が大きく、スイッチ速度も遅くなる²⁾。

最近では、制御入力信号を直接ジョセフソン素子に注入する形式のゲートが主流になってきた。Bell で開発された JAWS ゲート³⁾、IBM の DCL ゲート⁴⁾ が代表的なものであるが、国内での研究も盛んで電総研の 4 JL⁵⁾、通研の RCL⁶⁾、日電の RCJL⁷⁾ などが提案され、新しい流れを形成しつつある。注入形ゲートでは入出力信号の分離を電圧状態にスイッチした高抵抗のジョセフソン素子で行わせるもので、インダクタンスが不要のため占有面積が小さくてすみ高速である。図-4 は注入形ゲートの一例として RCL ゲートの構成を示すもので、ジョセフソン素子 J_1 で入力注

入電流を検出し J_2 で負荷を駆動するようにして、高利得（入出力電流比）を得るようにしたものである。入出力信号間の分離は、 J_2 と J_3 を電圧状態にスイッチさせて入力電流を抵抗 R_3 で終端することにより行われる。

図-5 に、これらジョセフソン論理ゲートの性能の測定結果を示す。ゲート遅延時間 10 ps 前後の高速度はいずれも電流注入方式のゲートで得られており、この方式の優位性がうかがえる。今日得られている最高性能は、 $2.5\mu\text{m}$ の微細パターンを導入した 4 JI ゲートでの遅延時間 7 ps, 消費電力 $3.7\mu\text{W}$ である⁹⁾。

3.2 論理演算回路

全加算器等の論理演算回路の構成には、ジョセフソン素子に特有の機能を活用した排他的 OR 等の機能ゲートを用いる試みと^{9),10)}, OR, AND 等の基本ゲートを組み合わせて構成する試みがある^{11),12)}。機能ゲートによる全加算器の構成例を図-6 に示す¹⁰⁾。3 入力磁気結合形ゲートの 2/3 多数決機能を利用して桁上げ信号を発生し、入力の向きを互いに逆向きにした 2 入力磁気結合形ゲートによる排他的 OR ゲート 2 個で和信号を発生させるものである。1 ビットの加算がわずかに 3 ゲートで実行できる長所がある。同様の考えに基づき、和信号を磁気結合形ゲート 1 個で構成した例もある⁹⁾。また、排他的 OR に電流注入形の機能ゲートを採用した全加算器も報告されている¹³⁾。

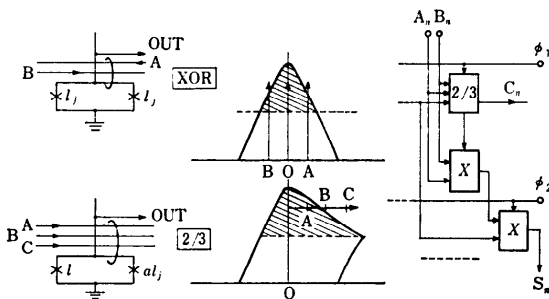


図-6 機能ゲートによる加算回路の構成

機能ゲート方式の問題点は、ゲートへのバイアス電流の供給に特別なタイミングを持たせる必要が生じる点である。これは、ジョセフソン素子が一度電圧状態にスイッチするとバイアスを切らないかぎり、もとの零電圧状態に復帰しないことに原因がある。このため、タイミング発生回路を特別に設けなければならず、必ずしも高速動作が実現できるとは限らない。

最近では、OR, AND 等の基本ゲートの組み合わせで演算回路を構成し、かつ、正補の双対信号を用いる方式が考えられるようになった^{11),12)}。演算回路の途中で否定論理を実行させるには、やはり特殊なタイミング信号が必要となるからである。図-7 に双対信号方式全加算器の構成例を示す¹²⁾。電流注入形 OR ゲートを基本要素とし、AND 機能は OR ゲートをシリーズ接続するかあるいは単一接合への電流注入により実現している。この構成で、ビット当たりの加算時間 35 ps の高速動作が実証されている。

これら論理回路の研究経過を表-1 にまとめる。最大規模のものはベル研の 8×12 ビット乗算器で¹⁴⁾, 180 ゲートの集積規模である。

3.3 論理構成法

すでに述べたように、現行のジョセフソン論理ゲートは一度スイッチするとバイアス電源を切らないかぎり、もとの零電圧状態にリセットされない。このため、プロセッサ等の構成にはゲートのリセットを考慮した論理構成が必要であり、図-8 に示すような構成が検討されている。ジョセフソン素子が正負のバイアス電流に対して対称な特性をもつことを利用して、バイアス電源としては図のような正負の極性をもつ AC

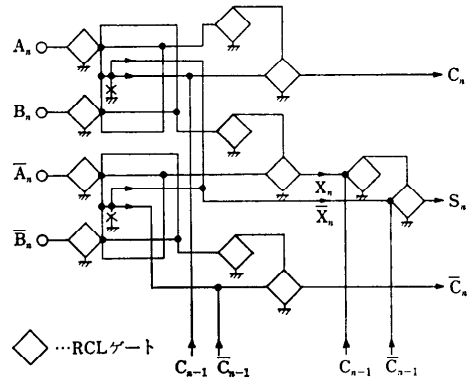


図-7 双対信号方式による加算回路

表-1 論理集積回路の試作状況

名 称	パターン・性能	集積規模	機関	年次
1 ビット全加算器	—	6 ゲート	I B M	1974
1 ビット全加算器	$10\mu\text{m}$, 200 ps/ビット	9 ゲート	Bell	1978
4 ビット並列加算回路	—	8 ゲート	富士通	1979
シグナルプロセッサ	$2.5\mu\text{m}$, $t_{pd} \approx 40$ ps	100 ゲート	I B M	1982
8×12 ビット乗算器	$10\mu\text{m}$, 2 ns	180 ゲート	Bell	1982
2 ビット並列加算回路	$5\mu\text{m}$, 35 ps/ビット	24 ゲート	通研	1983
1 ビット全加算器	$5\mu\text{m}$	20 ゲート	日電	1983
8×12 ゲートアレイ	$2.5\mu\text{m}$	96 ゲート	日立	1983

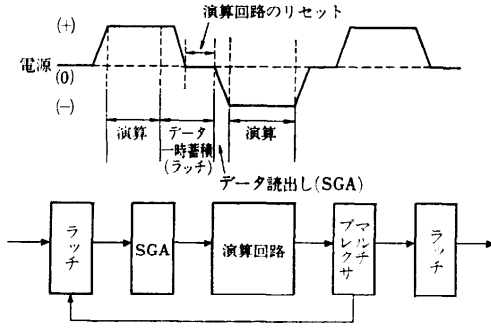


図-8 ジョセフソン論理の構成法

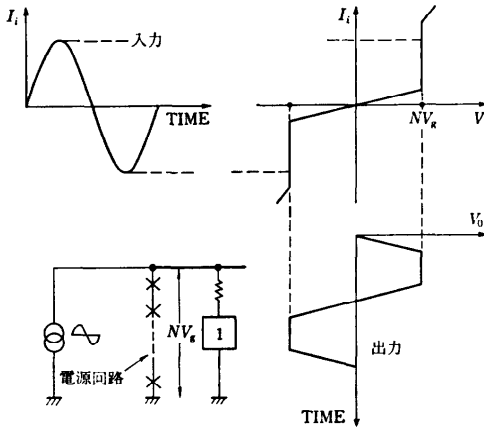


図-9 電源用レギュレータ回路

電源を用い、電源が零を横切る時点でゲートをリセットさせる。このとき、演算結果等を一時記憶させておく回路と、次のサイクルの電源立上り時にこの演算結果を読み出す回路が必要となる。この目的のためにデータラッチ回路とセルフゲーティング AND (SGA) 回路が用いられる。

データラッチには超伝導ループの永久電流が利用される¹⁵⁾。超伝導ループの一部にジョセフソン接合を含ませてこれのスイッチにより永久電流の有無状態を実現し、データのセット・リセットを制御するものである。SGA 回路はこの永久電流の有無をバイアス電源の立上り時に検出して正補の双対信号を発生し演算回路部へ送するとともに、次のサイクルが始まるまでは新たなデータの入力を排除する機能をもつ回路である。図-8 に示すようなバイアス電源電流波形を得るために、図-9 のようなレギュレータ回路が用いられる¹⁶⁾。超伝導電流を抑制したジョセフソン素子に正弦波状の電流を供給し、素子抵抗の非線形性を利用して

正弦波の先端部分を切り取り、正負両極性の矩形波を得るものである。1 個のレギュレータ回路で多数のゲートを並列駆動できるようにするため、複数のジョセフソン素子を直列接続して高い発生電圧を得、負荷側に大きな電流を取り出す工夫がなされる。

Mukherjee は OR, AND 等の基本ゲートを用いた組み合わせ回路にデータラッチ、SGA およびレギュレータを接続した 100 ゲート規模のモデル回路を試作し、プロセッサの模擬実験に成功した¹⁷⁾。ラッチと組み合わせ回路ブロックとの対を 10 段接続し、ラッチからラッチへ順次データを転送していくモデル回路で、サイクルタイム 665 ps の高速動作を得ている。使用した基本ゲート単体の性能は、遅延時間 40 ps のものである。

3.4 メモリ回路

メモリエルには、超伝導ループに誘起される永久電流を利用する形式と¹⁸⁾、2 個の並列接続されたジョセフソン素子間の干渉効果を利用する形式がある¹⁹⁾。前者では図-10 のように、超伝導ループの一部に磁気結合形 of 書き込みゲートを設け、これの ON/OFF により永久電流の有無を制御して情報を書き込む。すなわち、ループに電流 I_B を与えた状態で書き込みゲートをスイッチさせるとループに沿ってぐるぐる回る周回電流が誘起され、電流 I_B を取り除いても永久に流れ続ける。電流 I_B を与えない状態で書き込みゲートをスイッチさせると、永久電流は消滅する。書き込みゲートは 2 入力 AND になっており、 I_x と I_y 電流でセルの選択が行われる。記憶情報の読出しは、ループの一部を制御入力とする磁気結合形の検出ゲートで永久電流の有無を判別することにより行う。このセル形式は占有面積こそ大きい非破壊読出しが可能で周辺回路の高速化が容易であるため、キャッシュメモリに適している。

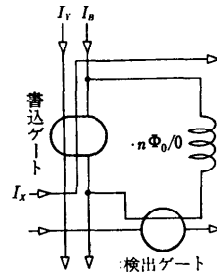


図-10 永久電流計メモリセル

干渉効果を利用したメモリエルは、図-11 に示すような磁気結合形ゲートと同様の構成で見られる磁束量

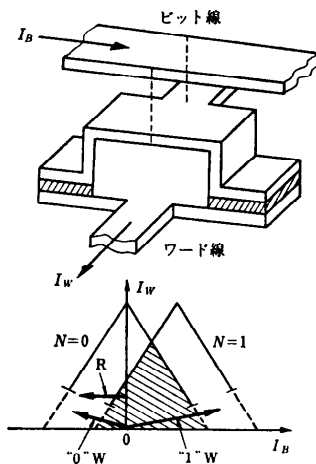


図-11 干渉計形メモリセル

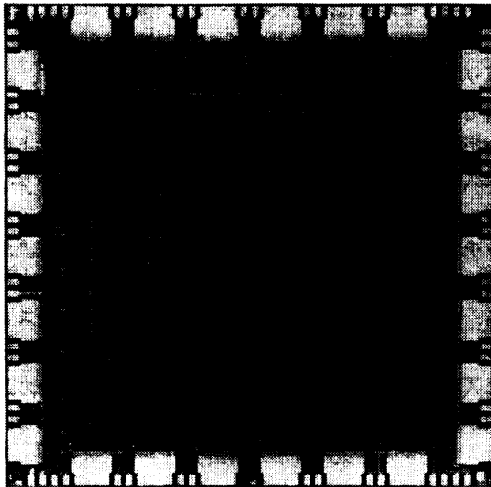


図-12 ジョセフソン 1k RAM のチップ

表-2 メモリ集積回路の試作状況

記憶容量	セル形式	性能	素子数	機関	年次
64ビット	永久電流形	2.3 ns	300	IBM	1978
16kモデル (2kビット)	干渉計形	15 ns, 40μW	4,500	IBM	1978
64ビット	干渉計形	—	200	富士通	1982
1kビット	永久電流形	3.3 ns, 2 mW	10,000	通研	1983

子現象を応用する¹⁹⁾。情報の書込みは、量子状態 $N=0$ または $N=1$ の境界を横切るようにワード電流 I_w とビット電流 I_b を与え、ループ内に磁束量子の捕獲された状態 (“1”記憶) または磁束量子のない状態 (“0”記憶) を実現する。読出しには量子状態 $N=1$ の境界を横切るように I_w と I_b を与え、電

圧が発生するかどうかを検知する。“1”記憶状態であれば $N=1$ 状態から $N=0$ 状態へのスイッチが起こって電圧が発生するが、“0”記憶状態では電圧発生はない。このセル形式では読出し時に“1”記憶状態を破壊してしまうために再書き込みを必要とし、周辺回路の高速化に難があるが、占有面積が小さくてすむため主記憶等の大容量メモリに適している。

メモリ回路の集積化の研究も進展してきた。表-2に現在までの研究開発の状況をまとめてある。永久電流形セルを用いたキャッシュ用メモリで最大規模のものは Yamamoto 等の 1k ビット RAM で、集積素子数約 1 万個である²⁰⁾。図-12 にそのチップ写真を示す。アクセス時間 3.3 ns、消費電力 2 mW の高性能を実現している。一方、干渉形セルを用いた主記憶用メモリでは Broom 等の 16k ビット RAM の部分試作が最大で²¹⁾、集積素子数 4,500 個で、アクセス時間 15 ns、サイクル時間 30 ns の性能を確認している。

4. 計算機実装技術

4.1 実装構造

ジョセフソン素子の低電力性は素子の高密度実装を可能にし、計算機体積の大幅縮小を可能にする。計算機の処理速度は使用する素子の性能だけでなく、装置内での配線に沿っての信号遅延にも大きく依存し、とくに大形計算機では装置内配線遅延が高速化のネックになりつつある。このため、素子が高速であれば、それに見合って高密度実装が可能でなければ、素子の高速性をいかした高性能計算機は実現できない。とくにジョセフソン素子の場合、極低温冷却の負担を軽くするためにも、高密度実装により計算機体積を小さく

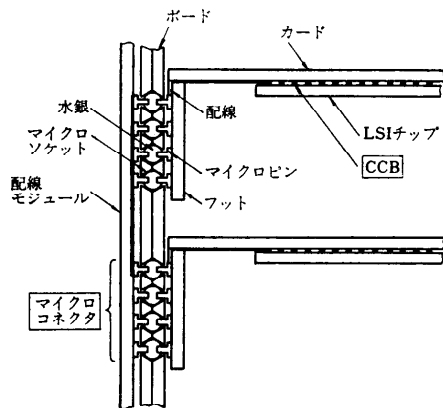


図-13 ジョセフソン素子の実装構造

することが重要である。

図-13 に示すようなジョセフソン素子の実装構造が提案されている²²⁾。微小コネクタを介してバックボード上にカードを差込む方式の三次元実装の構想である。カード上へのチップ実装は、高速のジョセフソン信号を歪なく伝送するため、接続インダクタンスを最小にできる CCB (Controlled Collapse Bonding) 技術を採用して行う²³⁾。CCB 技術はチップ上の電極パッドとカード上の配線とを微小なハンダ球で接続する技術で²⁴⁾、接続距離数 $10\mu\text{m}$ 、接続インダクタンス $2\sim 30\text{pH}$ が容易に実現できるため、ジョセフソン素子の実装に最適である。通常、半導体素子の場合に問題となる放熱特性も、ジョセフソン素子では低消費電力のためにまったく支障はない。

バックボードへのカード実装は、脱着可能な微小コネクタを介して行う。コネクタのソケット側は、シリコンの異方性エッチングで形成した空洞内に水銀球を入れて構成する。プラグ側には放電加工によるピン列が用いられ、これをソケット側の水銀球に突き差して接続する。水銀は極低温で固化するので、常温では脱着可能であるが極低温では固定される理想的なコネクタとなる。

4.2 微小実装部品の加工技術

前節で示したような実装構造に基づいて高密度実装を実現する場合、微小実装部品の加工技術が非常に重要である。とくに、コネクタではそのピンピッチによってカードの実装密度が決まるため、高密度実装の鍵となる。

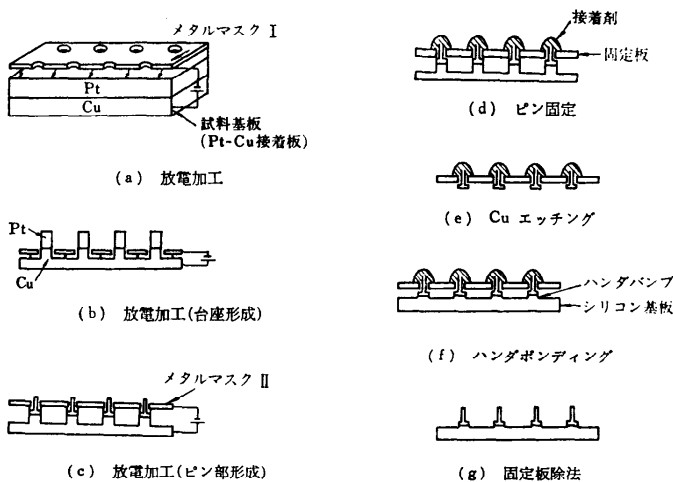


図-14 微小コネクタ用ピン列の加工法

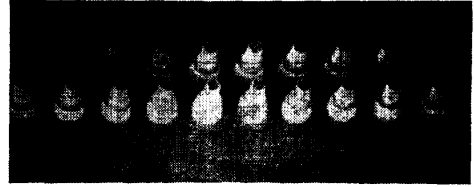


図-15 加工した微小ピン列

プラグ側に当たる微小ピン列は放電加工法により形成される。図-14 にその加工工程を示す。ピンの素材として水銀との反応をさけるために白金板を用い、ピンとして残したい部分に穴をあけた金属マスクを用意する。白金板とマスク間で放電を起こして不要部分を削り、ピンの形状を加工する。図の工程ではピンに台座を設けるために、穴径の異なる二種類のマスクを用いている。金属マスクの精度が許す限りの微小寸法が加工でき、しかも多数のピンを一括して形成できる点に特徴がある。図-15 はこの方法で加工した微小ピン列の一例である。直径 $100\mu\text{m}$ 、長さ $200\mu\text{m}$ のピンを間隔 $300\mu\text{m}$ で 20 本 2 列、合計 40 本を一括加工したものの部分拡大写真である。

微小ソケットはシリコン板のエッチング加工により形成される。図-16 はその加工工程を示すものである。シリコン板を (100) 面からエッチングすると逆ピラミッド形の穴が形成されることを利用するもので、シリコンの板厚にほぼ等しい微小ピッチの穴を一括形成することができる。一方に水銀球をのせた後、残りの 1 枚でふたをするように貼り合わせれば、ソケットが完成する。これらの実装部品は、現在半導体素子の実装に用いられているものに比べ、1/10 程度の微小寸法である。

計算機の高速度動作を実現する上で、微小コネクタを通した超高速信号の伝搬特性が非常に重要である。接続インダクタンスが $2\sim 300\text{pH}$ にもなり、ここを通過する信号波形を大きく歪ませる危険性があるからである。Ketchen 等はこの接続インダクタンスに見合った整合キャパシタを接続して、ジョセフソン信号の立ち上がり時間のなまりを 100ps 程度に抑えることに成功している²⁵⁾。

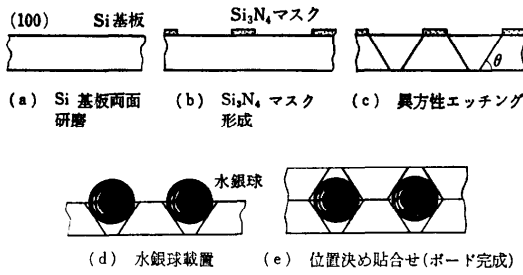


図-16 微小コネクタ用ソケットの加工法

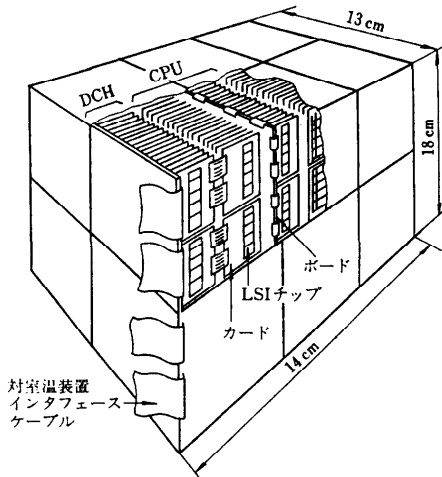


図-17 ジョセフソン計算機の寸法モデル

表-3 使用素子の性能

チップ	集積度	速度	消費電力
ロジック	1kゲート	t_{pd} 40 ps	3 μ W/ゲート
高速メモリ	4kビット	アクセス 0.5 ns	10mW
メインメモリ	64kビット	アクセス 15 ns	0.6mW

4.3 ジョセフソン計算機の構想

ジョセフソン素子の高速・低消費電力性と微小実装部品技術を活用することにより、体積が大幅に縮小され、素子部分での遅延と装置内配線部分の遅延とがほぼバランスした超高速のシステムが実現できる²⁶⁾。

図-17は論理規模500kゲート、キャッシュメモリ256kB、主記憶64MBの汎用計算機をジョセフソン素子で実現したモデルである。使用素子の集積度と性能を表-3のように仮定している。主記憶まで含めた計算機体積は10数cm立方となり、これによって装置内配線遅延は約1桁短縮される。使用素子の速度も約1桁向上するから、システム性能としては容易に数10倍の向上が見込まれ、2~300MIPSの汎用計算

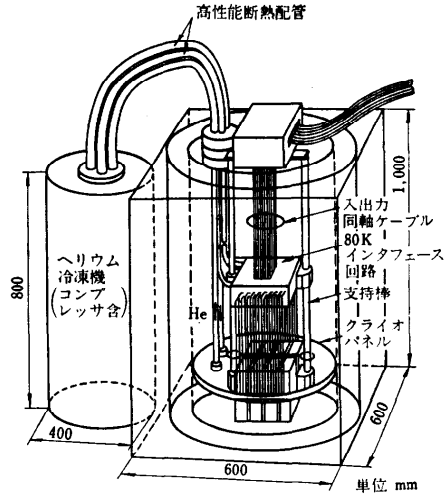


図-18 ジョセフソン計算機の全体像

機が実現できる計算である。

素子からの発熱は合計8W程度となり、これに外部からの熱侵入を加えても計算機が極低温下で出す熱は10W程度である。このため冷却も比較的容易で、たとえば図-18に例示するように、冷却装置を含めても所要体積は既存半導体計算機より小さくできる。冷却に要する電力は10kW以下におさまられる見通しである。

5. むすび

ジョセフソン計算機技術の最近の研究開発状況を概観してきた。基本的な課題については解決の見通しが得られ始めており、実用に目を向けた研究にそろそろ移行してもよい段階にある。本稿では述べなかったが素子製作技術の進歩もめざましく、懸案であった信頼性についても解決の見通しが出てきた。素子レベルでは高集積化・高信頼化と、DA等のLSI構成技術の研究が今後の課題となるが、重要課題はむしろ素子周辺技術にあると考えられる。高密度実装技術をはじめ、雑音対策・小規模冷却技術・室温一極低温間の信号伝送技術などがそれである。

このところ、ジョセフソン技術の研究人口が急激に増え、学会活動等も非常に活発になってきた。実用化された時のインパクトの大きさが認識され始めた結果であろう。今後、この種の周辺技術の研究開発が加速されていくものと信じる。

参考文献

1) たとえば、石田 晶, 柳川文彦, 吉清治夫: 超

- 伝導集積回路, 電子通信学会編, 東京 (1983).
- 2) Klein, M. and Herrell, D.J.: Sub-100ps Experimental Josephson Interferometer Logic Gates, IEEE J. Solid-State Circuits, Vol. SC-13, No. 5, p. 577 (1978).
 - 3) Fulton, T.A., Pei, S.S. and Dunkleberger, L.N.: A Simple High-Performance Current-Switched Josephson Gate, Appl. Phys. Letters, Vol. 34, No. 10, p. 709 (1979).
 - 4) Gheewala, J.R.: Josephson Direct Coupled Logic (DCL), Technical Digest IEDM, p. 482 (1979).
 - 5) Takada, S., Kosaka, S. and Hayakawa, H.: Current Injection Logic Gate with Four Josephson Junctions, Japan. J. Appl. Phys., Vol. 19, Supplement 22-1, p. 607 (1980).
 - 6) Hohkawa, K., Okada, M. and Ishida, A.: A Novel Current Injection Logic Gate with High Gain, Appl. Phys. Letters, Vol. 39, No. 8, p. 35 (1981).
 - 7) Sone, J., Yoshida, T. and Abe, H.: Resistor Coupled Josephson Logic, Appl. Phys. Letters, Vol. 40, No. 8, p. 741 (1982).
 - 8) 仲川 博, 小竹 雄, 曾川英一, 高田 進, 早川尚夫: 7ピコ秒論理遅延ジョセフソングート, 第30回応用物理学連合講演会予稿集, p. 398 (1983).
 - 9) 蓮尾信也, 太宰浩一: ジョセフソン素子を用いた並列全加算器の設計, 信学会技術報告, ED 78-112, p. 55 (1978).
 - 10) Ichimiya, Y., Yamada, H. and Ishida, A.: Josephson Two-bit Full Adder Utilizing Wide Margin Functional Gates, 1982 Appl. Superconductivity Conf. Proc., p. 50 (1982).
 - 11) 曾根純一, 吉田卓克, 田原修一, 阿部浩之: 抵抗分割型ジョセフソン全加算器, 第43回応用物理学講演会予稿集, p. 273 (1982).
 - 12) 徳光雅美, 岡田 俊, 宝川幸司, 石田 晶: 電流注入形ジョセフソン2ビット全加算回路, 信学会総合全国大会講演論文集 (分冊2), p. 2-109 (1983).
 - 13) Hohkawa, K., Nitta, J. and Ishida, A.: A New Simple Configuration for a Wide Margin Josephson Adder Using High Gain Direct Coupled Logic Gates, Japan. J. Appl. Phys., Vol. 22, Supplement 22-1, p. 599 (1983).
 - 14) Fulton, T.A. and Dunkleberger, L.N.: A Josephson Parallel Multiplier, Bell System Tech. J., Vol. 61, No. 5, p. 931 (1982).
 - 15) Davidson, A.: A Josephson Latch, IEEE J. Solid-State Circuits, Vol. SC-13, No. 5, p. 583 (1978).
 - 16) Arnett, P.C. and Herrell, D.J.: Regulated AC Power for Josephson Interferometer Latching Logic Circuits, IEEE Trans. Magnetics, Vol. MAG-15, No. 1, p. 554 (1979).
 - 17) Mukherjee, A.: High Performance Data Processing in Josephson Technology, IEEE Electron Device Letters, Vol. EDL-3, No. 2, p. 29 (1982).
 - 18) Zappe, H.H.: A Subnanosecond Josephson Tunneling Memory Cell With Nondestructive Readout, IEEE J. Solid-State Circuits, Vol. SC-10, No. 1, p. 12 (1975).
 - 19) Gueret, P., Mohr, Th. O. and Wolf, P.: Single Flux-Quantum Memory Cells, IEEE Trans. Magnetics, Vol. MAG-13, No-1, p. 52 (1977).
 - 20) Yamamoto, M., Yamauchi, Y., Miyahara, K., Kuroda, K., Yanagawa, F. and Ishida, A.: An Experimental Nanosecond Josephson 1k RAM Using 5 μ m Pb-alloy Technology, IEEE Electron Device Letters, Vol. EDL-4, No. 5 (1983).
 - 21) Broom, R.F., Gueret, P., Kotyczka, W., Mohr, Th. O., Moser, A., Oosenbrug, A. and Wolf, P.: Model for a 15ns 16k RAM with Josephson Junctions, IEEE J. Solid-State Circuits, Vol. SC-14, No. 4, p. 690 (1979).
 - 22) Brown, A.V.: An Overview of Josephson Packaging, IBM J. Res. & Develop., Vol. 24, No. 2, p. 167 (1980).
 - 23) Ting, C.Y., Grebe, K.R. and Waldman, D.P.: Controlled Collapse Reflow for Josephson Chip Bonding, Electro-Chemical Soc. Conf. (Abstract), p. 212 (1980).
 - 24) Lahiri, S.K., Geldermans, P., Kolb, G., Sokolowski, J. and Palmer, M.J.: Pluggable Connectors for Josephson Computers, IEEE Trans. Comp. Hybrids Manuf. Tech., Vol. CHMT-5, No. 1, p. 166 (1982).
 - 25) Ketchen, M.B., Van der Hoeven, B.J., Matisoo, J., Greiner, J.H., Herrell, D.J., Wang, R.H., Guernsey, R.W., Anderson, C.J., Arnett, P.C., Bermon, S., Bickford, H.R., Bright, A.A., Geldermans, P., Gheewala, T.R., Grebe, K.R., Jones, H.C., Klein, M., Klepner, S.P., Moskowitz, P.A., Natan, M., Puroshothaman, S., Sokolowski, J., Stasiak, J.W., Walkman, D.P., Warnecke, A.J., Wu, C.T. and Yogi, T.: A Josephson Technology System Level Experiment, IEEE Electron Device Letters, Vol. EDL-2, No. 10, p. 262 (1981).
 - 26) Anacker, W.: Computing at 4 Degrees Kelvin, IEEE Spectrum, Vol. 16, No. 5, p. 26 (1979).

(昭和58年5月20日受付)