

# フラッシュメモリの最新技術動向

## —SSDへの応用

竹内 健

東京大学 大学院工学系研究科電気系  
工学専攻・工学部電気電子工学科

NAND フラッシュメモリのコストが劇的に低下したことにより、NAND フラッシュメモリをPCのストレージとして使うSSD(Solid-State Drive)が注目を集めている。高性能・高信頼性・低消費電力のSSDを実現するためには、デバイス技術・回路技術・NANDコントローラ技術・OSなどの幅広い技術分野で最適化を行うことが必要である。本稿では、NANDコントローラ技術・OSを中心に、SSD応用に向けたフラッシュメモリ技術の最新動向を紹介する。

### フラッシュメモリと応用製品

電源を切っても記憶を保持することができるフラッシュメモリにはNOR型とNAND型の2種類がある。図-1にNOR型とNAND型の構成と書き込み方式を示した。NOR型は1個のメモリセルがビット線・ソース線と接続するため、読み出しが数十ナノ秒と高速で、携帯電話・セットトップボックス・PCなどのBIOSやプログラム格納に使われている。NOR型ではホットエレクトロン書き込みを行うために、ソースとドレインの間に5Vの電位差があるため、チャンネルを100nm以下に縮小することが困難である。また、書き込み時にソースとドレインの間に電流が流れるため消費電流が大きい。さらに、消費電流が大きいため並列書き込みが困難であり、書き込みの速度が遅いという問題がある。

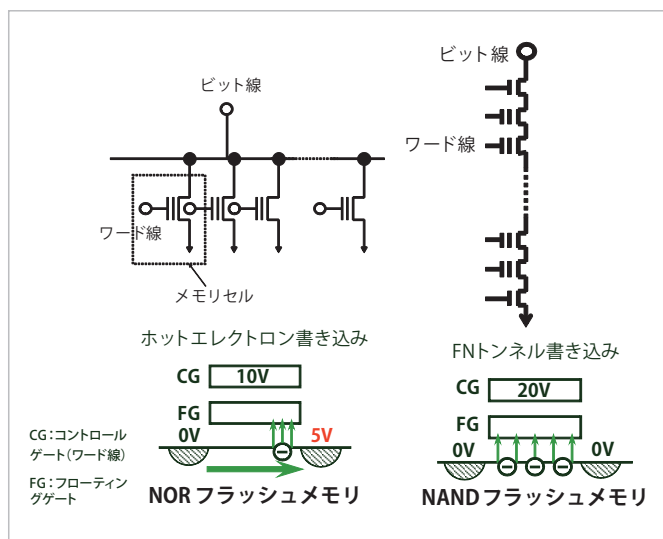


図-1 フラッシュメモリの構成と書き込み方式

一方、NAND型は32～64個のメモリセルを直列接続して構成される。コンタクト領域を省略できるため、小面積・大容量を実現できる。また、書き込み時にソース・ドレイン間に電位差がないため、微細化が容易である。さらに、書き込みにFN(Fowler-Nordheim)トンネルを採用しているため、消費電力が小さい。消費電力が小さい利点から、書き込みにおいて、並列動作が可能になり、書き込みが高速である。大容量・微細化可能・低消費電力・高速書き込みが可能のため、NAND型は携帯電話、音楽プレーヤ、デジタルカメラなどのストレージとして使用されている。現在NANDフラッシュメモリは40nmに微細化され、容量は16Gbitまで大容量化されている。大容量NANDフラッシュメモリで構成される半導体ディスクはSSD(Solid-State Drive)と呼ばれ、パソコンやデータセンタのHDDを置き換えることを期待されている。

### SSDの構成

SSDはNANDフラッシュメモリとNANDコントローラ、バッファメモリ(DRAM)から構成される(図-2)。

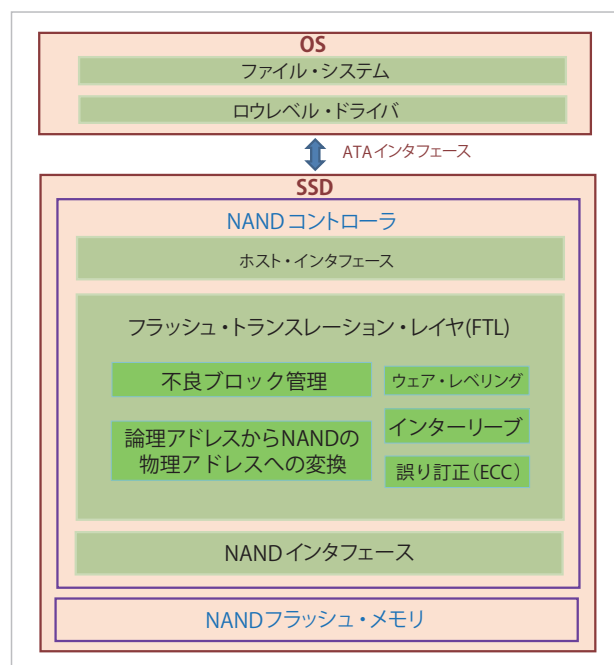


図-2 SSDの構成

	NAND : Single chip		NAND : 4 chip	
	Read	Write	Read	Write
NAND (SLC)	25MB/sec	20MB/sec	100MB/sec	80MB/sec
NAND (MLC)	25MB/sec	10MB/sec	100MB/sec	40MB/sec
HDD	20MB/sec	20MB/sec	-	-

表-1 シリアルデータ転送性能

	Read	Write
NAND (SLC)	25us	300us
NAND (MLC)	50us	800us
HDD	>5ms	>5ms

表-2 ランダムアクセス時間

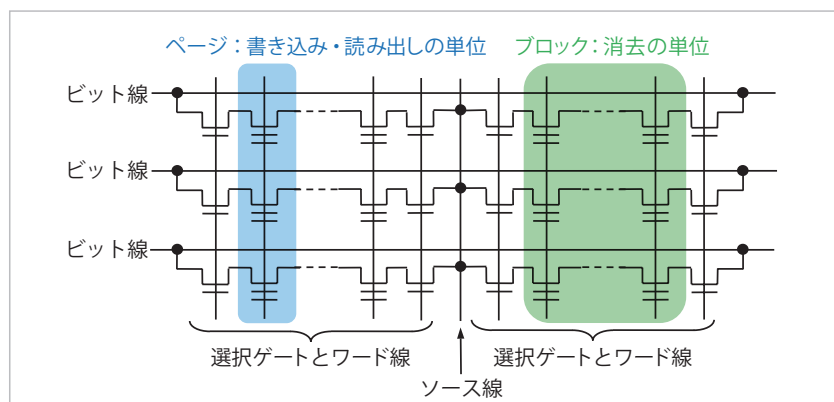


図-3 NANDセルアレイ

NAND コントローラのフラッシュ・トランスレーション・レイヤ (FTL) が NAND フラッシュメモリの不良ブロックの管理, 誤り訂正 (ECC), メモリセル当たりの書き換え回数を平滑化するウェア・レベリング, 論理アドレスから物理アドレスへの変換, 複数の NAND チップの並列動作 (インターリーブ) などの制御を行う。SSD の性能は NAND フラッシュメモリの性能だけでなく, NAND コントローラのアルゴリズムによって大きく左右されるため, NAND フラッシュメモリおよび NAND コントローラの最適設計が重要である<sup>1)</sup>。

## SSDの動作およびHDDとの比較

### \* SSDの性能

大容量データを転送する際に重要になるシリアルデータ転送速度, およびランダムアクセス時間について, SSD と 1.8 インチあるいは 2.5 インチ HDD と比較したものを表-1, 表-2 に示す。画像や音楽データのように, NAND フラッシュメモリの書き込み単位であるページサイズ (4K ~ 8K バイト) よりも十分に大きなファイル・サイズのデータを SSD に転送する場合は, 表-1 に示した NAND フラッシュメモリのシリアルデータ転送速度が SSD の性能を決める。NAND フラッシュメモリには 1 個のメモリセルに 1 ビットのデータを記憶する, 1 ビット/セルの SLC : single level cell および, 1 個のメモリセルに 2 ビットのデータを記憶する 2 ビット/セルの多値 (multi level cell : MLC) の 2 種類がある。SLC に比べて低速な, 多値 (MLC) NAND フラッシュメモリで SSD を構成する場合でも, 4 チップを並

列動作させることで, 読み出し速度は 100M バイト/秒, 書き込み速度は 40M バイト/秒と, HDD と同等以上のシリアルデータ転送速度を達成できる。

一方, SSD をパソコンで使用する場合には, OS (ディレクトリ・エン트리やファイル・システム向けメタデータ) の変更やアプリケーション・ソフトウェアの変更など, NAND フラッシュメモリのページサイズより小さいデータの書き換えが頻繁に生じるため, ランダムアクセス性能が重要になる。HDD は磁気ヘッドが磁気ディスク上の目的のトラックに移動する必要があるため, ランダム・アクセス時間が 5ms 以上と長い。一方, NAND のランダムアクセス時間は数 10us と HDD に比べてはるかに短い。

ただしデータのコピーや複数のブロックに断片化して記憶されたファイルを整理するガベージ・コレクションなど, データの読み出しと書き込みが混在する処理では, SSD の性能が HDD と同等以下になる場合がある。これは, NAND フラッシュメモリが, 32 ~ 64 本のワード線からなるブロック (図-3) の単位で消去を行うことに起因する。消去動作の原理上, ブロック内の一部の書き換えを行うことができない。消去ブロックの大きさは 512K ~ 1M バイトと, パソコンの書き換え単位であるセクタ・サイズ (512 ~ 4K バイト) に比べてはるかに大きい。このため, ブロック内の一部のファイルのみを書き換える際には, ブロックを消去する前にブロック内の他のファイルを空きブロックに退避させる必要がある。この退避動作はブロック・コピーと呼ばれる (図-4)。

ブロック・コピーは, NAND フラッシュメモリの読

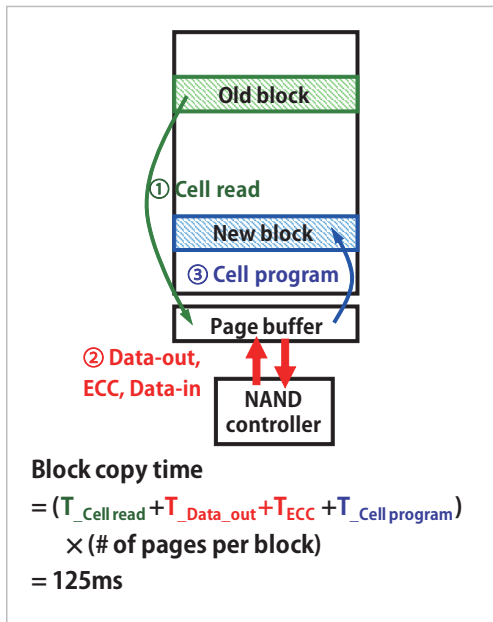


図-4 ブロック・コピー

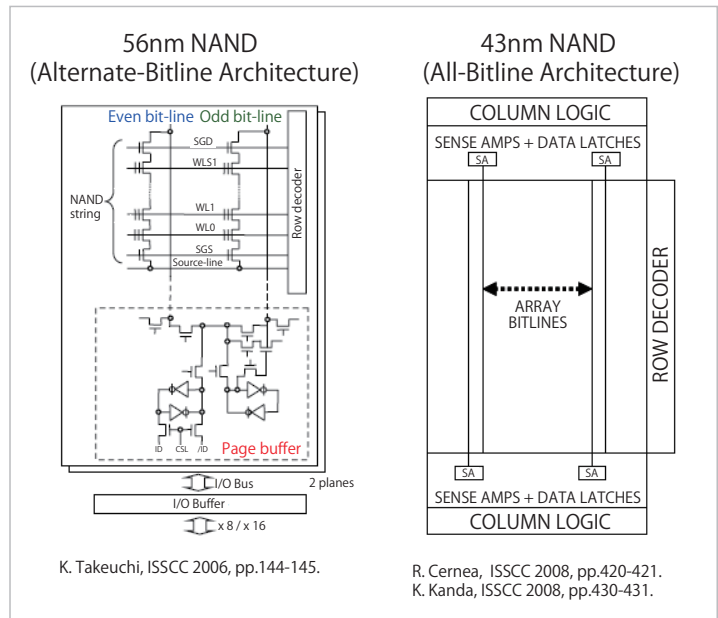


図-6 Alternate-Bitline Architecture と All-Bitline Architecture

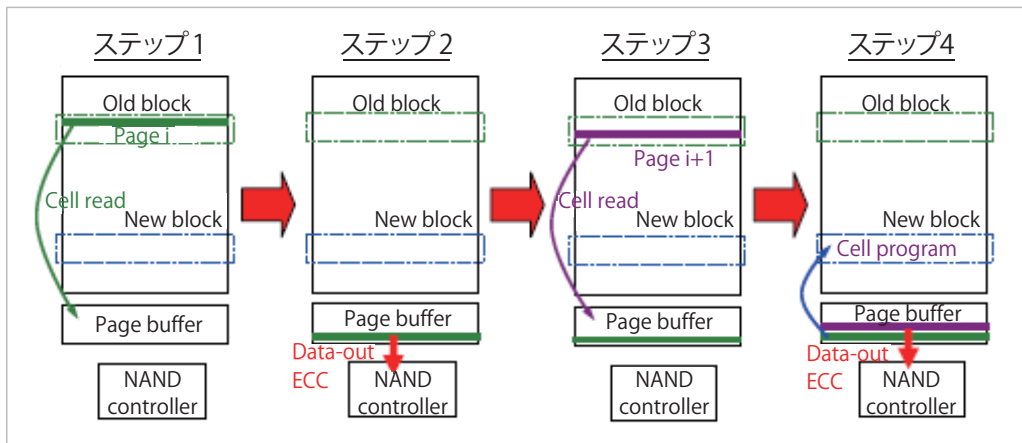


図-5 インテリジェントブロック・コピー

み出し、フラッシュメモリからコントローラへのデータ出力、コントローラでの誤り訂正、フラッシュメモリの書き込みからなり、100ms以上を要する場合がある。このブロック・コピーの高速化がSSDを高速化するための大きな課題の1つである。ブロック・コピーを高速化する回路技術として、Intelligent Page Copyが提案されている<sup>2)</sup>(図-5)。書き込みデータや読み出しデータを保持するページ・バッファ内にデータ・キャッシュを設け、NAND内の新たなブロックへの書き込みと、NANDからコントローラへのデータ出力および誤り訂正を並列処理する。

Intelligent Page Copyの動作は図-5のステップ1～4の4段階で行われる。まず、コピーを行うページをページ・バッファに読み出し(ステップ1)、次にNANDフラッシュメモリからコントローラへのデータ出力と誤り訂正を行う(ステップ2)。ここまでは、従来のブロック・コピーと同様である。従来と異なるの

は、データを新たなブロック(コピー先)に書き込む前に、次にコピーするデータをページ・バッファ内のキャッシュに読み出すことである(ステップ3)。そして、最後のステップ4でデータをNAND内の新たなブロックに書き込むと同時に、次にコピーするページのデータをNANDからコントローラに出力し誤り訂正する。以上のように、NANDへの書き込みとNANDからコントローラへの出力、およびコントローラでの誤り訂正を同時に行うことにより、ブロック・コピーを30%高速化できる。

43nm世代のNANDフラッシュメモリから導入されたメモリ・アレイ構成All-Bitline Architectureもブロック・コピーの高速化に有効である<sup>3)</sup>。図-6に示すように、従来のAlternate-Bitline Architecture<sup>2)</sup>のメモリ・アレイでは、メモリセルの書き込みデータを一時記憶するページ・バッファを奇数番目のビット線と偶数番目のビット線で共有する。奇数番目のビット線と偶数番目の

	NAND : Single chip		NAND : 4 chip	
	Read	Write	Read	Write
NAND (SLC)	30mA	30mA	120mA	120mA
NAND (MLC)	30mA	30mA	120mA	120mA
HDD	300mA	300mA	-	-

表-3 消費電流

ビット線は交互に選択されるため、同時にアクセスできない。一方、All-Bitline Architectureでは、すべてのビット線にページ・バッファを接続する(図-6)。奇数番目のビット線と偶数番目のビット線に同時にアクセスできるため、書き込み速度が2倍に高まる。また、ブロック内に含まれるページ数が従来の半分になるため、ブロック・コピー速度も2倍に高速化される。

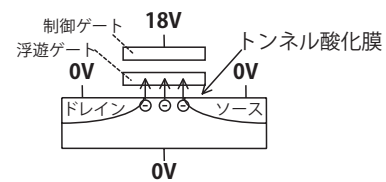
### \* SSDの消費電流

SSDがHDDを代替するためにはNANDフラッシュメモリの消費電流削減が必須である。3.3V電源のSSD・HDDの消費電流を比較したものが表-3である。現状ではSSDの方がHDDよりも消費電流が低い。NANDフラッシュメモリのチップ当たりの動作時消費電流はSLC、MLCともに約30mAである。高速化のために4チップ並列に動作させたとしても、消費電流は120mAになる。SSD内のコントローラとDRAMで消費する電流100mAを足し合わせてもSSD全体の消費電流は220mAと、HDDの300mAに比べて低い。

しかし今後もSSDがHDDに対して消費電流面での優位性を保ち続けるためには、NANDフラッシュメモリのより一層の消費電流削減を進めていく必要がある<sup>4)</sup>。微細化の進展に従いビット線などの配線の寄生容量が増加しNANDフラッシュメモリのチップ当たりの消費電流が増加する<sup>5)</sup>。また、将来の大容量NANDフラッシュメモリを実現するために、1個のメモリセルに3ビット以上のデータを格納する超多値技術の採用や微細化を進めると、NANDフラッシュメモリのチップ当たりの書き込み速度が低下する。メモリセルを微細化するとNANDの書き込み速度が低下するのは、隣接セル間の容量結合雑音やランダム・テレグラフ雑音、プロセスの加工バラつきが増大するためである。ランダム・テレグラフ雑音は、トンネル酸化膜中の電荷トラップに対して浮遊ゲート中の電子が捕獲・放出されることで発生する。ここで、電荷はダイナミックに移動するため、メモリセルのしきい値電圧が不規則に振幅し、セル特性がバラつく。このランダム・テレグラフ雑音と隣接セル間の容量結合雑音はいずれも、微細化に伴って増大していく。

これら将来の大容量NANDフラッシュメモリを用いたSSDが所望の性能を達成するためには、並列動作す

### 書き込み動作 (浮遊ゲートへの電子注入)



### 消去動作 (浮遊ゲートからの電子放出)

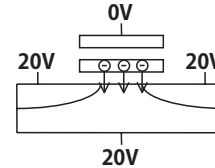


図-7 フラッシュメモリの動作

るNANDの数を増やす必要があり、消費電流の増大を招く。たとえば、3ビット/セルのNANDは2ビット/セルのNANDよりも書き込み速度が約20%低くなる<sup>6)</sup>。並列動作させるNANDの数を4個から5個に増やすことにより、2ビット/セル品を搭載した場合と同等の書き込み速度をSSDとしては達成できる。3ビット/セル品を採用した場合でもSSDの消費電流は250mAと、2ビット/セル品を用いたSSDの220mAより大きいものの、HDDの300mAに比べると小さい。

一方、4ビット/セル品では性能と消費電力の両立が難しい。現在提案されている4ビット/セル品はデザインルールが70nm世代と緩く、書き込み単位のページサイズが小さいこともあり、書き込み速度が0.6Mバイト/秒と低速である<sup>7)</sup>。SSDの書き込み速度として必要な40Mバイト/秒を達成するには、60チップ以上を並列動作させる必要がある。その場合、SSDの消費電流は2Aと、許容できないほど増大する。デザインルールが異なるため単純には比較できないものの、4ビット/セル品をSSDに使用するためには、NANDフラッシュメモリを高速化するか、数10チップの超並列動作をしても消費電流が許容範囲に収まるように、NANDを低消費電力化する技術が必要になる。

### \* SSDの信頼性

NANDフラッシュメモリでは、セルの浮遊ゲートに電子を蓄積することでデータを記憶する。また、書き込みは、Fowler-Nordheimトンネリング現象により浮遊ゲートに電子を注入することで行う(図-7)。消去の際には逆に、Fowler-Nordheimトンネリング現象により浮遊ゲートから電子を放出する。書き込みや消去を繰り返すと、トンネル酸化膜の中に電荷を捕獲するトラップ

が生成される。浮遊ゲート内の電子がこのトラップを介してチャンネルに漏れることで、記憶されたデータが破壊される（データ保持不良）。この漏れ電流はSILC (Stress Induced Leakage Current) と呼ばれ、メモリセルの不良の主な原因となる。

書き込みや消去を繰り返していくと、トンネル酸化膜中のトラップ・サイトの数が増加し、その結果、データ保持不良のセル数も増加する。NANDフラッシュメモリのデータ保持時間の仕様は、書き換えをMLC品で1万回、SLC品で10万回繰り返した後に一定期間、データを保つことが求められる。以下では、書き換え回数を増やした場合にデータ保持特性が悪化する問題に対処するSSD技術について述べる。

#### \* ECC (Error Correcting Code : 誤り訂正)

浮遊ゲートからの電子の漏れはNANDフラッシュメモリの電源がオフの場合でも起こる。動作中には電源が常にオンであるDRAMのように定期的にメモリセルに記憶したデータをリフレッシュすることで不良を防ぐ手法を使うことはできない。

したがって、NANDフラッシュメモリでは、ある確率でメモリセルが不良になることを前提に、NANDコントローラで誤り訂正 (ECC) を実行する必要がある。ECCはHDDでも使われているが、ECCの符号がHDDとSSDで異なる。HDDでは磁気ヘッドと磁気ディスクの接触により、特定のメモリ領域が集中的に不良になるバースト不良が生じるため、狭い領域に多数の誤りが集中するバースト誤りを救済できるリード・ソロモン符号が一般的に用いられている。一方、NANDフラッシュメモリでは不良がランダムな場所で散発的に発生するため、リードソロモン符号よりも簡便で、ランダム誤りを救済できるBCH (Bose Chaudhury Hocquenghem Code) 符号が使われる。

メモ리카ードやUSBメモリ、デジタルカメラ、メディアプレーヤ、携帯電話機といった携帯機器向けの用途では、512バイト当たり4～8ビットの訂正が可能なECCが採用されている。携帯機器のNANDフラッシュメモリは音楽や画像のデータを一時的に格納する記憶媒体として使われる。データはパソコンにバックアップされることが多く、携帯機器の製品寿命が実質的に2～3年と短いことも相まって、NANDフラッシュメモリに対する信頼性の要求はそれほど厳しくなかった。

しかし、パソコンでSSDとして利用する場合は、より長い製品寿命が求められる。またパソコンのデータはバックアップされていない場合が多いことから、携帯機器よりも厳しい信頼性がNANDフラッシュメモリに要求される。パソコンの信頼性要求を満たすため、SSD

のECCは携帯機器に比べてより強力な訂正能力を持つ符号が使われている<sup>8)</sup>。

#### \* ウェア・レベリング

まずパソコン向けSSDに必要な書き換え回数を考察する。容量が64GバイトのSSDに対して、ユーザが毎日2G～8Gバイト書き換える場合を想定する。ハイパネーションを利用すると、ストレージ領域の使用量は2倍程度に増加する。

5年間にわたって毎日SSDを使用した場合の総書き換え回数は(2G～8Gバイト×365日×5年) / 64Gバイト = 60～230回となり、NANDフラッシュメモリの書き換え回数である1万～10万回よりはるかに少ない。ただし、この計算はSSD内のすべてのメモリセルを均等に書き換えることを前提にしている。これを実現するにはNANDコントローラがウェア・レベリングを行い、メモリセル間の書き換え回数を平滑化し、特定のメモリ領域への書き込みの集中を避ける必要がある。

ウェア・レベリングでは、NANDフラッシュメモリ内の各ブロックの書き換え回数をモニタし、最も書き換え回数が少ないブロックに書き込む。このために、OSから入力される書き込みデータの論理アドレスをNANDフラッシュメモリの物理アドレスに変換する。このアドレス変換はホストではなくSSD内のNANDコントローラで実行する。このため、微細化や超多値化によりNANDフラッシュメモリのアドレス構成が変わった場合にも、ホスト側の変更は必要ない。

ウェア・レベリングの方法にはダイナミック・ウェア・レベリングとスタティック・ウェア・レベリングの2種類がある。SSDに記憶するデータには、スタティック・データとダイナミック・データに大別できる。OSやアプリケーション・ソフトウェアなどのシステム・データは書き換えが頻繁に行われないスタティック・データである。一方のダイナミック・データは頻繁に書き換わるデータでユーザデータなどである。

ダイナミック・ウェア・レベリングでは、スタティック・データを格納しているブロックをウェア・レベリングの対象から除外する。このため、ダイナミック・データを記憶するブロックに書き換えが集中する一方、スタティック・データを記憶するブロックの書き換え回数が少なくなる。

一方のスタティック・ウェア・レベリングでは、スタティック・データを記憶するブロックを含むすべてのブロックを対象にウェア・レベリングを実施するため、書き換え回数の平滑化にはより効果的である。スタティック・ウェア・レベリングのアルゴリズムでは、まず書き換え回数が最も少ないブロックを見つける。そのブロッ

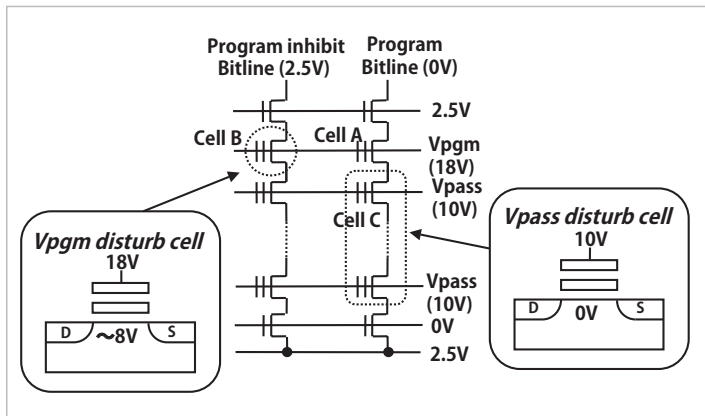


図-8 書き込みディスタープ

クが空白（ブランク）であれば、データを書き込む。該当ブロックがスタティック・データを記憶している場合には、スタティック・データを書き換え回数が多いブロックに移した後に、該当ブロックにデータを書き込む。

## SSD に対する OS の最適化

SSD の性能や信頼性を最大化するためには、OS による対応も必要である。Windows などの現在の OS は HDD に最適化して作られており、今後は OS を SSD に最適化することが求められる。以降では、OS の最適化を図ることで、SSD の性能や信頼性を高められる例を紹介する。SLC と MLC のコンボ SSD、セクタ・サイズの最適化、SSD への書き込み頻度の低減および不良の予知である。

### \* SLC/MLC コンボ

表-2 に示すように、NAND フラッシュメモリのランダムアクセスが HDD に比べて高速であることを活かして、NAND フラッシュメモリを HDD のキャッシュとして使うことで性能向上を図る手法が提案され、すでに一部のパソコンに搭載され始めている。NAND フラッシュメモリと HDD を組み合わせる手法は、フラッシュメモリの価格が HDD よりも高価な現在は有効である。しかし、NAND フラッシュメモリの低コスト化が進むにつれ、フラッシュメモリだけでストレージを構成する SSD に収斂していくと考えられる。

将来の SSD は、SLC と MLC、あるいは、SLC と 2 ビット／セル品、3 ビット／セル品、4 ビット／セル品など各種 MLC を適宜組み合わせる SLC/MLC コンボ SSD が主流になっていくと予想される。大容量で低コストの MLC にはユーザデータを格納する。一方、高速かつ信頼性が高い SLC はデータ量が小さいシステムデータの格納や、MLC のキャッシュとして用いる。このよう

に SLC と MLC を組み合わせることで、性能やコスト、信頼性の観点で最適な SSD を実現することができる。

2 ビット／セルの MLC であれば、前述の性能、消費電流、信頼性を見積もり結果から分かるように、単独で SSD を構成することも可能である。その場合でも、SLC を少量搭載して、キャッシュに使用したり、サイズが小さいシステムデータを格納することで、SSD の性能をさらに向上できる。

3 ビット／セルの MLC 品は、まだ開発途上であり、製品レベルでの信頼性は明らかではない。SLC/MLC コンボが必須かどうかは断定できないものの、2 ビット／セルに比べて信頼性のみならず性能も劣化することから、SLC とのコンボを積極的に利用すべきと考えられる。

最後に、4 ビット／セル品に基づく SSD は、前述したように、現状の技術では書き込み性能で HDD に見劣りする。性能要求を達成するために並列動作する NAND チップ数を増やすと、消費電力が許容できない水準まで増大する。したがって 4 ビット／セル品を使う場合には、コンボ SSD が必須になる。たとえば、フォントデータや OS、アプリケーション・ソフトウェアの一部のように、書き換えがほとんど行われないデータの格納に 4 ビット／セル品を使う。つまり、4 ビット／セル品を ROM のように使用することで、4 ビット／セル品のコストの低さを活用する。

最後に、4 ビット／セル品に基づく SSD は、前述したように、現状の技術では書き込み性能で HDD に見劣りする。性能要求を達成するために並列動作する NAND チップ数を増やすと、消費電力が許容できない水準まで増大する。したがって 4 ビット／セル品を使う場合には、コンボ SSD が必須になる。たとえば、フォントデータや OS、アプリケーション・ソフトウェアの一部のように、書き換えがほとんど行われないデータの格納に 4 ビット／セル品を使う。つまり、4 ビット／セル品を ROM のように使用することで、4 ビット／セル品のコストの低さを活用する。

SLC と MLC を組み合わせたコンボ SSD の機能のうち、SLC を MLC のキャッシュとして使用するだけならば OS による対応がなくても、SSD のみで実現可能である。一方、SLC、2 ビット／セル品、3 ビット／セル品、4 ビット／セル品を混在させた SSD で、ファイルの種類によって記憶する領域を切り替える制御を行うには NAND コントローラと OS の連携が必要になる。ファイル内容の識別は、OS（ファイルシステム）で行う必要があるからである。

コンボ SSD の書き込みを最適化するためには、次の 4 段階の制御が必要になる。1) OS が書き込みデータの内容を認識し、2) OS が書き込みデータの種類に基づいて SSD 内に書き込む領域を決定する。そして、3) OS が目的の領域のアドレスを指定して書き込み情報を SSD に入力し、4) SSD 内で書き込みを実行する。

### \*セクタサイズの最適化

NAND フラッシュメモリでは 4K ~ 8K バイトのページ単位で書き込みを行う。その際、同じページ（ワード線）に属するすべてのメモリは同時に書き込む必要がある。同じページに多数回の書き込みを行うと、図-8 に

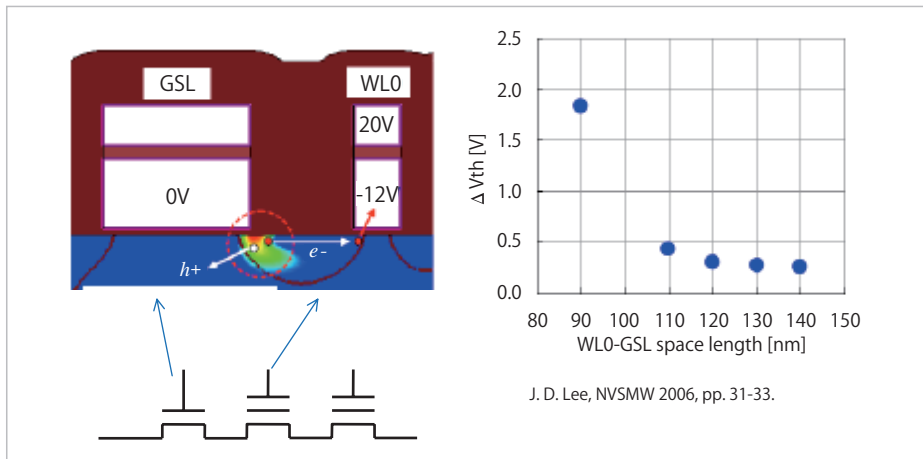


図-9 GIDLによる書き込みディスタープ

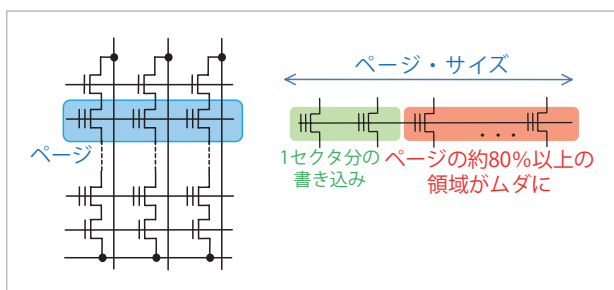


図-10 1セクタの書き込み

示す書き込みディスタープにより、本来は書き込みではいけない非選択のメモリセルに対して、誤ってデータが書き込まれる。書き込みディスタープのメカニズムは以下の通りである。図-8ではCell Aに書き込みを行う。Cell Aのチャンネルはビット線から0Vを印加され、ワード線は18Vが印加され、チャンネルからフローティングゲートに電子の注入が行われる。Cell Bは書き込み非選択の場合で、ビット線は2.5Vにプリチャージされる。選択トランジスタのゲートも2.5Vのため、選択トランジスタはオフしCell Bのチャンネルはフローティング状態になる。その後、ワード線が18Vあるいは10VになることでCell Bのチャンネルは8V程度に昇圧される。Cell BおよびCell Cではワード線とチャンネルの間に10V程度の電位差が生じ、弱い書き込みのストレスが印加される(書き込みディスタープ)。

書き込みディスタープは微細化の進展とともに深刻化している。70nm世代以下では、図-9のようなGIDL(Gate Induced Drain Leakage)に起因する誤書き込み現象が顕著になっている<sup>9)</sup>。図-8の書き込み非選択セルCell Bのチャンネルの電界を示したのが図-9である。NANDストリングの選択ゲート端で空乏層の電界が最も強く、空乏層内で電子・正孔対が最も多く発生する。この現象をGIDLと呼ぶ。GIDLによって生成した電子がセルのソース領域で加速されてホット・エレクト

トロンになり、浮遊ゲートに入る。微細化の進展に伴って、GIDLに起因するプログラム・ディスタープは悪化する。微細化によって生じる短チャネル効果を抑制するために、メモリセルのソース、ドレイン、基板の不純物濃度を増やす必要があるからである。不純物濃度を増やすと、ソース・ドレイン部の電界は強まり、GIDLが増大する。論理LSIでは、スケーリング則に従って、電圧を低くすることで電界を緩和してGIDLを抑制する。しかし、NANDフラッシュメモリではデータを保持するためにメモリセルのトンネル酸化膜を薄くできないため、低電圧化が困難である。この問題を解決するためには、トンネル酸化膜への高誘電体膜の適用や、従来の浮遊ゲート型構造ではなく、ゲート絶縁膜に強誘電体膜を適用し、電荷の分極で記憶する構造など、低電圧動作が可能なメモリセル構造の開発が必要である<sup>10)</sup>。

NANDフラッシュメモリでは、前述したように、同じページに属するメモリセルを同時に書き込む必要がある。このため、効率的な使用には、ページ・サイズ単位でホストからデータを転送することが望ましい。しかし、現状のOSでは、ファイル管理の単位であるセクタ・サイズは512バイトと、NANDのページ・サイズよりもはるかに小さい。

NANDフラッシュメモリに1セクタ(512バイト)のデータを書き込むと、ページ中の80%以上の領域がムダになる(図-10)。実効的に使用可能なメモリ容量が低下する問題に加え、メモリ容量を確保する目的でガベージ・コレクションを頻繁に行う必要があるため、NANDのブロック・コピーが多発し、その結果、SSDとしての性能が著しく劣化する。

SSDとして利用する場合は性能向上のために4個のNANDチップを並列して書き込む必要があることを考慮すると、NANDの実効的なページ・サイズは32K~64Kバイトとさらに大きくなる。図-11に示すようにNANDフラッシュメモリのページ・サイズは、微細化・

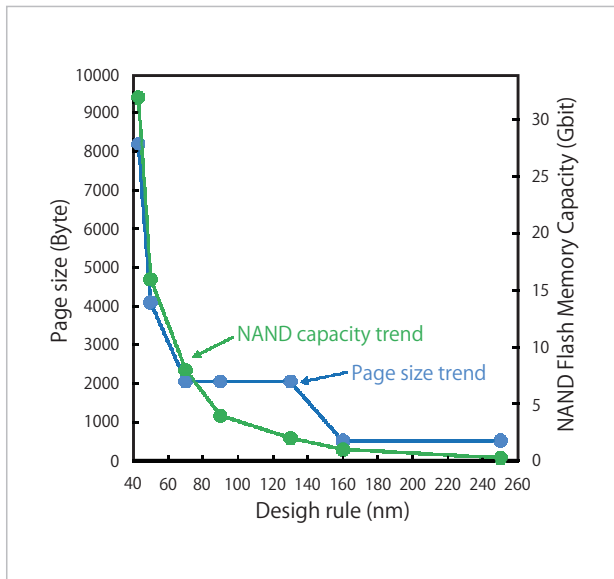


図-11 ページサイズのトレンド



図-12 Enhanced Write Filter

大容量化に伴ってワード線長が伸びることで、増加する。

SSD の効率的な動作には、ページ・サイズの倍数に相当する 128K バイトや 256K バイトといった大きなセクタ・サイズで OS がファイルを管理することが望ましい。

現状の 512 バイトというセクタ・サイズは、磁気ディスク上のトラックの大きさで決まっている。高密度化に伴って HDD でもトラック・サイズを拡大している。HDD 関連の業界団体である IDEMA (International Disk Drive, Equipment, and Materials Association) は、より大きな 4K バイトのセクタ・サイズに準拠した規格である Long Block Data sector standard の標準化を進めており、Windows Vista がサポートしている。

SSD に関しても、NAND フラッシュメモリベンダ・SSD のベンダ・OS ベンダ・パソコンベンダが協力し、セクタ・サイズの最適化・標準化を行う必要がある。

#### \* SSD への書き込み回数の削減

書き換え可能回数が限られるという SSD の課題に対しては、OS による体系的な対応が可能である。ホストの主記憶 (DRAM) を有効活用し、ファイルの属性に応じて書き込み動作を切り換えることで SSD への書き込み回数を削減できる。たとえば、書き換え頻度が多いファイルや、NAND のページ・サイズ以下の小容量のファイルは DRAM に保存して、SSD になるべく書き込まないように制御すればよい。こうした機能は、Microsoft 社の組み込み機器向け OS である Windows Embedded に Enhanced Write Filter としてすでに搭載されている。Enhanced Write Filter は、SSD とのインタフェースとなる低レベル・ドライバと OS (ファ

イル・システム) の間に位置し、ファイルの属性によってファイルの書き込み先を DRAM または SSD に振り分けることができる (図-12)。これにより、SSD への書き込み回数を最小化している。

#### \* SSD の不良予知

また、SSD に最適な不良予知手法の開発も必要である。たとえば、「SMART (Self-Monitoring, Analysis and Reporting Technology)」では、ストレージ装置の状態を監視することでストレージ装置の不良を予測することができる。SMART は HDD を対象に開発されたが、HDD の機械的な不良を予測することは困難なため、有効に使われているとは言い難い。一方、SSD では、NAND セルの不良率は書き換え回数と強い相関関係があることから、SMART のような技術を有効に利用できる可能性が高い。SMART で NAND フラッシュメモリの書き換え回数を監視することで SSD の寿命を予測し、致命的な不良が発生する前に SSD を置き換える、といった使用方法の実現が期待される。

#### まとめ

現在商品化されている、SLC (1 メモリセルに 1 ビットを記憶) の NAND フラッシュメモリを用いた SSD は性能・消費電力などの点で HDD に対して優位にある。しかし、SSD のコスト (価格) が HDD と同レベルになるためには、MLC (1 メモリセルに 2 ビット以上を記憶) を使用することが必須である。現在商品化されている 50nm の 2 ビット/セルの MLC では SSD の性能・信頼性・消費電力の要求を満たすことができる。しか



し、将来の微細化・超多値化された NAND を PC で使用するには、NAND フラッシュメモリの高速化・低消費電力化に加え、ウェアレベリングや ECC などのコントローラ技術の向上、SLC/MLC コンボなどの新アーキテクチャ・OS の最適化などが必要である。

## 参考文献

- 1) Takeuchi, K. : NAND Successful as a Media for SSD, ISSCC Tutorial, T7 (2008).
- 2) Takeuchi, K., et al. : A 56nm CMOS 99mm<sup>2</sup> 8Gb Multi-level NAND Flash Memory with 10Mbyte/sec Program Throughput, ISSCC, pp.144-145 (2006).
- 3) Kanda, K., et al. : A 120mm<sup>2</sup> 16Gb 4-MLC NAND Flash Memory with 43nm CMOS Technology, ISSCC, pp.430-431 (2008).
- 4) 竹内 健: SSD の将来像, 日経エレクトロニクス, pp.67-77 (2008.4.21).
- 5) Takeuchi, K. : Novel Co-design of NAND Flash Memory and NAND Flash Controller Circuits for Sub-30nm Low-Power High-Speed Solid-State Drives (SSD), Symposium on VLSI Circuits, pp.124-125 (2008).
- 6) Li, Y., et al. : A 16Gb 3b/cell NAND Flash Memory in 56nm with 8MB/s Write Rate, ISSCC, pp.506-507 (2008).
- 7) Shibata, N., et al. : A 70nm 16Gb 16-level-cell NAND Flash Memory, Symposium on VLSI Circuits, pp.190-191 (2007).
- 8) 斎藤伸二: 多値 NAND による SSD 技術と今後の動向, 半導体メモリシンポジウム (2008).
- 9) Lee, J. D., et al. : A New Programming Disturbance Phenomenon in NAND Flash Memory by Source/Drain Hot-Electrons Generated by GIDL Current, NVSMW, pp.31-33 (2006).
- 10) Sakai, S., et al. : Highly Scalable Fe (Ferroelectric)-NAND Cell with MFIS (Metal-Ferroelectric-Insulator-Semiconductor) Structure for Sub-10nm Tera-Bit Capacity NAND Flash Memories, NVSMW, pp.103-104 (2008). (平成 20 年 7 月 19 日受付)

竹内 健 takeuchi@lsi.t.u-tokyo.ac.jp

1993 年から 2007 年まで東芝にて NAND 型フラッシュメモリの研究開発に従事し、世界初の 64M, 256M, 512M, 1G, 2G, 16G NAND の商品化に成功。現在は東京大学にてポスト NAND の新規メモリや、低電力 VLSI 回路システムの研究を行っている。登録特許は米国特許 80 件を含む世界で 150 件。ISSCC2007 にて Takuo Sugano Award 受賞。ISSCC プログラム委員。