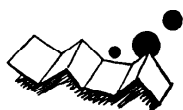


解 説



高性能マイクロプロセッサの技術動向†

萩原吉宗^{††} 岩崎一彦^{††}
西野秀樹^{†††} 畑田稔^{†††}

1. はじめに

マイクロプロセッサが初めて世に現れてから10年が経過した。この間、半導体技術の進歩、とくにMOS (Metal Oxide Semiconductor) LSIの集積度、性能の向上により、マイクロプロセッサの性能は飛躍的に進歩してきた。LSIの微細化技術が新しい段階に入るごとに、新しいアーキテクチャを持った、より高性能なマイクロプロセッサが出現してきた。1971年にインテル社から発表された4ビットのマイクロコンピュータ4004は、わずか2300個のトランジスタであった。これは電卓用の汎用LSIとして開発されたが、マイクロコンピュータの先駆けとなったLSIチップであった。

その後、8ビット、16ビット、32ビットと発展してきたマイクロプロセッサは数万〜数十万個のトランジスタを1チップ上に集積し、ミニコンピュータにも匹敵する性能、機能を有するようになってきている。

マイクロプロセッサでは、「低価格」であることが最も重要なファクタであり、それゆえに今日の広範囲な普及がなされたといえる。しかし最近の高性能マイクロプロセッサは、「高速・高機能」、「使い易さ」、「高信頼」も重要なファクタとなり始め、コンピュータとしての形態を整えつつある。

16ビットマイクロプロセッサにおいても、アドレス空間の拡大、仮想記憶、浮動小数点演算等の強化がなされ、また周辺LSIの機能、性能の向上あるいは本格的なOS (Operating System)の開発など、よりシステムレベルでの性能、機能の充実が図られている。

一方マイクロプロセッサのLSIチップ内部の構成にも技術の進歩がみられる。初期のマイクロプロセッサではチップ上に集積化できる回路規模に制約があったため、できるだけ回路を有効に動作させようとランダムな論理回路で構成されていた。しかし最近の高性能マイクロプロセッサは、むしろLSIの設計効率の面からマイクロプログラム方式が主流となっている。LSIの内部のかかなりの部分はROM (Read Only Memory)等のメモリやPLA (Programmable Logic Array)レジスタ等の規則的な回路で構成されるようになってきている。

本稿では、以上述べたような、VLSI技術からみたマイクロプロセッサの発展、アーキテクチャ、ソフトウェアの3つの観点から高性能マイクロプロセッサの動向を概説する。

とくに16ビットマイクロプロセッサとしては68000, 8086, Z-8000の各ファミリーについて具体的にアーキテクチャ、性能および周辺LSIの状況について述べる。また32ビットマイクロプロセッサについては、詳細な内容が発表されていないものが多いため、個々のプロセッサについて具体的には触れない。全般的な特徴について比較し、技術動向を把握する程度に留める。

ソフトウェアについては、言語、OSの最近の動向を述べる。

2. マイクロプロセッサの発展

2.1 高集積化

マイクロプロセッサは初期の4ビットから8ビット、16ビットさらに最近では32ビットへと発展してきた。

この発展の過程は、図-1に示すようにLSIのデバイス技術、微細加工技術の発展と一致している。4ビットマイクロプロセッサは、加工線幅 $8\mu\text{m}$ 程度のPチャンネルMOS技術を用いていた。この技術では、

† High Performance Micro-processor by Yoshimune HAGIWARA and Kazuhiko IWASAKI (Central Research Labo. Hitachi Ltd.) Hideki NISHINO and Minoru HATADA (System Development Labo. Hitachi Ltd.).

†† 日立製作所中央研究所

††† 日立製作所システム開発研究所

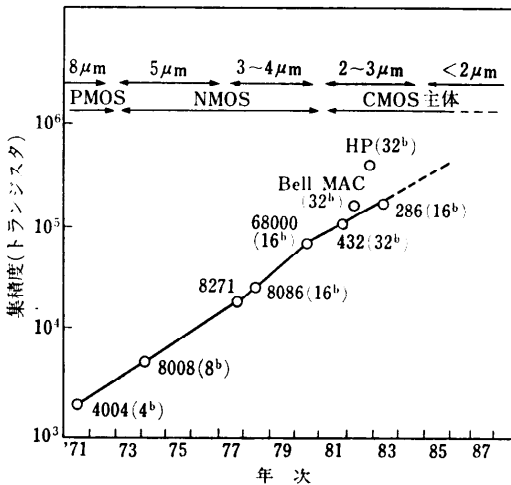


図-1 マイクロコンピュータの集積度の動向

LSI チップ上に2,000個程度のトランジスタしか集積化できなかった。マイクロプロセッサが広く普及するきっかけを作ったのは、第2世代のシリコンゲートのNチャンネルMOS技術であった。

この技術で作られた8ビットマイクロプロセッサ6800, 8080, Z-80等は、5 μ m NチャンネルMOS技術で作られ、5,000~10,000個のトランジスタで構成されている。これらは今日でも益々応用範囲を拡大している。コンピュータとしての機能は、基本的なものしか持っていなかったが、低価格であることが、その普及を促進していったといえる。

第3世代として現れた16ビットマイクロプロセッサは、同じNチャンネルMOS技術ながら、加工線幅は3 μ mとさらに微細化され、2万~7万個のトランジスタを集積化するようになった。たとえばモトローラ社の68000は68,000個のトランジスタを集積化している。

このような高集積化にともない、設計効率の面からマイクロプロセッサのLSI内の構造にも新しい動きが出てきた。すなわちROMを用いたマイクロプログラム方式の導入である。このマイクロプログラム方式が高集積なマイクロプロセッサの実現に一役買っている。プロセッサの内部を、極力ROM, RAM, PLA, レジスタなどの規則的な構造を持つ回路で実現しようとする傾向が主流となりつつある。最も新しい32ビットマイクロプロセッサは、さらに十万~数十万個のトランジスタを集積化している。ヒューレット・パッカド社の32ビットマイクロプロセッサは、45万

個のトランジスタを集積化して実現されている。

このうち35万個のトランジスタがROM領域¹⁾で使用されている。マイクロプログラムの占める割合が増加している。すでに発表されている32ビットマイクロプロセッサは、最小加工線幅3~1.5 μ mと広い範囲のLSI技術を用いているが、実用的な32ビットマイクロプロセッサは、2 μ mクラスあるいはそれ以下のLSI技術を用いることとなる。デバイス技術でみると、既発表のものにはNチャンネルMOS技術を用いているものもあるが、チップ当りの消費電力が、ヒューレット・パッカド社のチップの4wattという例もあり、特別な冷却手段を必要としてくる。このような消費電力ネックを解決するためにCMOS技術が32ビット時代の主流なデバイス技術となるであろう。

以上のようにマイクロプロセッサの集積度は、図-1で示したような割合で増加している。将来数メガトランジスタを集積化したVLSIプロセッサチップも現れてこよう。

2.2 高性能化

マイクロプロセッサは、演算のビット長が4, 8, 16, 32ビットと広がり、さらに演算速度も高速化することにより、処理能力は急速に向上してきた。ただマイクロプロセッサの性能の比較は、そのアーキテクチャの相違等もあり、単一の評価基準で行うことは難しい。最近16ビット以上の高性能マイクロプロセッサの性能比較を行うのに、MIPS (Million Instructions per Second) を評価基準を用いることがある。これによると数MIPSの性能をもつマイクロプロセッサも現れている。この評価方法は、コンピュータのCPUの性能の比較において有効な方法である。しかし現状のMIPSの算定基準は必ずしも統一のとれたものでなく、マイクロプロセッサのシステムとしての性能を十分に表現しているとは思われない。マイクロプロセッサの評価としては、LSIの回路性能、CPUのアーキテクチャ、周辺LSIあるいはOS、言語を含めたシステムの性能など、個々の観点から行っておくことが必要であろう。

ここでは、LSIの回路性能の点からマイクロプロセッサの性能の動向について述べる。図-2に加算命令を例として基本命令実行時間の推移を示す。4ビット時代は数十 μ secであったものが、SiゲートMOS技術の導入により、8ビットマイクロプロセッサで数 μ secの加算時間と飛躍的向上した。その後LSIデバイス

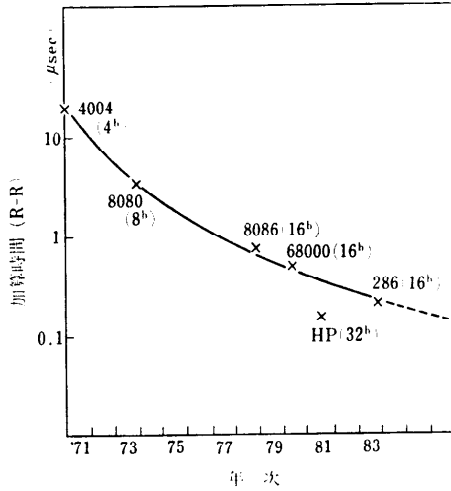


図-2 マイコンコンピュータの演算速度の動向 (加算 R-R)

の速度向上のみでなく、集積度の向上を利用したパイプライン制御などの回路上の工夫にもよって、マイクロプロセッサの命令実行時間の短縮が図られている。16ビットマイクロプロセッサ68000では、16ビットのレジスタレジスタ間の加算を500nsecで出来るようになった。さらにHPの32ビットマイクロプロセッサは110nsecで32ビットのレジスタレジスタ間の加算命令を実現している。このチップでは、タンダステンゲートなど低抵抗配線材料を用い、高速化を図っている点にも特徴がある。今後高速化のためにメタル配線の多層化がさらに行われるであろう。

またデバイス技術がNMOSからCMOSへ移行することによって、消費電力のネックによる回路速度上の制約を課す必要がなくなり、高速化が図られる。

このようなLSI内部回路の高速化が進むにつれて、LSI内部と外部との間のデータ転送速度がマイクロプロセッサの性能向上における問題となってくるであろう。

この問題の解決はアーキテクチャに依存するところが大きい。

以上、LSI技術の点から性能向上について述べてきた。アーキテクチャを含めた性能の比較は、各プロセッサの特徴を考慮して行わねばならず、単一の基準で行うことは難しい。次章では、高性能マイクロプロセッサについて、アーキテクチャの観点から比較し、技術動向を述べる。

3. アーキテクチャ

本章では16/32ビットマイクロプロセッサならびに新しいVLSIプロセッサの動向について、主としてアーキテクチャの面から概説をおこなう²⁾。

3.1 16ビットマイクロプロセッサ

16ビットマイクロプロセッサに関し、その種類、代表3種(68000, 8086, Z8000)の比較、上位マイクロプロセッサ(68010, 80186, 80286)の紹介をおこなう。現在入手できる16ビットマイクロプロセッサを表-1に示す³⁾⁻⁶⁾。

3.1.1 代表3機種種の比較

16ビットマイクロプロセッサの一覧表を表-1に示したが、日本国内で入手しやすい(セカンドソースがある)という事情を考慮して、本稿では68000, 8086, Z8000の3機種をとりあげる。表-2に3機種種の比較を示す⁷⁾⁻¹²⁾。また、基本的な命令の、実行時間の比較を表-3で紹介する^{13), 14)}。

68000は2レベルのマイクロプログラム制御方式を採用したマイクロプロセッサであり、最大64Mバイトのアドレス空間をもつ。68000は8ビットマイクロプロセッサ6800との互換性はない。32ビット長のレジスタやプログラムカウンタにも示されるように、そのアーキテクチャは32ビットマイクロプロセッサを指向したものとなっている。ソフトウェアの面でも命令とアドレス形式の対称性がよく、使い易さへの配慮がなされている。

8086は8ビットマイクロプロセッサ8080ファミリとの上位互換性を重視したところに特徴があり、8085などのソフトウェアがそのまま使用できる。演算用付加プロセッサをはじめとする周辺LSI、各種ソフトウェア、開発装置などが充実しており、現在、16ビットマイクロプロセッサとして一番広く使われている。

Z8000は最大48Mバイトまでのアドレス空間をもっている。Z80との互換性はない。16ビット長のレ

表-1 16ビットマイクロプロセッサ

パーツ番号	メーカ
68000	モトローラ社
8086	インテル社
Z8000	ザイログ社
9900	テキサス インスツルメント社
NS16000	ナショナル セミコンダクタ社
LSI-11	DEC社

表-2 16ビットマイクロプロセッサ比較表

項	目	68000	8086	Z 8001/Z 8002
アーキテクチャ	内部制御方式	2レベル マイクロプログラム	PLA 制御	ランダム論理
	アドレス空間 I/O 方式	16/64Mバイト メモリマップ	1 Mバイト メモリマップ I/O 命令	最大 48M バイト メモリマップ I/O 命令
	8ビット系との互換性	なし	あり	なし
ソフトウェア インタフェース	アドレス/データレジスタ ステータスレジスタ プログラムカウンタ アドレスモード 基本命令数* データタイプ 割り込みレベル 特権モード	32ビット×17個 16ビット×1個 32ビット×1個 14 56 1, 4, 8, 16, 32 7 あり	16ビット×12個 16ビット×1個 16ビット×1個 8 95 4, 8, 16 2 なし	16ビット×18個 16ビット×1個 32/16ビット×1個 8 110 1, 4, 8, 16, 32 3 あり
バス インタフェース	バスサイクル数 アドレス/データ線 同期/非同期バス (非同期制御信号名)	4 非マルチプレクス 同期/非同期 (DTACK)	4 マルチプレクス 非同期 (READY)	3 マルチプレクス 非同期 (WAIT)
デバイス	集積度 プロセス ピン数	68000 Trs. nMOS 64	29000 Trs. nMOS 48	17500 Trs. nMOS 48/40
その他	供給年	1980年	1978年	1979年

* マイクロプロセッサの機能は命令の種類とその命令が使用できるアドレス形式、条件コードを加味して評価すべきであり、基本命令数の多少と機能とは必ずしも一致しない。

表-3 16ビットマイクロプロセッサの実行時間(μs)¹⁾

オペレーション	データタイプ	8086	Z8000	68000
レジスターレジスタ MOVE	バイト/ワード	0.40	0.75	0.50
	ロングワード	0.80	1.25	0.50
メモリーレジスタ MOVE	バイト/ワード	3.40	3.50	1.50
	ロングワード	6.80	4.25	2.00
メモリーメモリ MOVE	バイト/ワード	7.00	7.00	2.50
	ロングワード	14.00	8.50	3.75
メモリーレジスタ 加算	バイト/ワード	3.60	3.75	1.50
	ロングワード	7.20	5.25	2.25
メモリーメモリ 比較	バイト/ワード	7.00	7.25	3.00
	ロングワード	14.00	9.50	4.00
メモリーメモリ 乗算	バイト	13.00	20.25	N/A
	ワード	23.00	16.00	8.75
	ロングワード	115.20	85.75	43.00
条件ブランチ	成立時	1.60	1.50	1.25
	不成立時	0.80	1.50	1.00
モディファイ インデックス イフゼロ ブランチ サブルーチン	成立時	2.20	2.75	1.25
		3.80	3.75	2.25

ジスタは32ビットあるいは64ビット長として使うこともできる。周辺 LSI の整備も進みつつあり、今後の普及が期待できるマイクロプロセッサである。

3.1.2 上位16ビットマイクロプロセッサ

16ビットマイクロプロセッサの市場は、ここ数年で拡大すると予想されているが、現在の16ビットマイクロプロセッサの上位をゆくものがすでに発表されている。図-3(a), (b), (c)にそれぞれ68000系, 8086系, Z8000系 CPU の展開を示す。全般的な特徴は次のとおりである。

(1) オブジェクトレベルで上位コンパチブルである。

(2) 8ビットバス版が用意されている。

(3) マルチタスク/仮想記憶をサポートする傾向にある。

68000ファミリでは68000を中心として、例外処理機能を強化した68010(後述)、データバスを8ビットにした68008、さらに32ビット化した68020へと発展させている。8086ファミリは品種展開が最も豊富であり、8ビットデータバスの8088、周辺素子機能を

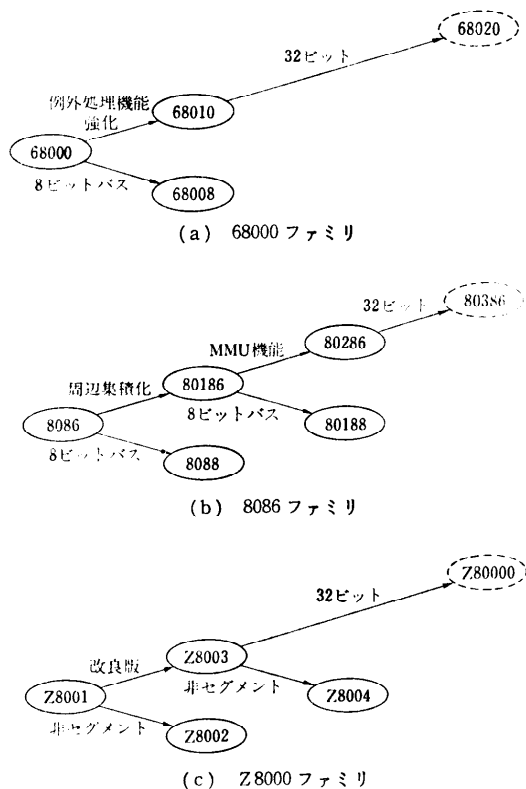


図-3 16ビットマイクロプロセッサの展開

オンチップ化した 80186 (後述), 80186 の 8 ビットバス版 80188, 8086 に MMU (Memory Management Unit) 機能を集積化した 80286 (後述), さらに 32 ビットマイクロプロセッサ 80386 へと展開している。Z8000 ファミリーは Z8001 を非セグメント化した Z8002, 仮想アドレス空間が扱いやすくなるよう Z8001 を改良した Z8003, Z8003 を非セグメント化した Z8000, さらに 32 ビットマイクロプロセッサ Z80000 と品種展開を図っている。

a. 68010

68010 は 68000 の改良版であり次の特徴を有する¹⁵⁾。

- 68000 とピンレベルで上位コンパチブルである。
- バスエラー例外処理後に, バスエラーを生じた部分からの再実行ができる。
- スーパーバイザモードでファンクションコード出力 (FC2~1) を操作できる。
- 例外ベクタテーブルを任意のアドレスに設定できる。
- 一部の命令が高速化された。(例えばビット操

作, 分岐, 除算命令など)

- バスエラー検出タイミングの改良。

従来の 68000 ではバスエラーが生じた場合, プログラムカウンタの値が特定できないという欠点があった。68010 ではこの点が改善され, バスエラーが生じた部分からの再実行が可能になった。これにより仮想アドレス空間のサポートが容易になった。

b. 80186

80186 は 8086 MPU に各種周辺機能を取り込み 1 チップ化したもので次の特徴をもつ¹⁶⁾。

- 8086 とソフトウェアコンパチブルである。
- クロックジェネレータ, DMA 機能, 割込みコントローラ, タイマなどを 1 チップ化した。
- 乗算命令の高速化。
- 10 種類の命令を追加した——特にサブルーチン機能を強化した。
- 不正命令のトラップ。

80186 は周辺機能の集積化によるコストダウンならびに実装面積減少による応用範囲の拡大などを図っており, 8086 システムの設計者にとっては非常に魅力的な LSI である。このチップは 68 ピンのリードレスタタイプのパッケージに実装されている。

c. 80286

80286 は 8086/80186 の上位機種であり, チップ上に MMU 機能を取り込んだマイクロプロセッサである¹⁷⁾⁻¹⁹⁾。集積度は約 12 万素子である¹⁷⁾。80286 には実アドレスモードと保護仮想アドレスモードの 2 種類のアドレスモードが用意され, 実アドレスモードは 8086 とソフトウェアコンパチブルである。また, このプロセッサには MSW (Machine Status Word), セグメントレジスタキャッシュ, タスクレジスタおよびデスク립タテーブルレジスタというレジスタ類が追加されており, 保護仮想アドレスモードの際に使用される。保護仮想アドレスモードでは, 16M バイトまでの実アドレス空間と各タスクごとに 1G バイトまでの仮想アドレス空間が得られる。8086 は 1M バイト実アドレス空間を有していた。これに対して 80286 を使用すれば, 従来の 8086 のソフトウェア資産を継承しつつ 1G (2³⁰) バイトまでの仮想アドレス空間をアクセスできる。

この他, タスク切替えの際のコンテキスト回避/復帰が高速化されており, リアルタイムシステムへの応用にも適している。80286 は 68 ピンリードレスタタイプのパッケージに実装されており, アドレスバスとデー

表-4 32ビットマイクロプロセッサ LSI の概要

項目	NS 16032	BELLMAC-32 A	HP 32 ^o CPU	iNTEL iAPX 432
LSI 技術	3.5 μ m NMOS	2.5 μ m CMOS	1.5 μ m NMOS	HMOS
トランジスタ数	60 ktrs	146 ktrs	450 ktrs	219 ktrs/3 chips
チップサイズ	7.4mm ^o	10.0mm ^o	6.3mm ^o	8.1mm ^o (110 ktrs/IDU chip)
消費電力	1.25W	0.8W at 8MHz	4W	2.5 W/chip
ピン数	48	63	83	64
基本クロック	10MHz	10MHz	18MHz	8MHz
内部データ長	8, 16, 32 bits	8, 16, 32 bits	8, 16, 32, 64 bits	8, 16, 32, 64, 80 bits
外部データ長	16 bits	32 bits	32 bits	32 bits
直接アドレスレンジ	16 Mbyte	4 Gbyte	4 Gbyte	64 Kbyte
仮想アドレスレンジ	16 Mbyte	4 Gbyte	4 Gbyte	4 Gbyte
汎用レジスタ数	8	16	28 (すべて汎用ではない)	ユーザ用のレジスタは 無い
基本命令数	82	169	230	221
アドレスモード数	9	18	10	5

タバスは分離している。

3.2 32ビットマイクロプロセッサ

1981年、国際固体回路会議 (ISSCC) にて、インテル社²⁰⁾、ヒューレット・パッカード社¹⁾、ベル研²¹⁾、ナショナル・セミコンダクタ社²²⁾から32ビットマイクロプロセッサが一斉に発表された。

その後デジタル・イクイップメント (DEC) 社、エス・シー・アール (NCR) 社などからの発表もあるが、現在上記4社のマイクロプロセッサが32ビットマイクロプロセッサの代表的なものとしてあげられる。

一方、インテル社、モトローラ社、ナショナル・セミコンダクタ社およびザイログ社などは、80386, 68020, 32032, Z-80000 と呼ばれる32ビットマイクロプロセッサの開発計画を発表している。32ビットマイクロプロセッサの開発は、今後も引き続き行われると思われる。

本稿では、すでに開発されている上記4種のマイクロプロセッサについて比較し、32ビットマイクロプロセッサの技術動向を考察する。

3.2.1 LSI の概要

表-4に NS 16032, Bell MAC 32-A, HP 32 bit-CPU, インテルの iAPX-432 の VLSI プロセッサの諸元を示す^{23), 24)} LSI 技術でみると、NS 16032, iAPX 432 のように比較的実用レベルの技術を用いているものと、HP のように先端的な技術を用いているものに分かれる。これは開発の主眼点をマイクロプロセッサのアーキテクチャに置いているか、LSI 技術の開発に置いているかの違いであるといえる。

一般に高性能マイクロプロセッサに期待される項目としては、

- (1) 速度および性能の向上
- (2) アドレス空間の拡大
- (3) プログラムの記述しやすさ
- (4) データ精度

等があげられる。

32ビットマイクロプロセッサが本格的に普及する時期には、性能向上と同時にソフトウェアの開発効率が大いなる問題となると予想される。プログラムの開発のしやすさがマイクロプロセッサの重要なファクタとなるであろう。また CPU チップ単体の性能の向上は勿論であるが、マイクロプロセッサシステム全体としての性能向上を目指すことにもなる。

iAPX-43 は、このような意図を持って開発されたと考えられる。すなわち、iAPX-432 はマルチプロセッサ用 OS、高級言語 Ada のためのアーキテクチャを有し、使い易さと、高信頼性を考慮した先端的なアーキテクチャに挑戦したプロセッサであるといえる。

一方ヒューレット・パッカード社の32ビットCPUは、加工線幅1.5 μ m という最先端のVLSI技術を用い、45万個のトランジスタをチップ上に搭載し、マシンサイクル55nsec という高集積、高速性を追求したプロセッサである。Bell MAC 32 A は、今後のVLSIの本流デバイス技術となると予想されているCMOS技術を用いている。高集積、高速化が進むにつれて、LSIチップの消費電力ネックがクローズアップしてくる。

CMOS 技術は、これを解決するアプローチとして、今後の VLSI で広く用いられるであろう。また、Bell MAC-32A で特に強調される点は、高度な CAD 技術の利用によって開発された点である。数万～数十万個のトランジスタのマイクロプロセッサの開発は、LSI チップのみについても、尨大な開発マンパワーを必要とする。VLSI の開発を効率良く行うためには、

CAD, DA システムの充実が不可欠となる。

上記のように、1981年に発表された32ビットマイクロプロセッサは、VLSI プロセッサを実現する上で3つの技術の柱となる「マイクロプロセッサ・アーキテクチャ」、「VLSI プロセス・デバイス技術」「CAD/DA 技術」の各技術開発に先導的な役割を果たしているといえる。

表-5 32ビットマイクロプロセッサの機能の比較¹⁾

	NS 16032	BELLMAC-32A	HP 32 ^h CPU	iAP×432
システムストラクチャ				
・ユニフォームアドレッシング	○	○	○	○
・モジュールマップ/モジュール	○	×	×	○
・仮想記憶	○	○	○	○
基本データタイプ				
・ビット	○	○	○	○
・整数バイト/ハーフワード	○	○	○	○
・整数ワード	○	○	○	○
・論理バイト/ハーフワード	○	○	○	○
・論理ワード	○	○	○	○
・キャラクタストリング (可変)	○	○	○	○
・BCD バイト	○	×	×	×
・BCD ワード	○	×	○	○
・32 ^h 浮動小数点	×	×	○	○
・64 ^h "	×	×	○	○
・80 ^h "	×	×	×	○
データ構造				
・スタック	○	○	○	○
・アレイ	○	○	○	○
・バックドアレイ	○	×	×	×
・レコード	○	×	×	○
・バックドレコード	○	×	×	×
・ストリング	○	○	○	○
基本制御操作				
・条件コードプリミティブ	○	○	○	○
・ジャンプ	○	○	○	○
・条件ジャンプ	○	○	○	○
・ループ制御	○	×	○	○
・サブルーチンコール	○	○	○	○
・マルチウェイジャンプ	○	○	○	○
・直交形命令セット	○	○	○	○
制御構造				
・外部プロセッサコール	○	○	○	○
・セマフォ	○	○	○	○
・トラップ	○	○	○	○
・割込	○	○	○	○
・スーパーバイザコール	○	○	○	○
・オブジェクト	○	×	×	○
・階層形 OS	×	○	×	○

3.2.2 32ビットマイクロプロセッサ・アーキテクチャ

32ビットマイクロプロセッサのアーキテクチャに関しては、詳細な資料が発表されていないものもあるため、個々のプロセッサのアーキテクチャについて十分な検討は行わない。本稿では、前記4種のプロセッサのアーキテクチャ上の特徴を比較しながら、技術動向を探る。表-4 にみられるように、32ビットマイクロプロセッサは、8, 16, 32ビットのデータを扱うことが基本である。ただ NS16032 は、内部では32ビットであるが、外部は16ビットのデータ幅となっている（モトローラの68000も同様である。）。しかし次期のNS32032は外部32ビットとした本格的な32ビットマイクロプロセッサとなる計画が発表されている。

直接アドレス可能な空間は、16ビットマイクロプロセッサよりさらに広がり、数ギガバイトにまで達するものが現れてきた。プログラムの開発のし易さという点から、直接アドレス可能なアドレス空間の拡大と仮想記憶機能はさらに強化されている。

表-5 に、32ビットマイクロプロセッサの処理機能の比較を示す²³⁾。NS16032、iAPX-432では、モジュラ・プログラミングをサポートする機能を強化し、高水準プログラミング言語によるソフトウェアの開発効率の向上を図っている。

データのタイプをみると、一つの特徴的な事柄に気づく。NS16032、Bell MAC-32Aのように浮動小数点データを扱う専用機能を持たないものと、HP、iAPX-432のようにCPUに、それらの機能を持たせるものに分かれる。前者は、NS16032のように浮動小数点演算用の付加プロセッサNS16081を用いることにより、システム全体としてスループットを向上させようとするアプローチである。（16ビットマイクロプロセッサでは、このアプローチがとられている。）CPUにすべての機能を集中的に搭載させるか、CPUと専用付加プロセッサとで機能の分散化を図りシステムとしてのトータルパフォーマンスを向上させるか、今後のマイクロプロセッサのアーキテクチャ上での重要な検討課題となろう。

高性能マイクロプロセッサでは、アレイ、レコードあるいはストリングなどの各種データ構造を効率良く処理することへの要求が高い。32ビットマイクロプロセッサでは、16ビットの時以上にこれらのデータ構造に対する操作を強化するようになるであろう。NS16032、iAPX-432は、アーキテクチャに開発の主眼

が置かれているので、他のプロセッサに比べ、応用上重要と考えられるこれらの機能の強化が用られている。

16ビットマイクロプロセッサのときもそうであったが、ソフトウェアが大規模化することによって、OSの役割が重要になってきた。32ビットマイクロプロセッサでは、さらにOSのウェイトが高くなるであろう。CPUのアーキテクチャにも、OSを効率良く動かすための機能がますます導入されてくるであろう。マルチプロセッサ、マルチ・タスクおよびマルチユーザなどの応用形態を考慮したシステム制御機能は殆んどのプロセッサにとり込まれている。

さらにiAPX-432のように、オブジェクト志向のアーキテクチャは、Adaのような高水準言語をサポートするためのものである。他のマイクロプロセッサに比べると先駆的なアーキテクチャであり、現時点でこのようなアーキテクチャが妥当であるかどうかという意見もあるが、将来的にみると一つの方向を指し示していると考えられる。

32ビットマイクロプロセッサは、現在開発中のものも多く、さらに本格的な普及は1980年代の後半ともいわれている。その動向が明確になるものは数年先となるであろう。16ビットマイクロプロセッサの延長線上で発展するか、新しいアーキテクチャが主流になるか、今後の展開が楽しみである。

3.3 新しいアプローチ

かつて集積度の面で実現が問題外とされていたストリックアレイ²⁵⁾のようなものが具体的に提案されるようになったり、あるいはソフトウェアの生産性、ハードウェアの設計のしやすさを考慮したVLSIチップが検討されるようになってきた。最近注目を集めているのがRISC (Reduced Instruction Set Computer)²⁶⁾である。これらについてはすでにすぐれた解説記事²⁷⁾も掲載されているので、本稿ではRISCの最近の話題を1つ紹介する。

1983年2月、国際固体回路会議 (ISSCC) において、インモス社*からS14という名称のマイクロプロセッサが発表された²⁸⁾。表-6にS14の諸元を示す。注目すべき点は5 MIPS (20 MHz) という高性能を実現したことである。参考までに68000 (8 MHz) は1~1.5 MIPSといわれている。

次に注目すべき点は8500トランジスタというデバイス数の少なさである。RISCアプローチを採用する

* 英国の半導体メーカー

表-6 S14 の諸元

		S14
データ幅		16ビット
命令数		48
性能	MIPS	5 MIPS
	レジスタ間加算	30 ns
	基本命令実行時間	100 ns
	乗除算	1 μ s
クロック周波数		20 MHz
集積度		8500 Tris.
チップ面積		3 mm ²
製造プロセス		2 μ m CMOS シリサイドゲート、一層メタル

ことにより、デバイス数が減りチップ面積も少なくなるとともに設計効率も向上させている。また、コンパクトな命令であるがゆえに、高級言語のコンパイラが効果的になるといわれている。

今後の VLSI 製造技術を用いると数 10 万トランジスタの素子を集積化できる。S14 は基本機能を持っているのみで高性能なプロセッサを実現している。この例にみられるように集積度効果を機能、性能向上にどのように生かしてゆくかが今後のマイクロプロセッサの発展のポイントになる。特に VLSI チップの性能を十分生かすことができる機能を選択してゆくことが大切である。

4. 周辺 LSI

本章では 16 ビットマイクロプロセッサ用周辺 LSI について、機能別の分類と概略説明をおこなう。

16 ビットマイクロプロセッサ用周辺 LSI はシステム全体のスループット、信頼性、使い易さの向上を十分配慮して開発されている。その特徴として、特に 8 ビット時代と比較して次の 3 点があげられる。

- (1) 浮動小数点演算用などの付加プロセッサの登場
 - (2) メモリ管理 LSI の登場
 - (3) 各種 I/O コントローラのインテリジェント化
- 以下、周辺 LSI の分類と動向について述べる。

4.1 周辺 LSI の分類

マイクロコンピュータシステムを構築する場合、CPU の性能はもちろん重要であるが、周辺 LSI の果たす役割は大きい。図-4 は周辺 LSI を大きく分類したものであり、以下の 6 種類とした。

- (1) メモリ管理 LSI—MMU
仮想メモリアドレスのアドレス変換、ページフォルト

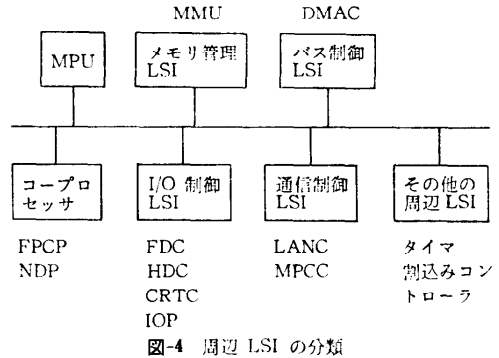


図-4 周辺 LSI の分類

の制御

- (2) バス管理 LSI—DMAC, バスアービタ
ダイレクトメモリアクセス法によるデータ転送制御。
バスのアービトレーション

- (3) 付加プロセッサ—数値演算用 LSI
浮動小数点演算, 超越関数の演算, テキストプロセッサなど

- (4) I/O 制御 LSI—IOP, HDC, CRTC
汎用入出力制御, ディスク/CRT の制御

- (5) 通信制御 LSI—ネットワークコントローラ
ローカルエリアネットワークの転送制御, 同期/非同期通信制御

- (6) その他の LSI—タイマなど
タイマ, I/O ポート, 割込み優先制御

4.2 周辺 LSI の動向

表-7 に現在入手できるあるいは開発中の 16 ビットマイクロプロセッサ用周辺 LSI を示す。表-7 にみられるように、各系列のマイクロプロセッサとも、その周辺 LSI の開発が活発である。ここ数年のうちに 16 ビットマイクロプロセッサの LSI ファミリーが整備され、一層使いやすくなるであろう。周辺 LSI の多くは、各 MPU 向きに設計されているが、I/O 制御, ネットワーク制御などの周辺 LSI は各マイクロプロセッサ系列にわたって共通的に用いられていることが特徴的である。

5. ソフトウェア

5.1 言語

ここでは高性能マイクロプロセッサ用システム記述言語として、S-PL/H, C, PASCAL, ADA に焦点を絞り、これらの技術動向について述べる。

初めにこれらの共通の特徴を示す。

- (i) 構造化プログラミング用の機能がある。

表-7 16ビットマイクロプロセッサ用周辺 LSI

	68000 周辺 LSI	8086 周辺 LSI	Z 8000 周辺 LSI
メモリ管理	68451 MMU		Z 8010 MMU Z 8015 PMMU**
バス制御	68450 DMAC** 68440 DDMA 68452 BAM	8089 IOP 8288 バスコントローラ 8289 バスアービタ	Z 8016 DTC
数値演算コプロセッサ	68881 FPCP**	8087 NLP	Z 8070 APU**
I/O 制御	63463 HDC*** 63484 ACRTC*** 68454 IMDC**	μPD 7261 HDC*** μPD 7220 GDC**	Z 8052 CRTC**
ネットワーク制御	68590 LANCE**	82586 LAN	
同期/非同期通信制御	68561 MPCC 68562 DUSCC** 68564 SIO 68652 MPCC	μPD 7201 MPCC**	Z 8030 SCC
その他の周辺 LSI	68230 PI/T	8259 PIC	Z 8036 CIO Z 8038 FIO Z 8060 FIFO

** 開発中の LSI

** 国内メーカーの設計による LSI

** 8ビット用 LSI

(ii) 単純データ型としては、整数型、実数型、ポインタ型等がある。複合型としては、配列型、構造体型が最低限備わっている。

(iii) 変数メモリ割付け機能としては、一般的な再配置割付け以外に、動的割付け機能を持っている。

以下、各言語の特徴を示す。

(1) S-PL/H

S-PL/H は 68000 のアーキテクチャの特徴を生かした効率のよいコーディングができる。この言語には、状態レジスタフラグ、入出力ポート、スタックポインタ等の参照、割込み制御、割込み手続き等の機能がある。したがって機器制御のような分野に対しても、ほとんどアセンブラを用いずにコーディングができる。この系統の言語には 8086 用に PL/M-86 がある。

(2) C

この言語は後述の UNIX という OS のために作られたが、現在ではマイクロプロセッサから大型機にまで移植されている。このような移植を可能にした主な理由は C 言語の採用である。C 言語は高水準な機種非依存性を持ちながら、同時に効率的な機械語生成が可能な豊富な演算子を持っている。さらに C コンパイラは、対象の機械語の変更に対しても容易に対処が可能のように構成されているものが多い。

(3) PASCAL

この言語の設計方針の 1 つは、系統的なプログラムの作り方を教えるのに適した言語を作ることであった。

言語の特徴はデータの型に現れている。型とはある値の集合であると定義する。この値を計算機上での物理的表現としての値とは関係なく、数学の集合論的立場から見直す。これによって名前を要素とするスカラ型や、複合的値を要素とする配列型又はレコード型が、型宣言によって変数宣言とは別に定義できるようになった。これは次に述べる抽象的データ型への発展に重要な貢献をした。

(4) Ada²⁹⁾

米国防省の新言語 Ada はシステム記述言語の標準言語となる可能性を持っている。Ada の型がすべて抽象データ型であることが、Ada の特徴の一つである。抽象データ型とは、値を要素とする集合とこの集合の要素に適用可能な操作の集合の 2 つによって特徴付けられる。この新しい型の考えは、ソフトのモジュール化設計の技法に大きな影響を及ぼしている。

その他、抽象データ型とデータ実体が一体となったオブジェクトの概念の導入がみられる。これによって実現されるデータへのアクセス自動チェック機能と、

マルチプロセッサまでを対象とした並列処理機能は注目すべきものである。これらは今後の高性能マイクロプロセッサのアーキテクチャの動向に影響を与えるものと考えられる。

5.2 OS

16ビット、32ビットの高性能マイクロコンピュータは、従来のミニコンピュータ以上の性能をもち、メガバイト級の主記憶をサポートしている。中には、仮想記憶の可能なものもあり、ますますソフトウェア、特にオペレーティングシステム(OS)の全体システムにおける位置付けは重要なものとなってきている。

マイクロコンピュータのOSは用途別におおむね次の2種に分けられる。

(1) リアルタイム OS

リアルタイム OS はロボット、NC 装置、通信制御装置などリアルタイム処理を行う機器に組み込み型のマイクロコンピュータの OS である。その特徴は、いずれもイベント駆動によるプライオリティを基にしたマルチタスク処理をとっている点にある。また、タスクの高速スイッチングやイベントに対する即応性に重点がおかれている。OS 部分のオーバヘッドを小さくするため、OS のメモリ容量は 10K バイト前後のものが多い。

リアルタイム系の OS は、アプリケーションプログラム流用のニーズが少ないことも関係し、日立製作所の RMS、インテル社の RMX 86、IPI 社の MTOS など各機種ごとに様々な OS が見受けられる。

(2) プログラム開発用 OS

この分野の OS は、言語、ユーティリティのほか汎用性の高いアプリケーションパッケージなど、流通ソフトウェアの有効活用が望まれ、標準化の動きが見られる。

(i) CP/M 系、MS-DOS 系

デジタル・リサーチ社の CP/M、マイクロソフト社の MS-DOS はシングルユーザ用でシングルタスク構成である。内部構造は、周辺入出力装置依存部と非依存部とに明確に分かれているので、同種のプロセッサに限られるが、システム間の移植性が高いという特徴を持つ。

(ii) UNIX 系

UNIX³⁰⁾ はベル研究所で開発されたタイムシェアリング用の OS であり、マルチユーザ、マルチタスクをサポートしている。UNIX は、階層ファイル構造、コマンド・インタプリタである shell、豊富なソフト

ウェアツールなどの特徴がある、さらにそれ自身が C 言語で記述されており、異機種間の移植も容易である。

UNIX はミニコンピュータ用として開発されたため、CP/M 系、MS-DOS 系より、機能が高い。最近の高性能マイクロコンピュータを用いたシステムでは、OS として UNIX を採用しているものが多いと見られる。

さらに、UNIX パークレイ版では、仮想記憶機能、ネットワーク機能が追加サポートされている。高性能マイクロコンピュータは、ローカルエリアネットワーク(LAN)のワークステーションとしても使用され始めているが、パークレイ版ではその対応も比較的容易となっている。

6. ま と め

高性能マイクロプロセッサの動向について、LSI 技術、アーキテクチャ、ソフトウェアの各点から述べた。16ビットマイクロプロセッサはすでに普及の段階にあるが、より広範囲な応用分野をカバーするために現在も新たな展開がなされている。32ビットマイクロプロセッサは、より高度な LSI 技術を必要とするとともに、OS、言語を含め、VLSI チップからより VLSI システムとしての形態を強めてくるものと考えられる。さらに VLSI に適した新しいプロセッサ・アーキテクチャも研究され、今後の展開が期待されている。

一方、ソフトウェアについても、マイクロプロセッサに適した OS、言語の研究開発が盛んに行われている。

参 考 文 献

- 1) Beyers, J. W. et al.: A 32 b VLSI CPU Chip, ISSCC Digest of Technical Papers, pp. 104-105 (Feb. 1981).
- 2) 国分明男: マイクロプロセッサ, 信学誌, Vol. 65, No. 11, pp. 1146-1154 (11/82).
- 3) Stritter, E. and Gunter, T.: A Microprocessor Architecture for a Changing World—The Motorola 68000, IEEE COMPUTER, Vol. 12, No. 2, pp. 43-52 (Feb. 1979).
- 4) Morse, S. P. et al.: The Intel 8086 Microprocessor—A 16-bit evaluation of the 8080, IEEE COMPUTER, Vol. 11, No. 6, pp. 18-27 (Jun. 1978).
- 5) Orland, R. V. and Anderson, T. L.: An Overview of the 9900 Microprocessor Family, IEEE

- MICRO, Vol. 1, No. 3, pp. 38-44 (Aug. 1981).
- 6) Bal, S. et al.: The NS16000 Family—Advances in Architecture and Hardware, IEEE COMPUTER, Vol. 15, No. 9, pp. 58-67 (Jun. 1982).
 - 7) 喜田ほか: 68000 マイクロコンピュータ, 丸善 (1983).
 - 8) 田辺ほか: 8086 マイクロコンピュータ, 丸善 (1983).
 - 9) 糸ほか: 16ビットマイクロプロセッサ, 丸善 (1981).
 - 10) 飯塚ほか: マイクロコンピュータアーキテクチャ, オーム社 (1982).
 - 11) 石田ほか訳: 16ビット・マイクロプロセッサ, bit 別冊, 共立出版 (1982).
 - 12) Muroga, S.: VLSI SYSTEM DESIGN, John Wiley (1982).
 - 13) Toong, H. D. and Gupta, A.: An Architectural Comparison of Contemporary 16-bit Microprocessors, IEEE MICRO, Vol. 1, No. 2, pp. 26-37 (May 1981).
 - 14) Prycker, M. D.: A Performance Comparison of Three Contemporary 16bit Microprocessors, IEEE MICRO, Vol. 3, No. 2, pp. 26-37 (Apr. 1983).
 - 15) 本田博信: MC68000 ファミリーの上位機種について, 情報処理学会マイクロコンピュータ研究会資料 22 (1982年7月).
 - 16) インテル社: ハイコスト・パフォーマンス 16ビット CPU-iAPX 186, インテルジャパンニュース, Vol. 6-3 (1982年6月).
 - 17) Slinger, J. et al.: A 16b Microprocessor with On-Chip Memory Protection, ISSCC Digest of Technical Papers, pp. 24-25 (Feb. 1983).
 - 18) インテル社: 新 16ビット・マイクロシステム iAPX 286, インテルジャパンニュース, Vol. 6-2 (1982年4月).
 - 19) インテル社: iAPX 286 入門, 資料番号 9800640 J (1982).
 - 20) Lattin, W. W. et al.: A 32b VLSI Micromainframe Computer System, ISSCC Digest of Technical Papers, pp. 110-111 (Feb. 1981).
Budde, D. L. et al.: The 32b Computer Execution Unit, ISSCC Digest of Technical Papers, pp. 112-113 (Feb. 1981).
 - Richardson, W. S.: The 32b Computer Instruction Decoding Unit, ISSCC Digest of Technical Papers, pp. 114-115 (Feb. 1981).
 - Bayliss, J. A.: The Interface Processor for the 32b Computer, ISSCC Digest of Technical Papers, pp. 116-117 (Feb. 1981).
 - 21) Murphy, B. T.: A CMOS 32b Single Chip Microprocessor, ISSCC Digest of Technical Papers, pp. 230-231 (Feb. 1981).
 - 22) Kohn, L.: A 32b Microprocessor with Virtual Memory Support, ISSCC Digest of Technical Papers, pp. 232-233 (Feb. 1981).
 - 23) Gupta, A. and Hoo-min, D. T.: An Architectural Comparison of 32-bit Microprocessors, IEEE MICRO, Vol. 3, No. 1, pp. 9-22 (Feb. 1983).
 - 24) Kang, S. M. et al.: Gate Matrix Layout of Random Control Logic in a 32-bit CMOS CPU Chip Adaptable to Evolving Logic Design, IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, Vol. CAD-2, No. 1, pp. 18-29 (Jan. 1983).
 - 25) Mead, C. and Coway, L.: An Introduction to VLSI Systems, Addison Wesley (1980).
 - 26) Patterson, D. A. and Sequin, C. H.: A VLSI RISC, IEEE COMPUTER, Vol. 15, No. 9, pp. 8-21 (Sep. 1982).
 - 27) 坂村, 石川: VLSI コンピュータ・アーキテクチャ, 情報処理, Vol. 24, No. 2, pp. 156-175 (1983).
 - 28) Cauil, P. J.: An Interactive, Integrated, Hierarchical CAD System for Microprocessor Design, ISSCC Digest of Technical Papers, pp. 136-137 (Feb. 1983).
 - 29) Ada Programming Language, ANSI/MIL-STD-1815 A (Jan. 1983).
 - 30) Ritchie, D. M. and Thompson, K.: The UNIX Time Sharing System, The Bell System Technical Journal, Vol. 57, No. 6, pp. 1905-1929 (Jul. Aug. 1978).

(昭和 58 年 8 月 11 日受付)