

解 説

4. 論理装置の故障診断



4.3 マイクロプロセッサのテスト手法と テスト容易化設計†

小 嶋 徹†† 増 井 捷 宏†† 奥 村 憲 三††

1. はじめに

現在、メモリ IC では 256 K ダイナミック RAM や 64 K スタティック RAM の量産が間近であり、1 M ダイナミック RAM の開発も発表されている。論理 LSI の分野では 16 ビットマイクロプロセッサが実用化され、周辺 LSI の機能、性能の向上が図られている。また 32 ビットマイクロプロセッサも一部では実用化されており、集積回路は高性能、高性能化に向けて VLSI 時代に突入した感がする。これにともない設計工数の増加とテストの困難さはますます重大になってきている。

開発段階におけるテストの役割は、機能設計、論理設計、回路設計及びマスク設計の総合的な検証と、ウェアプロセスの確認を行うことにある。各設計段階ではそれぞれあるモデルに基づいて検証が行われるが、物理的な妥当性はテスト工程で初めて検証されることになる。

一般に回路の論理機能のテストは入力端子に一連の刺激パターンを印加し、その応答を出力端子で観測することにより行う。テストパターンは、入力へ加える刺激信号系列のことを言うが、入出力の信号系列を総称して呼ぶ場合もある。

テストパターンを論理回路情報から計算機により自動的に求めようとするのがテストパターン発生技術 (ATPG: Automatic Test Pattern Generation) である。これは対象が組合せ回路なら完全に求まるが、順序回路を多数含む論理回路に対しては種々の試みがなされているが実用レベルに達していない。

マイクロプロセッサを含めた論理 LSI のテスト困

難さの要因は、内部が大規模、複雑であり、かつ信号の入出力が外部端子に限られているためにテストパターンが複雑になり、作成に多大の手間を要することにある。そこで設計段階からテストしやすい回路構成にしておくことが重要になる。テスト容易性判定技術、テスト容易化設計、組込みテストなどがテスト容易化へのアプローチである。

LSI テスタは VLSI に対応するために、テストパターンを収容するパターンメモリの長大化、ピンエレクトロニクス (ドライバ/コンパレータ等) の高速、高精度化および自動校正の導入、そしてテストパターン開発ツール、デバイス評価装置としてのマンマシンインタフェースの充実が進んでいる。

本稿では、テストパターン生成、テスト容易化設計、LSI テスタおよびマイクロプロセッサのテスト手法を概説する。

2. テストパターン生成

テストパターンの品質つまり有効性は回路内で予想される故障を検出できる割合で定量的に表わされる。これを故障検出率と呼び、故障シミュレーションを行うことで評価できる。故障 (fault) は回路内の物理的欠陥 (defect) により回路動作不良の原因となるものである。

故障の種類は LSI テクノロジに依存するものであり、微細加工技術が高度になるほど隣接要素の影響を受けやすくなる¹⁾。したがって基本論理が変わるような故障、データに依存する複雑な故障なども現在では考える必要がでてきている。しかし CAD 処理での故障モデルはプログラミング上扱いやすいために単一縮退故障がよく用いられる。単一縮退故障モデルは、ゲートまたは機能ブロックの入力または出力が 0 または 1 に常時しばられる状態であり、回路内に同時に 2 個以上の故障が存在しないモデルである。このモデル

† Design for Testability and Test Method for Microprocessor by Tohru KOJIMA, Katsuhiko MASUI and Kenzoh OKUMURA (Engineering Dept., 5 I.C. Division, Electronic Components Group, SHARP Corporation).

†† シャープ(株)電子部品事業本部集積回路事業部第5技術部

が用いられる他の理由は、ゲートまたは機能ブロックの入出力の縮退故障を検出するテストパターンにより、実際の回路に発生する故障の大部分を検出できることが経験上知られていることにある。

さらに詳細については本特集集中の「テストとCAD」(樹下)、「テスト生成と故障シミュレーション」(藤原)を参照されたい。

3. テスト容易化設計²⁾

設計段階からテスト容易性を考慮する技術を総称してテスト容易化設計 (design for testability) と呼んでいるが、アドホック方式、スキャンデザイン方式、組込みテスト方式に大別される。

アドホック方式は論理分割やテスト端子を付加することでテストビリティを向上させる手法である。テストビリティはテスト容易性を計る尺度として定義される。これを論理回路情報から定量的に算出するのがテストビリティ・メジャ・プログラムである^{3),4)}。いくつか発表されているが統一した尺度はまだできていない。しかしテスト端子を付加しなければテストできないとか、論理分割をした方がよい等の情報は与えてくれるので、設計段階のCADツールとしての実用性は高まると考えられる。

3.1 スキャンデザイン方式

順序回路を多用する論理回路に ATPG の適用が困難であることは先に述べた。一つの解決策は順序回路を組合せ回路に展開することである。順序回路の状態を任意に設定、観測できるようにすると同時に、組合せ回路化が可能のように回路構成を構造的に変えてしまおうとする試みがなされている。IBM⁵⁾、日本電気⁶⁾、UNIVAC⁷⁾ などから回路構成が少しずつ異なる方法で発表されているが、原理的には回路内部のすべての順序回路をテストモード時に一本のシフトレジスタとして動作させることにある。テストモード時にシリアルデータを入力し(スキャンイン)、任意に順序回路の状態設定を行い、次にノーマルモードにして順序回路の状態を変化させ、その内容をテストモードに切り替えてシリアルに読み出して(スキャンアウト)確認する。各社から発表されている方法はこのようなスキャン動作を基本としているので、一般にスキャンデザインと呼ばれる。ここでは一例として LSSD (Level Sensitive Scan Design) を説明する。

LSSD は System/38 に採用された方式で、2つの設計概念のもとに作られた。一つは回路内の全 FF を

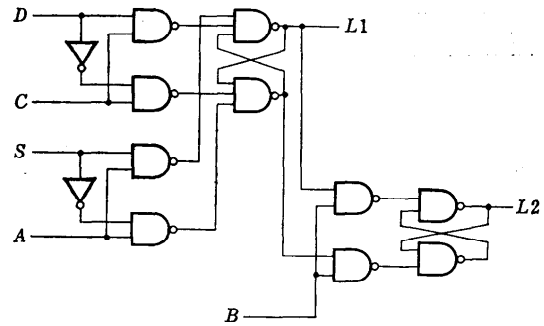


図-1 SRLの構成

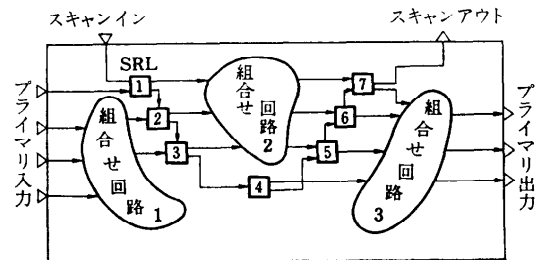


図-2 SRLによるシフトレジスタ

テストモード時にシフトレジスタとなる構造にしていることである (Scan Design)。他はテストモード時のシフトレジスタが、クロックの立上り/立下り時間や遅延時間等の AC 特性のパラツキで誤動作しないようにクロックを多相化している点である (Level Sensitive)。LSSD の基本 FF, SRL (Shift Register Latch) を 図-1 に示す。SRL はシステム動作時 (ノーマルモード) は $A=0$ で、クロック C, B で動作する。シフト動作時 (テストモード) には $C=0$ で、クロック A, B で動作する。すなわち SRL は、2相クロックで動作するマスタ・スレーブ形の FF となる。SRL を 図-2 のように接続することにより、シフトレジスタを構成することができる。

スキャンデザイン方式では内部 FF の状態設定と確認にシリアルなテストパターンを使用する。回路規模が大きく順序回路が多くなれば、状態の設定と確認に大量のシリアルデータをスキャンイン、アウトしなければならない。またテスト時間短縮のために高速で行う必要もある。

3.2 組込みテスト方式

組込みテスト方式は、LSI 内部にテスト機能を組み込み外部からテスト実行命令を与えるだけで、LSI 自身がテストを実行しその結果を表示する方法である。

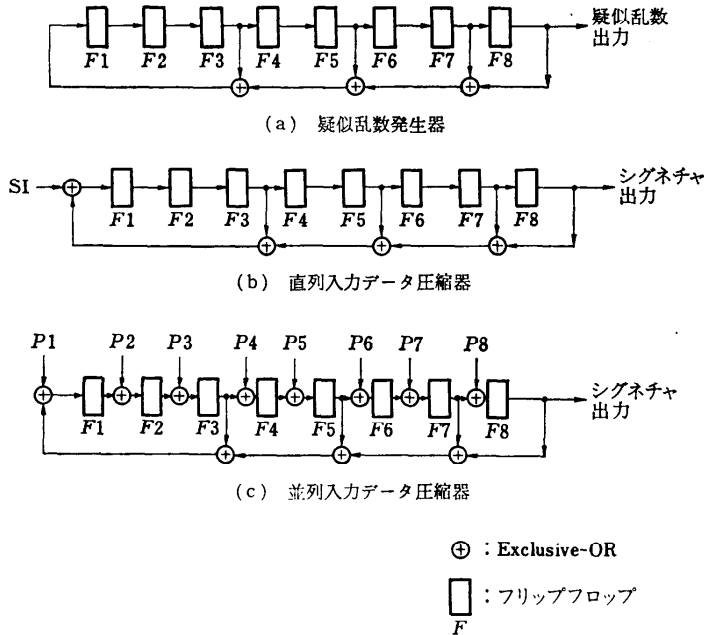


図-3 LFSR

したがってテストパターンを準備する必要もなく、また高機能の LSI テスタを使うことも不要となる。パターン発生器としては LFSR (Linear Feed Back Shift Register) を用いる。またテスト結果の評価にはすべての出力データを見るのではなく、LFSR で圧縮して結果だけを見るシグネチャ解析法 (Signature Analysis) が使われる。

LFSR の特長は m ビットシフトレジスタと EOR ゲートだけの少ないハードウェアで、 m ビット幅のテストパターンを $(2^m - 1)$ 種類生成できることにある。

更にそのシーケンスはランダムに近いので疑似ランダムパターン発生器として使用できる (図-3(a))。また LFSR はシリアルデータ圧縮 (図-3(b)) にもパラレルデータ圧縮 (図-3(c)) にも用いられる。圧縮されたデータをシグネチャと呼ぶ。

ランダムパターンによるテストは組合せ回路には有効であるが、順序回路を多数含む回路については高い故障検出率を期待できない。そこでシグネチャ解析とスキャンデザインとを組合せた BILBO (Built In Logic Block Observer) が考えられている⁹⁾。ここでは、LFSR に4つの機能 (ランダムパターン発生、パターン圧縮、スキャンデザイン、ラッチ) を持たせ、目的によって選択できるような構成になっている。

図-4 の例では⁹⁾、すべての入出力端子に FF を置

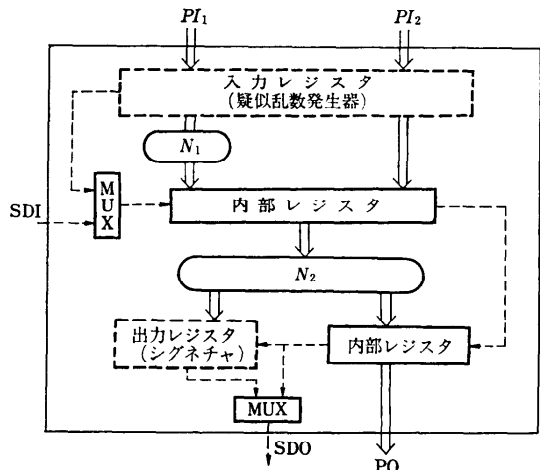


図-4 組み込みテスト (Storage Technology 社)

き、入力端子側の FF で疑似ランダムパターン発生用の、出力端子側の FF でデータ圧縮用の LFSR を各々構成する。テストの手順は、① 疑似乱数発生器は入力端子から、シグネチャと内部レジスタは、SDI からスキャンインして初期値を設定する。② ノーマルモードにして、内部レジスタにシステムクロックを供給して、組合せ回路 (N_1 , N_2) による変化を内部レ

ジスタに取り込む。③ テストモードにして、スキャンクロックを供給し、入力側の LFSR よりシリアル・ランダムパターンを内部レジスタにスキャンインさせると同時に、シグネチャに圧縮する。②③ を繰返し、最後にスキャンデータ出力 (SDO) でシグネチャを観測する。

以上のように組み込みテスト LSI の開発は盛んであり、回路素子数が 20~30% 増加するとか、テスト用端子が 3~8 端子増加する等の問題もある。しかし、ハードウェア量の増加よりもテストコストの増加が問題となるある種の VLSI に対して有効な手段であり、今後の発展が期待されている。

4. LSI テスタ^{10),11)}

LSI テスタは、LSI の進展を追いかける形で機能・性能の向上を図ってきた。図-5 に LSI テスタの発展経過を示す¹⁰⁾。現在、第 4 世代の論理 VLSI テスタの出荷が始まっている。

次に、論理 VLSI テスタの特徴を述べる。

(1) 多ピン化：ゲートアレイ等多ピン化傾向に対応するために~256 ピン構成になっている。

(2) 高速化：20 MHz~40 MHz が主流になりつつある。

(3) 高精度化：試験周波数の高速化にともない、タイミング精度が問題になる。自動タイミング補正機能を有している。

(4) パターンメモリの長大化：32 K~64 K ワードが主流である。1 M ワードのパターン長を持つテスタもある。

(5) 試験モード：論理 LSI ではピン機能が複雑であるために、試験モードとして試験サイクルごとの I/O、Hi/Lo、マスクおよび、Hi-Z の切り替えがピ

ンごとに独立でしかもリアルタイムに制御できる。

(6) 高機能化：テスト容易化設計を取り入れた論理 VLSI のテストに対応できるシリアルパターン発生やアルゴリズム・パターン発生の機能を備えている。上記の他に、ダイナミックプログラム・ロードや直流テスト系の複数台装備などテスト効率向上の工夫がなされている。しかし、高機能・高性能であるがために高価格であり、量産時テストの低コスト化という観点から、機能・性能とテストコストとのトレードオフを考慮することが重要である。

5. マイクロプロセッサのテスト手法^{12),13)}

マイクロプロセッサ (MPU) LSI のように入出力端子数の割に内部が複雑な論理回路を、必要かつ十分にテストする一般的手法は見出されていない。グラフ理論を用いたファンクショナルレベルテスト生成法¹⁴⁾が発表されているが決定的ではない。MPU のテストにはインストラクションとオペランドの組合せ、更に順序を考える必要があり、その可能な組合せは膨大になりすべてを尽すことはできない。しかし効果的なテストができないということではない。

最近になり、MPU の周辺 LSI や 32 ビット MPU でテスト容易化設計が実用化され出しており、一部では ATPG の適用例も報告されている。しかし現在大量に使用されている 4, 8, 16 ビット MPU のテストパターンはほとんどが人手作成によるものであろう。

図-6 にシャープ 8 ビット 1 チップ MPU, LH 0801 のブロック図を示す。本 MPU は 8 ビット汎用 MPU の機能の上に、2 K バイト ROM, 124 バイト RAM, カウンタ/タイマ, 非同期レシーバ/トランスミッタ (UART) 等を内部に持っており、小規模シ

	第1世代 (1965~)	第2世代 (1969~)	第3世代 (1972~)	第4世代 (1980~)
試験対象	SSI	SSI/MSI	LSI	VLSI
測定可能なピン数 (ピン)	~16	~24	~128	~256
機能上の特徴	<ul style="list-style-type: none"> ・直流テストのみ ・現在は、マイクロコンピュータ制御 	<ul style="list-style-type: none"> ・低速ファンクショナルテスト ・ミニコン制御 ・テストパターンはミニコンのデータレイトで発生 ・データ処理機能あり 	<ul style="list-style-type: none"> ・高速ファンクショナルテスト (実時間テスト可) ・テストパターンはパターンメモリより実時間発生 	<ul style="list-style-type: none"> ・高速ファンクショナルテスト ・多ピン、高速 ・パターンメモリ長大化 ・CAD とリンケージ能力あり
試験速度	~100 テスト/秒	~100 kHz	~20 MHz	~40 MHz

図-5 LSI テスタの発展経過

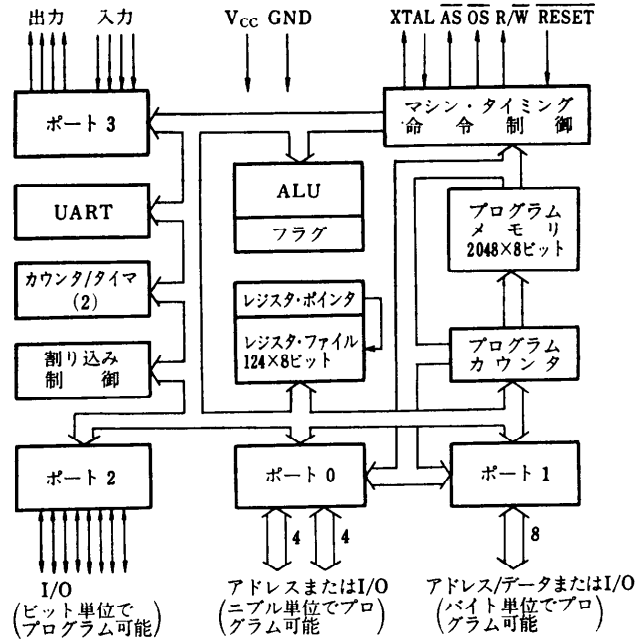


図-6 LH 0801 ブロック図

システムならば周辺 IC なしに構成することができる。このような MPU のテスト機能としては、テスト端子を制御して内部 ROM コードを直接 I/O ポートに出力する、または内部 ROM の一部に埋め込まれたテスト用インストラクションを実行させてテストを行うなどがある。

LH 0801では 2K バイト内部プログラム ROM 以外に 64 バイトのテスト用内部 ROM があり、テストモードにするとプログラムカウンタはテスト用 ROM の 0 番地にセットされ、テスト用インストラクションを順次実行する。まず内部プログラム ROM の内容をポート 1 に出力し、ROM コードテストを行う。次に外部プログラムモードにし（このモードではポート 0, 1 から外部メモリに対するアドレスが出力され、ポート 1 が時分割でデータバスとなる）、インストラクションを入力して内部 ROM 以外のテストを行う。

MPU をテストするには、全インストラクションの実行、確認は最低限必要であり、各インストラクションに対するオペランド、データの組合せと実行順序とを、故障検出を想定しながら選択する。例えば RAM (レジスタファイル) のテストでは LSI 内部レイアウトを参考に、固定障害の検出以外に隣接要素の影響を考慮したテストパターンとする。少なくともチェック

ボードパターンは必要である。その他に UART、カウンタ/タイマのテストパターンは長くなるので他ブロックのテストと並行して行い、テストパターンの短縮を配慮する必要もある。

図-7 にアドレスバス、データバスとなるポートのタイミングを示す。ポート 1 は時分割で入力/出力になる。すなわち基本の 1 サイクル中に出力判定と入力パターン印加とを行う。また入力タイミングを最悪条件にすることも必要である。

以上のような観点から、タイミングを考慮した入力パターンを作成するが、出力パターンを得るためには次の 2 方法がある。

① 出力パターンセンス法

LSI テスタを使用して良品 LSI から出力パターンを得る方法である。この場合、MPU のインストラクションとオペランド、データ等をアセンブラ言語で記述し、LSI テスタに用意するプログラムで入力テストパターンに翻訳し、これを良品 LSI に印加し、その応答を取り込み、元の入力パターンと合成してテストパターンを完成させる。良品 LSI がない開発段階では良品 LSI の代わりにハードウェア・エミュレータを使用する。

② 論理シミュレーション法

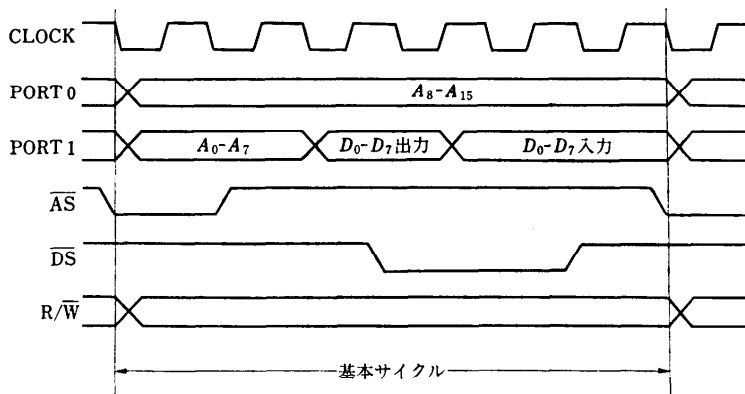


図-7 LH 0801 外部プログラムモード時のタイミング

LSI の回路情報、接続情報などから大形計算機上で論理シミュレーションを行うことによりテストパターンを作成する方法である。ゲートレベルの内部回路図が必要であり、論理 LSI の製造メーカーにおいて一般に行われている。ゲートアレイ LSI のテストパターンはこの方法により作成される。論理シミュレータは処理速度、シミュレーション精度および扱える素子などに関して改良が続けられている段階であり、大規模 MPU への適用も含めて今後の発展が期待される。

高機能 8 ビットクラス、16 ビットクラス MPU のテストパターンは数万パターンに達しており、開発に数カ月を要することになる。

6. おわりに

今後 LSI の製造技術全体の進歩により LSI の集積度はますます向上する。その結果、より多機能、複雑化する LSI をいかにテストするかという問題は今まで以上に深刻化する。歩留りが 100% にならない限り必要悪とも言われる LSI のテストにおいて、テストプログラム開発期間と実際のテスト時間の増大が特に大きな問題である。このような困難さには設計上の対処と CAD の活用が必須である。以上、論理 LSI のテスト手法とテスト容易化設計について解説を行った。読者諸兄の参考になれば幸いである。

参考文献

- 1) El-zig, Y. M.: Classifying, Testing and Eliminating VLSI MOS Failures, VLSI DESIGN, pp. 30-35 (Sep. 1983).
- 2) Williams, T. W. and Parker, K. P.: Design for Testability—A Survey, IEEE Trans. Comput., Vol. C-31, No. 1, pp. 2-15 (Jan. 1982).
- 3) Goldstein, L. H. and Thigpen, E. L.: SCOAP:

Sandia Controllability/Observability Analysis Program, Proc. of 17th DA Conf., pp. 190-196 (Jun. 1980).

- 4) 河村他: テスタビリティ解析プログラム COAP, 情報処理学会設計自動化研究会資料 13-4 (Jun. 1982).
- 5) Eichelberger, E. B.: A Logic Design Structure for LSI Testability, Proc. of 14th DA Conf., pp. 462-468 (Jun. 1977).
- 6) Yamada, A., Wakatsuki, N., Fukui, T. and Funatsu, S.: Automatic System Level Test Generation and Fault Location for Large Digital Systems, Proc. of 15th DA Conf., pp. 347-352 (Jun. 1978).
- 7) Stewart, J. H.: Application of Scan/Set for Error Detection and Diagnostics, Semiconductor Test Symposium, pp. 152-158 (Oct.-Nov. 1978).
- 8) Könemann, B., Mucha, J. and Zwiehoff, G.: Built-In Logic Block Observation Techniques, Test Conf., pp. 37-41 (1979).
- 9) Komonytskey, D.: LSI Self-Test Using Level Sensitive Scan Design and Signature Analysis, Test Conf., pp. 414-424 (Nov. 1982).
- 10) 小嶋, 増井: ランダムロジック用テスタ, 電子材料, 1982 別冊, pp. 197-202 (1982).
- 11) 早坂: ランダムロジック用テスタ, 電子材料 1983 別冊, pp. 177-181 (1983).
- 12) 樹下: マイクロコンピュータ基礎講座 ⑤, テストと信頼性, pp. 93-156, オーム社.
- 13) 相磯 (編): マイクロコンピュータとその応用, 電子通信学会編.
- 14) Thatte, S. M. and Abraham, J. A.: Test Generation for Micro Processors, IEEE Trans. Comput., Vol. C-29, No. 6, pp. 429-441 (Jan. 1980).

(昭和 59 年 6 月 4 日受付)