

解説



3. レイアウト設計における CAD

3.1 VLSI とプリント基板のレイアウト設計における CAD†

上 田 和 宏††

1. はじめに

レイアウト設計は、LSI やプリント基板設計全体の中で最も設計工数および設計期間を必要とする設計過程の一つとされ、その設計自動化には多大の努力が払われてきた。その結果、多くの LSI およびプリント基板のレイアウト CAD システムが実用に供されている^{1)~5)}。

プリント基板用のレイアウト設計自動化システムの開発は、コンピュータの実装にプリント回路基板が使用され始めて間もなく開始された。トランジスタ、抵抗、キャパシタなどの個別部品や小規模 IC (SSI) を搭載したプリント基板の配置配線処理をコンピュータで自動的に実行するため、プリント基板の物理的構造の規格化とともにプログラム作成のため配置配線手法の研究が行われた。プリント基板レイアウトシステムの研究開発は、コンピュータ用のみでなく電子交換装置用にも盛んに行われ、米国ではベル研、国内では電電公社武蔵野通研および電子交換機メーカーがこの分野の技術的進展に大きな貢献をした⁶⁾。これらの技術的蓄積の上に、現在民生用機器のプリント基板のレイアウト設計を含むミニコンベースのシステムも数多く開発され広く市販され、実用に供されている。このような状況および最近の学会等での研究発表の状況から判断して、プリント基板用の設計技術はレイアウト設計技術も含めてかなり成熟した段階に到達したと考えられる。

一方、LSI のレイアウト設計自動化は集積回路が SSI, MSI レベルから LSI へと進歩するのに伴って研究・開発が盛んになり、さらに VLSI 時代を迎えて一段と拍車がかかった。LSI の設計自動化はプリン

ト回路基板で実装されるコンピュータや電子交換機システムの設計自動化との共通部分が多く、レイアウト設計の自動化もその例にもれない。したがって、LSI のレイアウト手法もその多くのアイデアをプリント基板のレイアウト手法から借りて、それを LSI の環境に合わせてさらに発展させたものが少なくない。ちなみに、現在多くの LSI レイアウトシステムで用いられているチャンネル配線法⁷⁾ はもとはプリント基板の配線用に考案されたものである。

本稿では、LSI とプリント基板レイアウト設計 CAD について、その差異を比較するとともにその現状技術と動向について解説を試みたものである。プリント基板のレイアウト設計自動化技術はすでにかなり成熟した状況にあるので、ここでは、LSI のレイアウト設計に重点をおいて述べるつもりである。

2. LSI とプリント基板のレイアウト設計

LSI のレイアウト設計問題は、プリント基板レイアウトのそれと共通項をもつと同時にまた異なる点も多く有している。LSI のレイアウト設計上の第一の特徴は、構造的にきわめて大きな柔軟性をもつことである。プリント基板の場合には、配置されるべき単位は個別素子や IC パッケージなどのいわば規格化された形状の既製部品であるが、シリコンチップ上では配置されるべき素子 (トランジスタ、抵抗、キャパシタ等) の形状はあらかじめ固定されたものではない。LSI ではこのような素子パターンの柔軟性を生かし、隣接する素子や素子間の配線形状を相互に調整することによってよりコンパクトな設計が可能となる。複数のトランジスタの拡散領域の共通化といった処理をすることによって金属配線を使わずに同電位となるべきトランジスタの端子同士を結合することによって集積密度を向上させる工夫などもしばしば行われる。

しかし、このようなシリコンチップ上の素子レベル

† CAD for Layout Design of VLSI and Printed Circuit Board by Kazuhiro UEDA (Atsugi Electrical Communication Laboratory, N. T. T.).

†† 日本電信電話公社厚木電気通信研究所

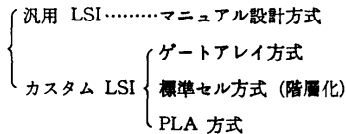


図-1 LSI レイアウト設計方式の分類

レイアウトのもつ柔軟性は自動化に対してはむしろ困難な条件を提供するものであり、したがっていろいろな面で規格化を行ってコンピュータによる扱いを容易にしているのが実情である。例えば、ゲートアレイ LSI において、ちょうどプリント基板上の IC パッケージのアレイと同じイメージでセルアレイを設けて配置単位の形状、位置等を規格化しているなどはその一例である。

第二の特徴は取扱い規模が極めて大きいことである。プリント基板では一枚の基板上で扱う配置単位の個数は数十から高々数百のレベルであるが、VLSI では現状で数十万素子規模のものもめずらしくなく、近い将来 100 万以上にも達するものと見られている。このような設計規模の問題を解決するために後述のような階層化設計手法が導入されている。

第三の特徴は、用いられているテクノロジーの多様性にある。すなわち、MOS あるいはバイポーラ技術、アナログあるいはデジタル、さらにそれぞれの技術が何種類かに分かれその対象とする技術にレイアウト設計技術も依存しがちである。プリント基板の場合にも対象回路がアナログかデジタルかの違いでレイアウト設計のやり方を変えているのがふつうであるが、LSI ほどには対象技術への依存度が少ないといえるだろう。

このように、LSI のレイアウト設計は柔軟性、大規模性、およびテクノロジーの多様性のため、その設計方式、手法は詳細にみると各社各様であるといつて過言ではないが大別すると図-1 のように分類できるだろう。以下、主なレイアウト方式についてその考え方や現状を述べる。

3. LSI のレイアウト CAD

3.1 ゲートアレイ方式⁹⁾⁻¹⁵⁾

LSI レイアウト設計自動化の方式として、現在最も広く利用されているレイアウト方式である。また、LSI のレイアウト方式の中でプリント基板のレイアウト方式に最も類似したものといえる。すなわち、配置単位となるセルをアレイ状に並べておき、その上に

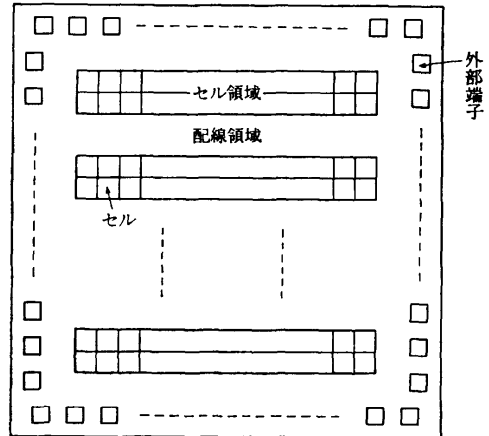


図-2 ゲートアレイ方式 LSI の構造

ゲートを構成する。プリント基板の場合もふつうあらかじめ IC パッケージを配置すべき場所は規則正しいアレイ状の位置のごとこにおくというように決められているが、実際に IC の配置されなかった場所は空けておく。しかし、LSI の場合はゲートが配置されるか否かにかかわらず、トランジスタ等の素子拡散はされている。

ゲートアレイ方式 LSI は集積回路のもつ種々の（とくにパターン形状の）柔軟性をある程度制限することによってプログラムによる取扱いを容易にしている。さらに、素子生成のための工程を共通化することによって製造工程も簡易化したものだといえる。ふつう、セルは大きさ・形状がある一定の値に規格化され、しかもアレイ状に規則正しく並べられる（図-2 参照）。配線経路も同様に縦横に規則正しく一定のピッチで設けられた格子に制限される。したがって、セル、すなわち、トランジスタなどの素子が規則正しく並べられたシリコン基板（マスタスライスと呼ばれる）はいろいろな品種の LSI を製造するために共通に利用される。

一方、このようにセルの配置場所を固定化する結果として配線領域も固定化されるため必ずしも 100% 配線が保証されないというデメリットも生じている。したがって、ゲートアレイ用 CAD システムでは自動配線ツールとともに人手介入を容易に行えるようにインタラクティブな修正のための手段も備えているのがふつうである。また、チップ上に並べるセル数と配線領域の割合のバランスをうまくとっておくことが肝要である。このような問題を避ける一つの方法として

トランジスタをチップ全面に敷きつめておいてチップの任意の場所をアクティブ領域にも配線領域にも使用することができるトランジスタ敷きつめ形ゲートアレイも提案されている^{16),17)}。図-2のような従来形のゲートアレイでは一般に各種の初期配置と入替え配置改善の組合せによる配置手法が、また配線では迷路法、ラインサーチ法の手法が利用される。一方、敷きつめ形ゲートアレイの場合、配線領域は可変と考えることができるためチャンネル配線法が利用できる。ゲートアレイ LSI の規模が1万ゲートを超えるようになってきたためゲートアレイにおいても階層的設計法を取り入れる試みが始まっている。ゲートアレイ LSI は一般に次に述べる標準セル方式 LSI に比べて集積密度の点で劣っている。したがって、より高いレイアウト品質を得るためのより高度なアルゴリズムや、さらに設計ターンアラウンド時間を短縮するためできるだけ人手介入を少なくすることなどが今後の課題である。

3.2 標準セル方式^{18)~29)}

本設計方式も、LSI の柔軟性をある程度制約してコンピュータによる自動化を容易にしたレイアウト方式といえるが、ゲートアレイ方式ほどには規格化が徹底していない。すなわち、セルの高さは一定の値に標準化しているが横幅は可変として、またセル列間の配線領域も可変としている(図-3参照)。このためゲートアレイのように素子の拡散パターンは固定とはならない。一方、配線領域が可変にできるため必要に応じて配線のチャンネル幅を決めることができるので100%配線は必ず保証される利点がある。標準セル方式 LSI

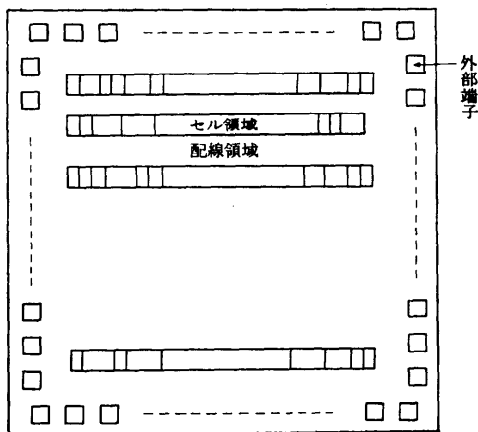


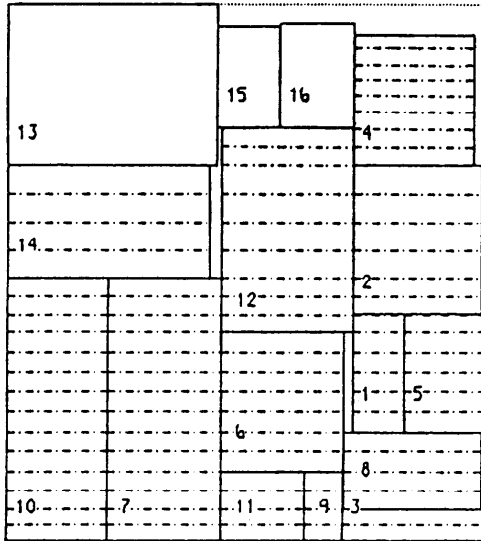
図-3 標準セル方式 LSI の構造

用のレイアウト CAD では、できるだけ小さい配線領域内で配線を引くことによってチップ面積をできるだけ小さくすることが目的関数となる。

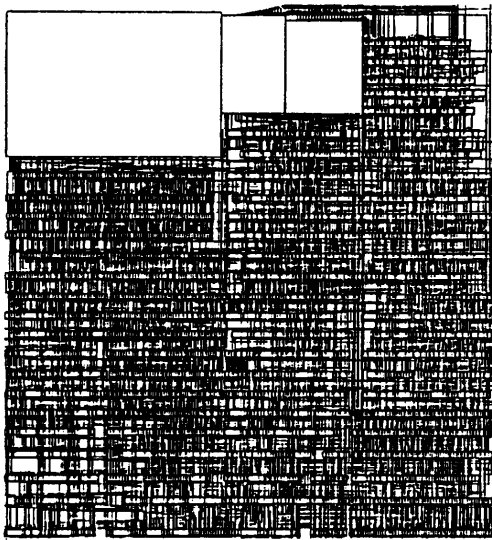
標準セル方式のレイアウトプログラムでは、セル幅可変であるということから配置手法としてクラスタリング手法などのほかまらず1次元に配置してそれを折り曲げて2次元配置を求めるという方法が多くのシステムで用いられている。また、配線手法としてはチャンネル配線法が用いられている。

標準セル方式でゲート数が数千~数万ゲート以上になるとそのまま取り扱うには工数、時間がかかりすぎるので階層的に取り扱いやすい規模に分割して設計する階層化標準セル方式のレイアウト CAD が広く用いられるようになってきている。その場合、第一階層レベルであるブロックには標準セルから構成されるブロックと、RAM, ROM, PLA のようなプリデファインのブロックが含まれる。前者は可変形状であるが後者は固定的な形状をもつと考えられる。階層的な構造をとると各レベルにおける処理は取り扱いやすい規模になっているため簡単になるが、反面各レベル間のレイアウトの調整が必要となりこれをうまく行わないと冗長性の大きいレイアウト結果となる。また、微細に調整するためには各ブロックごとに配置配線をやりなおす処理が必要となり、時間と品質のトレードオフとなる。ブロックレベルのレイアウト設計はチップのフロアプランと呼ばれるが、ブロックが種々の形状、大きさをもつため自動化が困難で、現在フロアプランは人手で行われることが多い。しかし徐々に自動化の試みも発表され始めている。

ここでは、階層的設計法を取りながらかつ自動化に向けた ALPHA/CHAMP システム^{25)~29)}の例を紹介する。本システムでの階層化構造の特徴は図-4(a)に示すようにブロックレベルに分割して扱うところは従来のものと同じだがブロック間に特に配線領域を設けないところにある(ブロック間の配線はブロック上を通過させる)。このため一つの制約条件としてセル列間のチャンネル領域は図に示すように横方向に並ぶ複数個のブロックを通して共通にする必要がある。CHAMP ではまずブロックの初期配置を AR 法³⁰⁾という吸引・反発力を利用した配置手法で接続関係の強いブロック同士を近くに、接続関係の弱いブロック同士は遠くに配置する。初期状態では一般にブロック間に重なりがあるのでこれを自動的に徐々に除去すると同時にチップ枠を縮小していき、最終的に矩形のチップ枠の中に



(a) CHAMP によるフロアプラン



(b) ALPHA による自動配置配線結果

図-4 階層化レイアウト設計例

ブロック間のデッドスペースが十分小さくなるように配置する。接続関係の強いブロック同士はなるべく近くにくるようにするとともに、標準セルで構成された可変形状ブロックの形状を適当に選びブロック間のデッドスペースを小さくするよう工夫する。自動処理とともに人手によるインタラクティブ処理が併用されている。

CHAMP によるフロアプラン結果は ALPHA に

受け渡される。ALPHA ではまずブロックレベルのいわばマクロなグローバル配線が行われ、ブロック間配線の望ましい経路が予測される（この経路をもとにあとでブロック内のセル配置の改善が行われる）。次に各ブロックごとに1次元配置から折曲げにより2次元配置が求められ、ブロック内でセル入替えによりセル配置の改善が行われる。こうして得られた各ブロック内のセル配置をマージしてチップ全体のセル配置を得る。さらにブロック境界を超えて同一セル列内のセル入替えを行って配置改善を行う。次にセルレベルのグローバル配線を行って最適配線経路を決定する。この中でネットの混雑度の均一化等も行う。最後に各チャンネルごとに上下制約を考慮したレフトエッジ法を中心としたチャンネル配線法で配線経路を決定する。

また、標準セル方式 LSI のレイアウト設計においては標準セルパターンを数十から場合によっては2~300種類あらかじめライブラリとして用意する必要があり、セルライブラリの設計は人手で行われる場合が多く多大の設計工数を要している。このようなセルライブラリの設計工数を削減することを目的としてセルの自動生成システムも開発され始めている³¹⁾。

3.3 マニュアル方式

ゲートアレイおよび標準セル方式ともカスタマの要求する LSI 仕様を実現するいわゆるカスタム LSI の設計方式であるが、マイクロプロセッサに代表される汎用の LSI は依然マニュアル主体でレイアウト設計が行われている場合が多い。その最大の理由は、この種の汎用 LSI は大量生産されるため製造コストを低減することが最重要項目となり、そのためチップ面積をできるだけ小さくしたいためである。例えばゲートアレイ方式設計に比べて、マニュアル設計ではチップ面積が 1/3 程度で済む。

マニュアル設計とはいえ、徐々にではあるがそれを効率化するための設計環境やツールが整備されてきており、従来の物理的パターンを直接入力してマスクパターン設計するやり方からより単純化されたシンボリックなパターンを用いて入力・編集を行うやり方へと進展してきている。また、マニュアルで設計したデータのデザインルールや電気的ルールなどの検証ツールが整備されている。さらに、対話形のマスクパターン設計システムの処理機能・性能・使いやすさも年々改良されており、マニュアル・レイアウト設計環境の総合的な効率化が進められている。

4. プリント基板のレイアウト CAD^{32)~34)}

プリント回路基板用の CAD システムの開発は、LSI のそれに比べてかなり歴史が古く技術的にはほぼ確立されているといつてよいであろう。LSI の場合と異なり、取扱い規模が常に増大していくという問題はプリント回路基板の場合には起きていない。もちろん、プリント基板もその製造技術は年々進展し、パターンも微細化してきてはいるが、LSI の場合のようにドラスティックではなく階層化設計により規模の増大に対処しなければならないというところまでは至っていない。

プリント基板の場合、個別素子から LSI まで極めてバラエティに富む部品を搭載する必要があり、配置配線を自動化しにくい対象から、デジタル基板のように比較的規則性が高く自動化しやすいものまでありインタラクティブ処理主体の設計から自動処理主体の設計まで幅広い要求がある。適用対象領域によって、メインフレームコンピュータをベースとしたシステムからパーソナルコンピュータベースの簡易形システムまで広範囲にわたって各種のシステムが開発されている。

プリント基板に対してはレイアウトの手法もほぼ確立されており、配置はコネクティブな初期配置と入替えによる配置改善の組合せが用いられることが多い。配線手法としては線分探索法、迷路法等をもとにした手法を用いるのがふつうである。これらの配置配線手法については本特集の後章で詳述されるのでそれを参照されたい。

プリント基板用のレイアウト CAD の今後の課題としては、配置配線の自動化率の向上、使いやすさの向上、とくにアナログ回路用の自動配置配線手法の開発があげられよう。

5. あとがき

LSI とプリント基板用のレイアウト設計 CAD について現状を述べた。いずれも広く実用に供されており、さらに高機能、高性能化への努力が続けられている。すでに実用されているものの、必ずしも完全に満足な状態で使用されているわけではなく、さらに使いやすさの追求と設計品質の向上等が望まれている。例えば、LSI では各種制約条件を課すことによってプログラム化を容易にしているが、設計品質をあげるためにはこれらの制約条件をできるだけ取り除くことが要求

される。また、取り扱う回路規模がさらに大きくなるにつれて、設計時間の短縮化への要請もさらに一層強まるだろう。今後の研究課題として、CAD 専用ハードウェアによるレイアウト処理の高速化や人工知能研究の成果を利用したレイアウト設計への知的 CAD アプローチ等があげられる。また、今後のエンジニアリング・ワークステーションの発展もレイアウト CAD システムの使いやすさの向上に大きく寄与してくることが期待される。

参考文献

- 1) 渡辺(編著): 超 LSI 設計—Top-down Approach to Custom VLSI, 企画センタ (1983).
- 2) 菅野(監修): カスタム LSI 応用設計ハンドブック, REALIZE INC (1984).
- 3) Sudo, T., Ohtsuki, T. and Goto, S.: CAD Systems for VLSI in Japan, Proc. of the IEEE, Vol. 71, No. 1, pp. 129-143 (Jan. 1983).
- 4) Ueda, K.: Computer-aided Layout Design for LSI; State of the Art, Proc. 2nd USA-Japan Computer Conf., pp. 556-561 (1975).
- 5) 白石: カスタム LSI のレイアウト設計技術, 電気学会 EDD-84-50, pp. 21-27 (Apr. 1984).
- 6) 保坂, 上田: 技術展望/電子交換機設計自動化技術の現状と動向, 電子通信学会誌, Vol. 63, No. 10, pp. 1056-1063 (Oct. 1980).
- 7) Hashimoto, A. and Stevens, J.: Wirerouting by Optimal Channel Assignment within Large Apertures, Proc. 8th Design Automation Workshop, pp. 158-169 (1971).
- 8) Ozawa, Y., Murakami, M. and Suzuki, K.: Masterslice LSI Computer Aided Design System, Proc. 11th Design Automation Conf., pp. 19-25 (1974).
- 9) Kamikawai, R., Kishida, K., Osawa, A., Yasuda, I. and Chiba, T.: Placement and Routing Program for Masterslice LSIs, Proc. 13th Design Automation Conf., pp. 245-250 (1976).
- 10) Khokhani, K. H. and Patel, A. M.: The Chip Layout Problem; A Placement Procedure for LSI, Proc. 14th Design Automation Conf., pp. 291-297 (1977).
- 11) Ueda, K., Sugiyama, Y. and Wada, K.: An Automatic Layout System for Masterslice LSI; MARC, IEEE J. of Solid-State Circuits, Vol. SC-13, No. 5, pp. 716-721 (1978).
- 12) Tanaka, C., Murai, S., Tsuji, H., Yahara, T., Okazaki, K., Terai, M., Katoh, R. and Tachibana, M.: An Integrated Computer Aided Design System for Gate Array Masterslices; Part 2 The Layout Design System MARS-M3, Proc. 18th Design Automation Conf., pp. 812-

- 819 (1981).
- 13) Matsuda, T., Fujita, T., Takamizawa, K., Mizumura, H., Nakamura, H., Kitajima, F. and Goto, S.: LAMDA; A Quick, Low Cost Layout Design System for Masterslice LSIs, Proc. 19th Design Automation Conf., pp. 802-808 (1982).
 - 14) Yoshizawa, H. et al.: A CAD System for Gate Array Automated Design, Proc. of CICC 82, pp. 260-262 (1982).
 - 15) Kato, H. et al.: An Automatic Layout System for Gate Arrays up to 20 k Gates, Proc. of CICC 83, pp. 19-22 (1983).
 - 16) Akazawa, Y., Kodama, M., Sudo, T., Takahashi, T., Nakamura, T. and Kimura, K.: A High-Speed 1600 Gate Bipolar LSI Processor, ISSCC '78 Digest of Technical Paper, pp. 208-209 (1978).
 - 17) Fukuda, H., Yoshimura, H. and Adachi, T.: A CMOS Pair-Transistor Array Masterslice, 1982 Symposium on VLSI Technology, pp. 16-17 (1982).
 - 18) Kozawa, T., Horino, H., Ishiga, I. and Sato, S.: Advanced LILAC—An Automated Layout Generation System for MOS/LSIs, Proc. 11th Design Automation Workshop, pp. 26-46 (1974).
 - 19) Kani, K., Kawanishi, H. and Kishimoto, A.: ROBIN; A Building Block LSI Routing Program, Proc. 1976 IEEE Inter Conf. on Circuits and Systems, pp. 658-661 (1976).
 - 20) Shirakawa, I., Okuda, N., Harada, T., Tani, S. and Ozaki, H.: A Layout System for the Random Logic Portion of MOS LSI, Proc. 17th Design Automation Conf., pp. 92-99 (1980).
 - 21) Sato, K., Nagai, T., Shimoyama, H. and Yahara, T.: MIRAGE—A Simple Model Routing Program for the Hierarchical Layout Design of IC Masks, Proc. 16th Design Automation Conf., pp. 297-304 (1979).
 - 22) Sato, K., Nagai, T., Tachibana, M., Shimoyama, H., Ozaki, M. and Yahara, T.: MILD—A Cell Based Layout System for MOS LSI, Proc. 18th Design Automation Conf., pp. 828-836 (1981).
 - 23) Chiba, T., Okuda, N., Kambe, T., Nishioka, I., Inufushi, T. and Kimura, S.: SHARPS; A Hierarchical Layout System for VLSI, Proc. 18th Design Automation Conf., pp. 820-827 (1980).
 - 24) Nagatani, M., Miyashita, H., Okamoto, H., Tansho, K. and Sugiyama, Y.: An Automated Layout System for LSI Functional Blocks; PLASMA, Monograph of Technical Group on Design Technology of Electronics Equipment of Inform. Process. Soc. Japan, 41, pp. 1-10 (1980).
 - 25) Adachi, T., Kitazawa, H., Nagatani, M. and Sudo, T.: Hierarchical Top-Down Layout Design Method for VLSI Chip, Proc. 19th Design Automation Conf., pp. 785-791 (1982).
 - 26) 北沢, 安達, 上田: 大規模高密度レイアウトプログラム; ALPHA-II, 情報処理学会設計自動化研究会資料, 19-4 (1983).
 - 27) Ueda, K. and Kitazawa, H.: Algorithm for VLSI Chip Floor Plan, Electronics Lett., Vol. 19, No. 3, pp. 77-78 (Feb. 1983).
 - 28) 上田, 北沢, 原田: VLSI チップフロアプランプログラム; CHAMP, 情報処理学会設計自動化研究会資料, 18-3 (Sept. 1983).
 - 29) Ueda, K., Kitazawa, H. and Harada, I.: Interactive VLSI Chip Floor Design Using Color Graphics, Proc. Computer Graphics Tokyo '84, T4-4 (Apr. 1984).
 - 30) 上田: 論理モジュールの配置手法とその評価, 電子通信学会論文誌, Vol. 60-D, No. 2, pp. 151-158 (Feb. 1977).
 - 31) 宮下, 上田: CMOS 標準セル自動生成システム; ACG, 情報処理学会設計自動化研究会資料, 22-4 (July 1984).
 - 32) Nishioka, I., Kurimoto, T., Nishida, H., Yamamoto, S., Chiba, T., Nakagawa, T., Fujioka, T. and Uchino, M.: An Automatic Routing System for High Density Multilayer Printed Wiring Boards, Proc. 17th Design Automation Conf., pp. 520-527 (1980).
 - 33) Mori, H., Fujita, T., Annaka, M., Goto, S. and Ohtsuki, T.: BRAIN; An Advanced Interactive Layout Design System for Printed Wiring Boards, ICCS 80, pp. 754-757 (1980).
 - 34) Shiraishi, H., Ishii, M. et al.: ICAD/PCB; Integrated Computer Aided Design System for Printed Circuit Boards, Proc. 19th Design Automation Conf., pp. 727-732 (1982).

(昭和59年6月29日受付)