

## 25周年記念論文

## 高配線率線分探索の一手法†

北沢仁志††

VLSIの自動レイアウトにおいてはチャンネル配線法が広く用いられている。しかし、階層的レイアウトにおいて集積密度の大きな向上を達成するためには、端子が列状に並んでいることを前提としたチャンネル配線法のみでは限界があり、任意に分散した端子間を接続できる配線法の併用が不可欠であると考えられる。このような目的に適用できる配線法としては迷路法、線分探索法などが報告されているが、処理時間、プロセス制約への対応など種々の点で実際の回路への適用には不十分であった。本論文では、ブロック間配線に適用できる配線手法として、線分探索法を拡張した“予測線分探索法”を提案し、いくつかの適用例を示す。予測線分探索法は2点間の接続において、スタート点からターゲット点に向う直接的な探索に、結合力強化のため“先読み”を加えた手法を基本としている。これに、二重探索防止のためのフラグ、バック・トラッキングを組み合わせ、経路が存在すれば必ず接続できることを保証している。本手法と2層配線に拡張した迷路法とを比較した結果、ネット長では7%程度増加するが、スルーホール数は20~35%減少し、VLSIのブロック間配線において迷路法より高い配線完了率が得られた。処理時間は迷路法の1/10~1/30であった。

## 1. ま え が き

VLSIのレイアウトにおいては、一般に、図-1に示すような階層的手法が広く用いられている。この方法は i)各ブロックをスタンダードセルで構成するか、または、マクロセルとして人手設計して用意する、ii)ブロック間およびパッドをチャンネル配線法の繰り返しにより接続する、という手順で実行される<sup>1),2)</sup>。ブロック間配線にチャンネル配線法を用いる方法は100%配線が保証されるという大きな利点のため広く用いられているが、集積密度、ブロック形状や電源配線の自由度、多層配線への対応などいくつかの不都合な点があった。これに対し、図-2のように、ブロック間配線に、任意に分散した端子の間を接続できる配線手法を用いれば、上記の制約は大きく緩和される<sup>3),4)</sup>。また、1)チップ全体を同時に考慮して最適な配線経路を定めることができる、2)ブロックの端子をブロック内の任意の位置に置くことができる、3)ブロック内の未使用トラックがブロック間配線に利用できる、などの点から集積密度を向上させることができる。さらに、多層配線への拡張も容易となる。このようなレイアウト手法を実際に適用するためには、任意に分散した端子間を接続する配線アルゴリズムが重要な要素となる。

任意に分散した端子間を接続する配線アルゴリズムには Lee の迷路法<sup>5)</sup>、三上・田淵、Hightower らの線分探索法<sup>6),7)</sup>がある。2つの手法の特徴は下記のようにまとめられる。

迷路法：2点間に経路が存在すれば必ず配線できる。ただし、探索は、定められた格子上で行われる。また、大きな記憶容量ときわめて長い処理時間を要する。多端子ネットへの拡張は容易である。

線分探索法：高速で記憶容量も少なく済むが、経路が存在しても結合できるとは限らない。

2手法の発表以降、迷路法の処理速度の改善、および、線分探索法の配線完了率の向上に関して多数の改

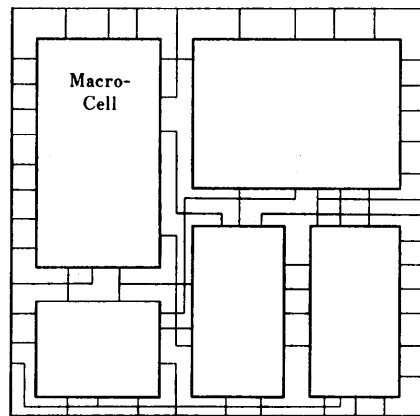


図-1 チャンネル配線法の繰り返しによるブロック間配線  
Fig. 1 Inter-block connection by iterative channel routing.

† A Line Search Algorithm with High Wireability by Hitoshi KITAZAWA (Atsugi Electrical Communication Laboratories, NTT).

†† 日本電信電話(株)厚木電気通信研究所

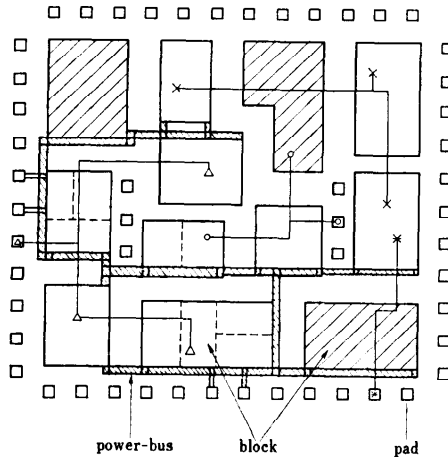


図-2 線分探索法によるブロック間配線  
Fig. 2 Inter-block connection by line search method.

良アルゴリズムが提案されている<sup>8)-11)</sup>。しかしこれらは、下記の点で実用的なレイアウトプログラムに適用するには不十分であった。

- 迷路法を改良したものは、ある程度速度は改善されているが、約  $3000 \times 3000$  格子になると予想される今後の VLSI に対応することは不可能である。
- 線分探索法を改良したのも、100% 配線が保証できるところまで拡張すると、迷路法に近い処理時間を要すると予想される<sup>10)</sup>。また、不必要に配線経路を長くする可能性がある。
- スルーホール近接距離制約が考慮されていない。

本文では、線分探索法の配線完了率を向上させる一手法として、“予測線分探索法 (Look-Ahead Line Search Method)” を提案する。本手法は、スタート点からターゲット点へ向かう直接的な線分探索に結合力強化のため“先読み”を加えた手法を基本としている。しかし、直接的な探索だけでは経路が存在しても発見できない場合が生ずる。そこで、二重探索を避けるフラグ、バック・トラックなどを導入し、経路が存在すれば必ず発見できることを保証している。また、ビットマップ上で探索を行うことにより、同ネット内のスルーホール近接距離制約を含め、任意のプロセス制約に容易に対応することができる。

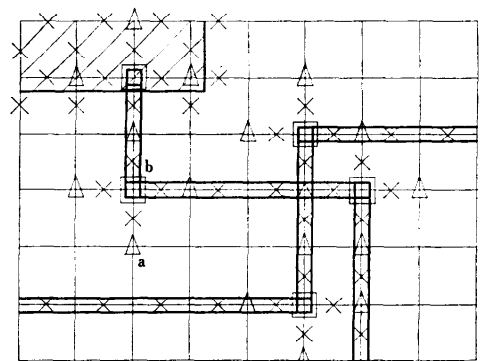
第 2~6 章において予測線分探索法のアルゴリズムを示し、第 7 章で本手法を利用した階層的レイアウト

プログラム ALPHA-II の流れを、第 8 章ではいくつかの実用例により、本手法の機能、迷路法との比較結果を示す。また、ALPHA-II を用いたレイアウトの例を示す。

## 2. 基本アルゴリズム

まず、本手法で取り扱う配線の規則について述べる。配線層は 2 層を用い、縦方向、横方向で配線層を使い分けるものとする。ただし、局所的に他の方向の格子上を通ることも許す (同層折り曲げ)。また、第 1-2 層で配線した後、未接続部分を第 2-3 層または第 3-4 層で配線するというように 2 層ずつ繰り返すことにより多層配線にも適用できる。配線はすべてあらかじめ固定された配線格子上を通る。配線格子の間隔は図-3 のように、ライン・スルーホール間の最小スペースにまで近付けられるものとする。そのため、たとえば図-3 において、“a 点は、b 点にスルーホールがあるため通過するのは良いが、スルーホールを置いてはいけない” というようなスルーホール制約が考慮できるものとする。これらは、接続に先立ってビットマップ上に立てられた、配線の通過禁止、スルーホール禁止などを示すフラグにより判断する。

予測線分探索法による図-4 の S から T への接続アルゴリズムを以下に示す。S を通る水平、垂直方向の線分は T を通らない、したがって S-T 間を接続するためには少なくとも一度折り曲げなければならない。S から下方に向かった線分が A 点で折り曲げられたとすると、到達できる T に最も近い点は a である。同様にして、C、D で折り曲げられたとき到達できる点



× : inhibited to pass through  
Δ : inhibited to place a via

図-3 配線格子  
Fig. 3 Routing grid.

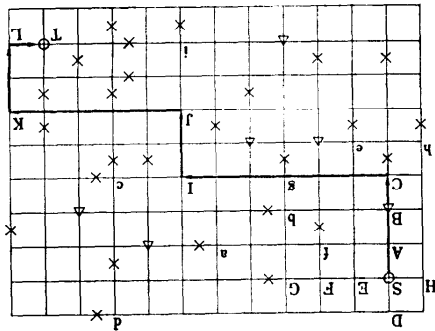


図-4 先読みを用いた経路探索  
Fig. 4 Line search with looking ahead.

は、c、dとなる。これらの点(a、c、d)をSからの“期待位置”と呼ぶ。B点はスルーホール禁止であり、ここで折り曲げることはできないため、b点は期待位置としない。水平方向に進んだ場合も同様にして期待位置(e、f、g、h)が得られる。これらの期待位置(a、c、d、e、f、g、h)の中で最もTに近い点はcである。これより、S—C間を接続する。次にCから水平方向に探索を行い、Tに最も近い期待位置を求めるとiが得られる。これより、C—I間を接続する。なお、この場合は、I点は前回の期待位置cとは異なっている。同様に探索を続けることによりS—T間を接続する一つの経路S—C—I—J—K—L—Tが求められる。

本探索法は、固定的な探索領域制限は用いていないが、その時点での到達点とターゲットを囲む最小矩形およびその周辺に自動的に探索領域が集中するため、高速な接続が可能となる。また、配線格子につけられた各種のフラグにより配線およびスルーホールが置かれる位置を任意に制限できるため、プロセス制約への対応も容易である。なお、同ネット内のスルーホール制約を考慮する場合は、一つの線分が決定するごとに、到達した点の周りにスルーホール禁止のフラグを立ててから次の探索に移る。

### 3. IEP フラグ

2章で示した方法は、経路が存在しても接続できない場合がある。図-5のS—T間の接続がその一例である。Sから出た線分はA点を通って横方向からB点に達する。しかし、B点から縦方向の探索を行っても、BよりTに近い期待位置は得られない。したがって、新たな位置に進むことはできず、接続に失敗する。こ

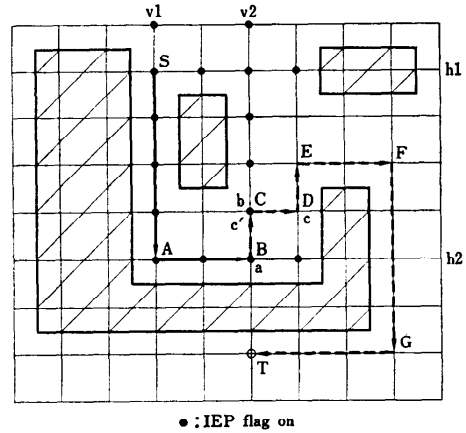


図-5 IEP フラグ (aとB、bとC、cとDとは同じ点)  
Fig. 5 IEP flag. (a and B, b and C, and c and D are the same point.)

の状態から抜け出すため、次のような処理を導入する。

“一度でも探索線が通った点は期待位置として選ばない。ここで、探索線とは、到達点から水平または垂直に、到達できるところまで伸ばした線分である。”  
図-5の例で、この方法による接続手順を示す。

- 1) Sから水平、垂直に出る線分上に、期待位置として選択することを禁止するフラグ (Inhibiting Expected Point Flag: 以下 IEP フラグと呼ぶ) を立てる。
- 2) Sから水平、垂直方向の探索を行う。Tに最も近い期待位置としてaが得られ、S—A間を接続する。
- 3) Aから水平に出る線分上の IEP フラグを ON する。
- 4) 垂直方向探索により期待位置bを得る。bはaよりもTから遠ざかるが、期待位置として選択できる点の中では最もTに近い。
- 5) A—B間を接続する。
- 6) 同様にして IEP フラグを ON し、Bから探索を行うと、期待位置cまたはc'が得られる。これより、B—C間を接続する。(Tから最短距離にある期待位置が複数存在する場合は、その中のどれか一つを選ぶ。この例ではどちらを選んでも同じ経路となるが、一般には選び方により経路は変化する。)
- 7) 同様に探索を続けることにより経路S—A—B—C—D—E—F—G—Tが得られる。

4. バック・トラッキング

経路が存在すれば必ず発見できるものとするには IEP フラグだけでは不十分である。図-6 の S から T への探索は、次のようになり、失敗する。

- 1) S を通過する水平、垂直方向線分上の IEP フラグを ON し、T に最も近い期待位置を求める。
- 2) a が得られ S-A を接続する。
- 3) A を垂直に通る線分上の IEP フラグを ON し、垂直方向に探索する。
- 4) T に最も近い期待位置として、b が得られ A-B を接続する。
- 5) B を水平に通る線分上の IEP フラグを ON し、水平方向に探索する。
- 6) このとき、B から一度折り曲げて到達できるすべての点は IEP フラグが ON されているため、期待位置は得られない。すなわち、B 点で停止してしまい探索に失敗する。

このような場合、下記のバック・トラッキングにより、脱出路を求める。

“期待位置が得られない時は、最後に接続した線分を取り去り、IEP フラグを現在の状態に保ったままで、一つの前の点に戻り、同様な探索を続ける。”  
この方法により、図-6 の探索は下記のように継続される。

- 7) 線分 A-B を取り去り、A 点に戻り、垂直方向の探索を行う。(IEP フラグはすでに ON されている。)
- 8) 期待位置として b' または b'' が得られ、経路は A から B' へ進む。
- 9) B' から探索を続けることにより経路 S-A-B'-C-D-T が得られる。

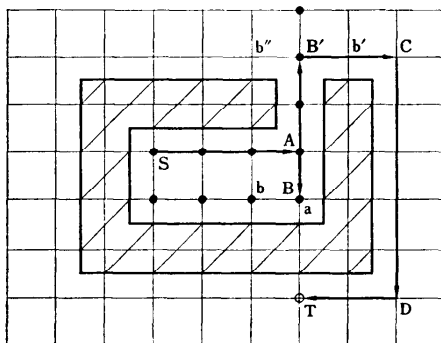


図-6 バック・トラッキング (a と B は同じ点)  
Fig. 6 Back tracking. (a and B are the same point.)

B'-C-D-T が得られる。

バック・トラッキングにおいて、一つ前の点に戻っても再び期待位置が得られない場合はもう一つ前の点に戻る。順次逆戻りしていき、スタート点にまで戻っても期待位置が得られない場合は、接続経路が存在しないことを意味する。IEP フラグおよびバック・トラック処理を用いることにより、スタート、ターゲット間に経路が存在すれば、必ず接続できる。

5. サブ・ターゲット

本手法は、途中で凹型の障害物がないときは、ほぼ最適な経路を発見できる。しかし、凹状の障害物の周辺では図-5 に見られるように、冗長な迂回路を生ずる可能性がある。迷路法、線分探索法のように、スタート点から連続的に平面を探索していく方法では、探索前にあらかじめ障害物の存在を知ることは不可能であり、少しでも探索領域を制限すれば、必ず冗長迂回の可能性が生ずる。これは、探索から除外された領域の中に最適な経路が存在し得ることを否定できないためである。一度の探索で最適な経路を得るには、迷路法、Line Expansion 法<sup>10)</sup>のように、全平面を平等に探索しなければならず、大きな処理時間を要する。しかし、完全な最適解でなく、準最適解で良いとすれば、解を逐次改善する方法を用いることができる。サブ・ターゲット法はこの考え方により逐次、配線経路を改善するものである。図-5 の経路は次のようにして改善される。

- 1) 初回の探索により、一つの接続経路を求める。
- 2) 迂回路を含んでいる場合、初回で求めた配線経路上にいくつかの中間的目標点(サブ・ターゲット)

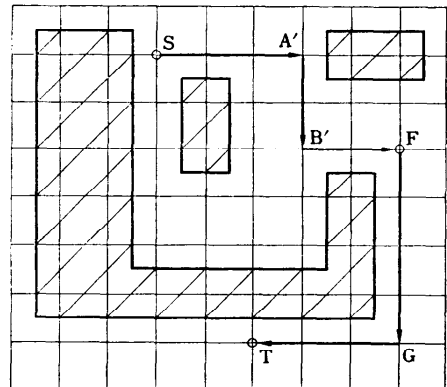


図-7 F をサブ・ターゲットとした配線経路改善  
Fig. 7 Re-routing using subtarget F.

を選ぶ。図-5 ではFをサブ・ターゲットとする。複数のサブ・ターゲットを選んだ場合は、スタート点に近い順に番号を付けておく。

3) 初回の配線経路を除去し、IEP フラグはすべて OFF にする。

4) スタート点から一番目のサブ・ターゲットまでを接続する。

5) 一番目のサブ・ターゲットに到達したら、目標点を次のサブ・ターゲット（最後のサブ・ターゲットからの探索では真のターゲット）に移し探索を続ける。これより改善解が得られる。

サブ・ターゲットを利用することにより図-5 の経路は図-7 のように改善された。

なお、サブ・ターゲットには、初回の配線経路をターゲットから逆に辿ったとき、ターゲットまたは直前のサブ・ターゲットからの距離が極大となる点を選んでいる。これは、一度ターゲットに近付いた経路が再度遠ざかる場合には、その間に冗長な迂回路を含んでいる可能性があるためである。

サブ・ターゲットは、上記の経路改善だけでなく、ネットの局所的集中を避けるため、特定の配線をあらかじめ意図した領域を通過させたい場合のような、配線経路の制御にも用いることができる。この場合はサブ・ターゲットの位置は、グローバル配線などにより、あらかじめ決めておく<sup>4)</sup>。

## 6. 多端子ネットの接続およびネットの接続順序

以上述べてきた方法は、一つのスタート点から一つのターゲット点に向かって経路探索を行うものである。したがって、多端子ネットはあらかじめ、2端子ネットの組み合わせに分解しておく必要がある。また、本手法はブロック間配線への適用を目的としているため、ネットの中には一部分がすでにブロック内配線で接続されているものもある。そこで、本手法では、図-8 に示すように、未接続のすべての端子ペアの中で、距離が最小のものを最初のスタート、ターゲット点とし、この2点が接続された後、未接続部分が残っていれば、同様な方法で次に接続する端子ペアを選択するという方法を用いた。

迷路法、線分探索法のように、ネットを一本ずつ逐次接続する配線法では、配線の順序が配線完了率に大きく影響する。一般に配線順序は、端子の位置関係からトップダウン的に決められている。しかし、本手法

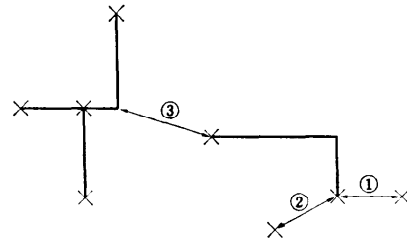


図-8 多端子ネットの接続順序  
Fig 8 Routing order within multi-terminal net.

のように、チャンネル配線法で使用した配線格子の残りを利用しようとする場合、トップダウン的手法だけでは配線順序決定は困難である。本手法ではトップダウンの配線順序決定と、一度配線した後、いったん全ネットを取り去り、接続が困難であったネットを優先的に処理するように配線順序を変更し、再配線する繰り返し手法とを併用している。なお、再配線の際には、ブロック間のチャンネル幅の調節も行う<sup>4)</sup>。

## 7. レイアウトシステムの構成

ブロック間配線に予測線分探索法を用いた階層的レイアウトの流れを図-9 に示す。まず、フロアプランプログラム<sup>12)</sup>を階層的に用いて会話形式でブロック分割、ブロック配置を決定する。次にスタンダードセルで構成されるブロックを ALPHA-I<sup>13)</sup> によりレイアウトする。この結果を再度フロアプランに入力し、ブロック位置の調節、電源線およびパッドの追加を行う。この結果に従って ALPHA-II によりブロック間配線を行う。配線が完了しない場合は配線順序を変更して再配線するか、または、フロアプランに戻りブロック間チャンネル幅を調節する。全配線が完了すればマスクの図形情報を生成する。

## 8. 実行例

予測線分探索法の接続機能を示すため、いくつかの実行例、迷路法との比較、および、ALPHA-II によるマスク設計例を示す。

予測線分探索法は先読みを基本とし、接続力の強化のため、IEP フラグ、バック・トラッキングなどの補助機能を加えたものである。表-1 はこれらの処理により、配線完了率がどのように向上するかを示している。データ A は 16 Bit CPU (約 10 K ゲート) であり、13 個のスタンダードセル・ブロックと 3 個のマクロセルで構成されている。スタンダードセル・プロ

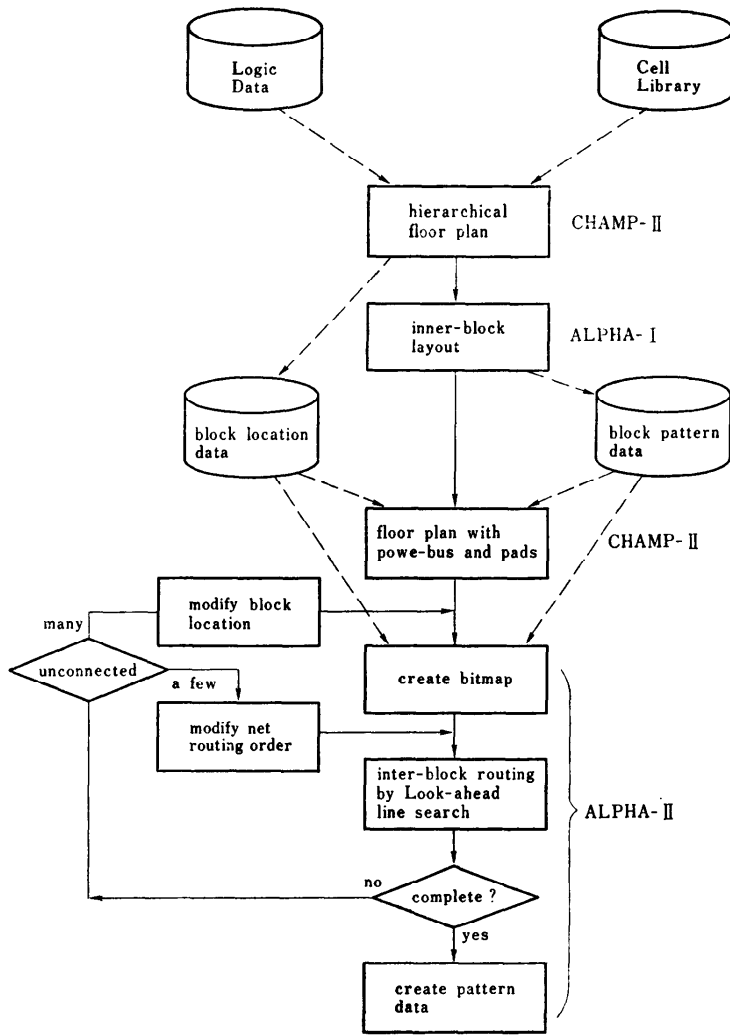


図-9 予測線分探索法を利用した階層的レイアウトの流れ  
 Fig. 9 Flow chart of hierarchical layout using look-ahead line search.

表-1 IEP フラグとバック・トラッキングによる配線完了率の改善  
 Table 1 Wireability Improvement by IEP Flagging and Back Tracking.

Data	Gride Size		No. of Nets		No. of Connected Nets		
	X	Y	Total	Inter-block	Method 1	Method 2	Method 3
A	692	339	5797	421	417 ( 4)	421 ( 0)	421 ( 0)
B	775	757	5797	421	375 (46)	401 (20)	421 ( 0)
C	1031	489	10313	660	602 (58)	623 (37)	649 (11)

Method 1: Look-ahead  
 Method 2: Look-ahead +IEP flagging  
 Method 3: Look-ahead +IEP flagging +back tracking  
 ( ) : number of unconnected nets

表-2 予測線分探索法と迷路法との比較  
Table 2 Comparison of Proposed Line Search and Maze Router.

Data	Method	Via	Length	Completion	Time
A	MAZE	1588	103154	419/421	1118
	LALS	1158 (0.729)	105864 (1.026)	421/421	36 (1/31.1)
B	MAZE	2899	160894	421/421	2226
	LALS	1879 (0.648)	171502 (1.066)	421/421	133 (1/16.7)
C	MAZE	5052	226052	633/660	3721
	LALS	4017 (0.795)	237248 (1.050)	649/660	267 (1/13.9)

Time: sec., 7.5 MIPS

Maze: two layer maze router with via spacing limitation

LALS: presented Look-Ahead Line Search router

( ): ratio LALS/Maze

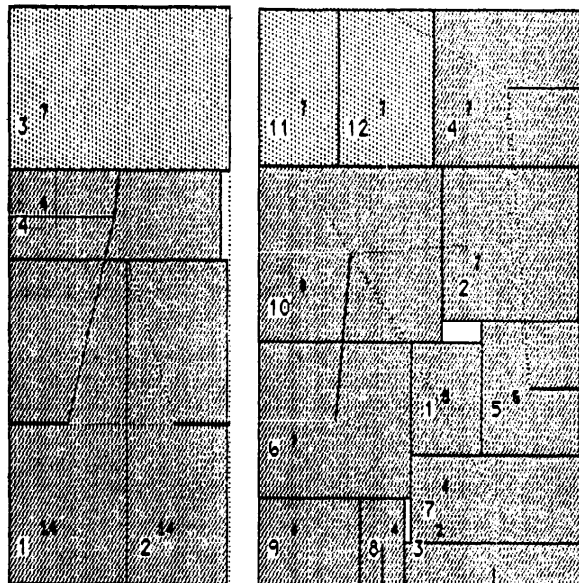
ックは ALPHA-I によりポリシリコン, AL1, 2層により配線されている. ネット(端子対)は 5797 本あり, 予測線分探索法で配線したブロック間ネットは 412 本である. ブロック間配線は AL2, 3層で行い, 第2層はブロック内の未使用格子も利用している. データ B は A と同じ回路であるが, ブロック間配線は AL1, 2層であり, 両方ともブロック内の未使用格子を利用している. データ C は A と同様な 3層配線の例であるが A より規模が大きく, ブロック内の未使用格子はきわめて少ない. 表-1 に見られるように, 90% 程度のネットは先進みだけで接続できる. また, IEP フラグ, バック・トラッキングにより未接続ネット数は大きく減少している. データ C は接続がきわめて困難な例であり, この大きさでは配線を完了できなかった. なお, データ C も, ブロック間チャンネルを広げることにより 100% 配線を完了している.

次に, 予測線分探索法と迷路法との接続力の比較を示す. 比較に用いた迷路法は予測線分探索法と同様, 配線層を 2層用い, 異ネットのスルーホール制約を満たす経路を求めることができる. また, 予測線分探索法と同様な同層折り曲げを利用している. 表-2 は, 表-1 と同じ回路を迷路法と予測線分探索法で配線した結果である. 表より, 予測線分探索法は迷路法に比較し, 次のような傾向を持つと推測できる.

- スルーホール数は 20~30% 減少する.
- 総線長の増加は 7% 程度である.
- 配線完了率は迷路法より高い.
- 処理時間は 1/10~1/30 に減少する. この比率は配線が容易なもの程大きい.

予測線分探索法で得られる配線経路は, a), b) より他のネットの接続を妨害する割合が少なく, このため, 多ネットの実際的な配線問題に対して, 迷路法以上の配線完了率が得られると考えられる. なお, 予測線分探索法に要した記憶容量は, 迷路法の約 75% であった.

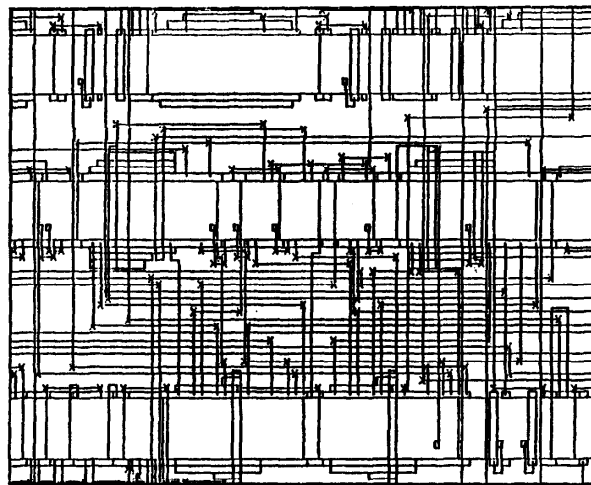
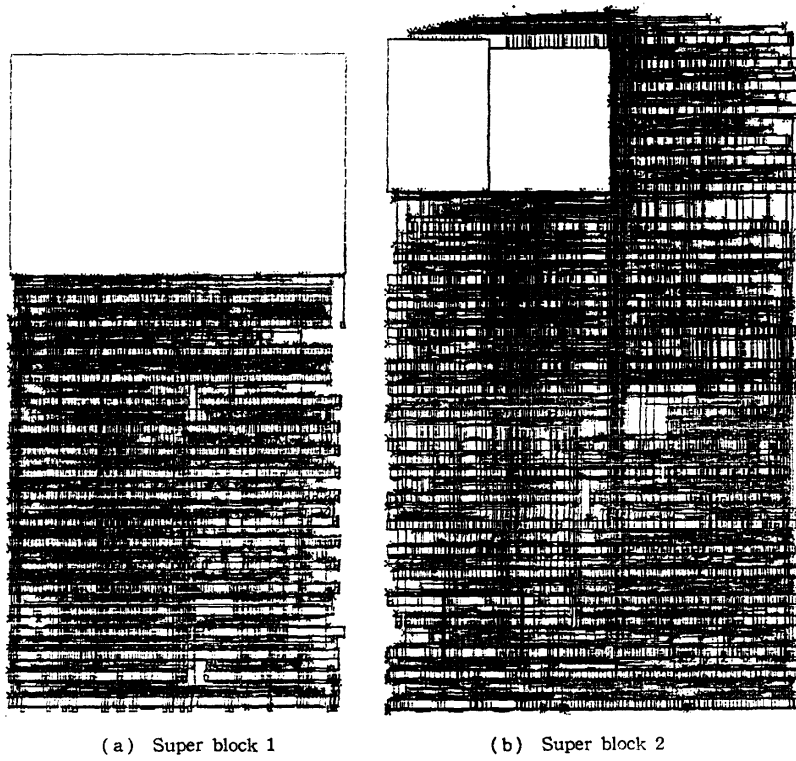
最後に ALPHA-II を用いたレイアウト例を図-10~13 に示す. この例は, 表-1 A の回路を 2つのスーパー・ブロック(複数ブロックで構成される上位ブロック)に分割し, おのおのを ALPHA-I で一括配線



(a) Super block 1

(b) Super block 2

図-10 スーパー・ブロック内のフロアプラン  
Fig. 10 Floor plans in super-blocks.



(c) Magnification of □ area.

図-11 スーパー・ブロック内のレイアウト結果  
Fig. 11 Layout results of super-blocks.



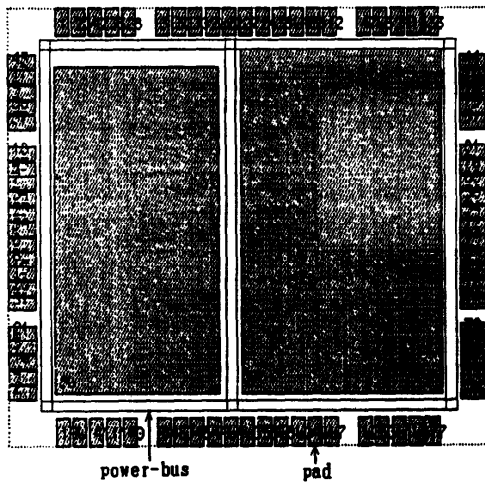


図-12 チップ全体のフロアプラン  
Fig. 12 Floor plan of the whole chip.

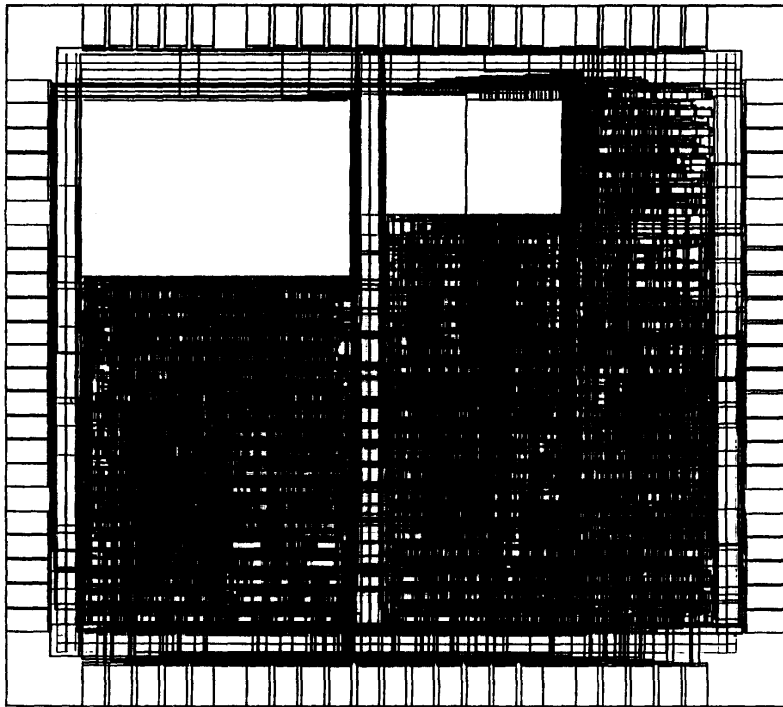
した後、これらとパッドとを予測線分探索法で接続したものである。スーパー・ブロック内の未使用トラックがスーパー・ブロック間の配線およびパッドの接続に有

効利用されたことにより、全体を ALPHA-I でレイアウトしたものと比較し、約 10% チップ面積が減少した。

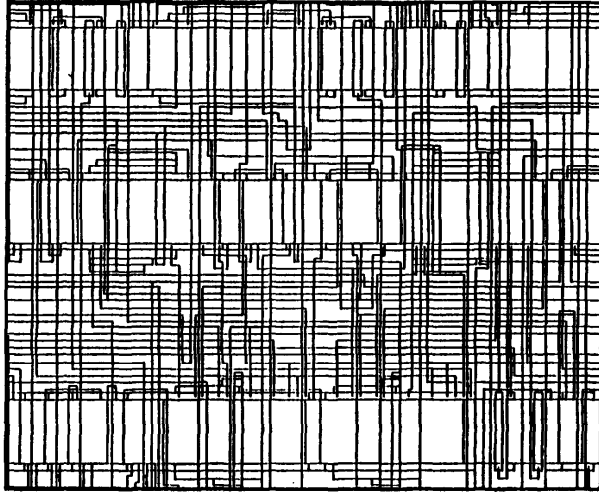
## 9. むすび

任意に分散した端子間の配線に適用できる自動配線の一手法として“予測線分探索法”を提案し、これをブロック間配線に用いた階層的レイアウトの例、迷路法との比較を示した。本手法は、先読みを用いた直接的な線分探索に、二重探索防止のフラグ、バック・トラッキングなどを組み合わせたものであり、配線経路が存在すれば必ず接続できる。また、得られる配線は、迷路法に比較し、ネット長は 7% 程度増加するが、スルーホール数は 20~35% 減少し、多ネットの実際的な配線問題に対して、迷路法以上の配線完了率が得られた。処理時間は迷路法の 1/10~1/30 であった。

謝辞 終りに、日頃ご指導、ご助言をいただく本研究所集積応用研究室中島孝利室長、上田和宏調査役に感謝致します。また、有意義なご討論、ご意見をいただいた集積応用研究室原田育生氏、論理回路研究室石谷恒八氏に感謝致します。



(a)



(b) Magnification of □ area.

図-13 レイアウト結果  
Fig. 13 Layout result.

### 参考文献

- 1) Preas, B. T. et al.: Method of Hierarchical Automatic Layout of Custom LSI Circuit Masks, 15th DAC., pp. 206-211 (1978).
- 2) Sato, K. et al.: MIRAGE-A Simple-model Routing Program for the Hierarchical Layout Design of IC Masks, 16th DAC., pp. 297-304 (1979).
- 3) Terai, H. et al.: Automatic Placement and Routing Program for Logic LSI Design, ICCD (1982).
- 4) 北沢, 上田, 安達: 大規模高密度レイアウトプログラム: ALPHA-II, 設計自動化研究会 19-4 (1983).
- 5) Lee, C. Y.: An Algorithm for Path Connections and Its Applications, IEEE Trans. Electronic Computers, pp. 346-365 (1961).
- 6) Mikami, K. and Tabuchi, K.: A Computer Program for Optimal Routing of Printed Circuit Conductors, IFIPS Proc. Vol. H 47 (1968).
- 7) Hightower, D. W.: A Solution to Line Routing Problems on the Continuous Plane, 6th Design Automation Workshop pp. 1-24 (1969).
- 8) Soukup, J.: Fast Maze Router, 15th DAC., pp. 100-102 (1978).
- 9) Korn, R. K.: An Efficient Variable-cost Maze Router, 19th DAC., pp. 425-431.
- 10) Heyns, H. et al.: A Line-expansion Algorithm for the General Routing Problem with a Guaranteed Solution, 17th DAC., pp. 243-249 (1980).
- 11) 山村, 白川, 尾崎: 二層プリント基板上の配線問題に対する線分探索の一手法, 信学論 (A-57), No. 9, pp. 671-678.
- 12) 上田, 北沢, 原田: VLSI チップフロアプランプログラム: CHAMP, 情報処理学会設計自動化研究会資料, 18-3 (1983).
- 13) 北沢, 安達, 上田: VLSI 階層的レイアウト設計システム, 昭和 58 年度電子通信学会情報・システム全国大会, S1-3.

(昭和 60 年 7 月 1 日受付)