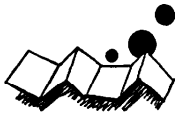


解説



連想メモリ†

小倉 武†† 山田 慎一郎††

1. はじめに

近年、情報処理の高度化、高速化に伴い Backus により指摘されたフォンノイマンボトルネックが増々顕著なものとなりつつある。プロセッサとメモリの分離構成をとるかぎり、第5世代計算機と言えどもこのボトルネックから逃れることができないため、なんらかのブレイクスルーが望まれている。

フォンノイマンボトルネックを解消する可能性があるものとして、プロセッサ（ロジック）とメモリの混在アーキテクチャが知られている。この混在アーキテクチャを実現するデバイスが機能メモリあるいはロジックインメモリと呼ばれるデバイス群である。機能メモリとしては種々の提案がなされているが、これらの中でもっともよく知られているものが連想メモリである。

連想メモリとは、記憶内容によるデータアクセスを基本機能とするメモリであり、CAM (Content Addressable Memory: 内容アクセスメモリ) と呼ばれることが多い。CAM は、その名前が示すように“記憶と内容アクセス”機能を有しているだけでなく、記憶しているデータに対する“並列処理”機能をも有しており、その概念と有用性は古くから知られている。連想メモリの各種応用提案を含めた詳しい解説資料も数多い^{1), 2)}。大容量連想メモリの実現による情報処理システムのアーキテクチャに及ぼす技術的インパクトはきわめて大きい。

一方、このような状況を背景とし、半導体集積回路技術を用いた連想メモリセルアレイの試作報告が数多くなされてきた。しかし、これらは、容量的にも機能的にも十分なものではなく、実用システムへの連想メモリの適用には至らなかった。近年、VLSI 技術の飛躍的な発展により、単なるセルアレイにとどまらず、

実用的な容量、機能をもつ連想メモリ LSI が実現可能なものとなりつつある。LSI としての本格的な連想メモリの開発は1980年に報告された1Kb連想メモリ LSI³⁾に始まり、1983年、1985年、1986年にはそれぞれ4Kb⁴⁾、8Kb⁵⁾、20Kb⁶⁾連想メモリ LSI が試作されている。通常のRAMと同様、4倍/3年の割合で集積規模の増大が図られようとしている。また、これらの大容量化、高機能化をめざす連想メモリ LSI 研究に対応し、データに対する“記憶”と“並列処理”の両機能をあわせもつ連想メモリの特質を活用することにより、システム構成の単純化、その飛躍的な高性能化を図ろうとする試みがなされつつある。

ここでは、現在までに提案・実現されている連想メモリのシステム応用技術を概観した後、種々の連想メモリ LSI のアーキテクチャを整理するとともに、それらの特質をまとめ、連想メモリ LSI の将来およびシステムアーキテクチャに与えるインパクトを展望する。

2. 連想メモリの概要

通常のメモリ (RAM) では、アドレスを用いてデータアクセスを行う。これに対して連想メモリでは検索データを入力し、これと各ワードの記憶データの内容を照合、検索し、該当する内容をもつワードに対してアクセスを行う。連想メモリのもつ照合機能としては、検索データと記憶データとが一致しているか否かを照合する機能（一致検索機能）がもっとも一般的であるが、大小関係による検索機能⁷⁾、ハミング距離による検索機能⁸⁾等の関係検索機能も提案あるいは実現されている。表-1に連想メモリ LSI で提案・実現されている検索モードとその概要を示す。連想メモリ LSI としては、完全並列型の一一致検索機能が基本であるが、後述するように一致検索に加えビット直列に関係検索も実行できるアーキテクチャが実現されている。また、検索関連の諸機能としては、検索対象ビットを指定できるマスク検索機能、多ビット幅データを

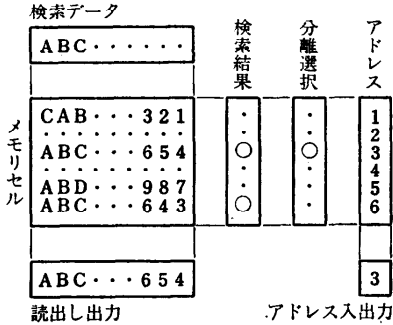
† Content Addressable Memory by Takeshi OGURA and Shin-ichiro YAMADA (NTT Atsugi Electrical Communications Laboratories).

†† NTT 厚木電気通信研究所

表-1 連想メモリ LSI の検索モード

検索モード	アーキテクチャ	必要手順数*	必要ハードウェア量	備 考
一致検索	ビット直列, ワード並列	$O(N)$	中	・直交メモリ+比較器で構成
	完全並列	$O(1)$	中	・基本的な連想メモリ LSI
関係検索	ビット直列, ワード並列	$O(N)$	中	・完全並列な一致検索も可能
	完全並列	$O(1)$	大	・大小比較, ハミング距離による検索等

* Mワード×Nビットのとき



（検索データの・は検索対象外でマスクされていることを示す。データの読出しとともに、アドレス出力も可能である。

図-1 連想メモリ の概念図

扱えるビット幅拡張検索機能等も実現されている。

一致検索機能を有する連想メモリ の概念図を 図-1 に示す。図-1 において、検索データのドットは検索対象外のビットでありマスクされていることを示している。検索データと各ワードの記憶データとの照合が全ワード同時に実行され、一致検索が成立したワードに一致検出を示すフラグが立てられる。そして、これ以後必要に応じてこのフラグを用いたワードアクセスを行う。現在までに実現されているおもなアクセスモードとしては、選択ワードの逐次書込み/逐次読出し、選択/非選択ワードの同時並列書込み、選択/非選択ワードの不要化等がある。

3. 連想メモリ のシステム 応用 技術

連想メモリ のもっとも単純な応用は、アドレス変換等を行うテーブル検索である。しかし、連想メモリ LSI の大容量化、高機能化に伴い、単純なテーブル検

索にとどまらず種々の応用が可能となってきた。連想メモリ LSI の応用分野としては、以下に示すように多くの提案がなされており、知識情報処理向きの VLSI アーキテクチャの一候補としても期待されている^{9),10)}。

- (1) データフローマシンにおける制御用メモリ¹¹⁾
- (2) Lisp マシンにおけるセル格納用メモリ¹²⁾
- (3) Prolog マシンにおける各種高機能スタック等¹³⁾⁻¹⁵⁾
- (4) データベースマシン¹⁶⁾
- (5) 図形処理用データメモリ¹⁷⁾
- (6) 文字列処理用テーブル¹⁸⁾

ここでは、連想メモリ LSI の実際的な応用技術を明らかにすることを目的とし、報告されている検討結果のうちいくつかを紹介する。

3.1 関係検索を実現する連想メモリシステム¹⁹⁾

4 Kb 連想メモリ LSI⁴⁾ を用いてビット直列な関係

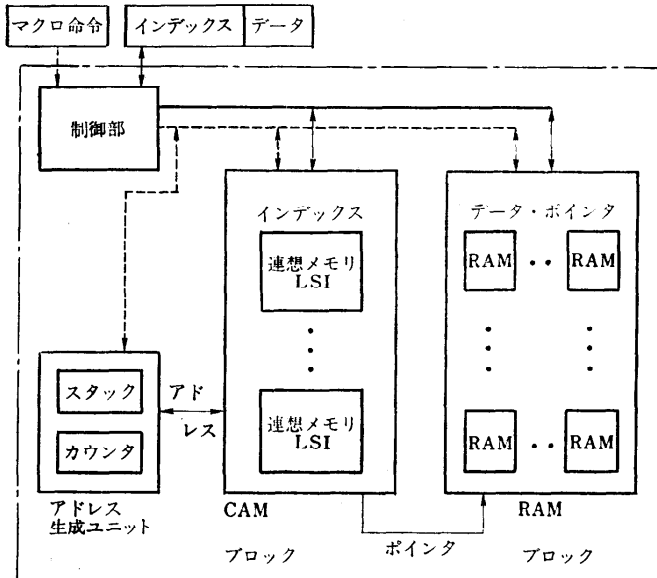
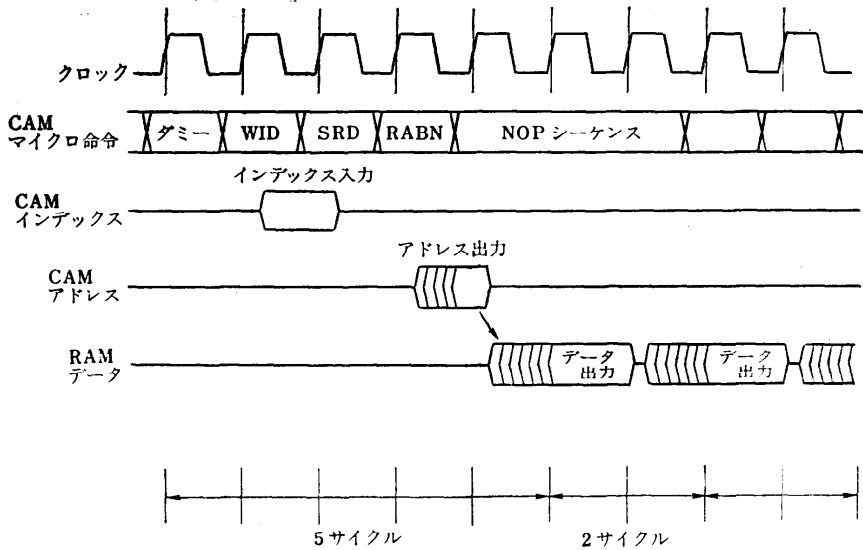


図-2 4 Kb 連想メモリ LSI を用いた連想メモリシステム



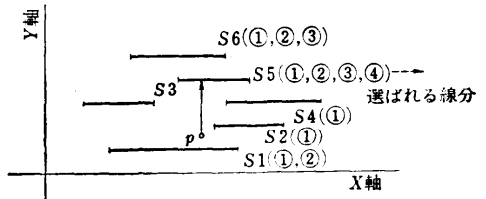
WID：検索データ入力 SRD：検索 RABN：アドレス出力

図-3 タイミング図

検索、論理演算等を実現するために構築した実験システムである。ビット直列な関係検索、論理演算は、過去の検索結果との AND/OR をとりながら、検索対象のビット位置をずらしたマスク検索を繰返すことにより実現できる。ビット直列な関係検索、論理演算に必要な処理時間は、ビット数にのみ依存しワード数には依存しないため、大量データの一括処理に適しており、連想メモリ使用の効果が大きい。

図-2に本システムのブロック構成を示す。CAMブロックは4Kb 連想メモリ LSI をワード方向に拡張したアレイで構成され、32ビットのインデックスを格納する。RAM ブロックは32ビットのデータとポインタを格納する。制御部はプロセッサと1Kw×64b のマイクロプログラム RAM 及びマイクロプログラムカウンタとからなる。検索、読出し、書込み等の連想メモリとしての動作は、マクロ命令によって指示され、制御部でマイクロ命令に展開して実行する。各マクロ命令は数ステップのマイクロ命令で実現されるため、各動作が高速に実行される。

検索を実行したのちRAMブロック内のデータを読出す場合のタイミング図を図-3に示す。検索を行うマクロ命令が起動されてから、最初のデータが読出されるのに5サイクルを要し、以後、2サイクルごとにデータが読出される。CAMブロックが16Kw×32b、



(()内は、各段階の処理で選ばれることを示す)

図-4 線分探索問題 (文献 17)による)

RAM ブロックが 32Kw×32b の連想メモリシステムが6MHz のシステムクロックで動作している。

本システムを用いると、大小比較、最大値/最小値検索等の関係検索が高速に実現できる。文献 19) には最小値検索を用いたソーティングの例が報告されている。また、文献 20) では、本システムを高速テーブル検索機構として高速バケット・回線統合交換方式に適用した場合のトラヒック特性評価が報告されている。1 MIPS のプロセッサを用いる場合と比較し、1桁以上の高速処理が可能であることが示されている。

3.2 図形・配線処理用連想メモリシステム¹⁷⁾

鈴木らによって検討がなされている。連想メモリの関係検索と論理演算機能を用いて図形・配線処理問題を高速に解こうとするシステムである。基本的な線分探索問題及びグリッドレス・ルータへの連想メモリ LSI の適用が検討されている。

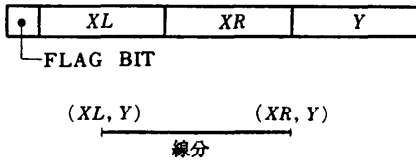


図-5 連想メモリに格納するデータ形式 (文献 17)による)

線分探索問題とは、図-4 に示すように X 軸と平行な横線分の集合 S と一点 $p(x_0, y_0)$ が与えられたとき、点 p から Y 軸に平行に延ばした線分が最初に出会う線分を報告する問題である。この問題に対して、図-5 の形式で連想メモリにデータを格納し、以下の4段階の処理により解が高速かつ容易に求まることが示されている。

- ① $XR \geq X_0$ を満たすデータを関係検索する。
- ② ①を満たし、 $XL \leq X_0$ を満たすデータを関係検索する。
- ③ ②を満たし、 $Y \geq Y_0$ を満たすデータを関係検索する。
- ④ ③を満たすデータの中で、最小の Y 値をもつデータを関係検索する。

また、グリッドレス・ルータに対して連想メモリを適用した場合の時間・空間複雑度を求め、表-2 に示すように連想メモリ使用の効果が大いことを明らかにしている。

3.3 連想メモリを用いた Prolog マシン¹³⁾

Prolog の処理に不可欠な連想機構、スタック機構に連想メモリ LSI を適用し、高速処理を実現した

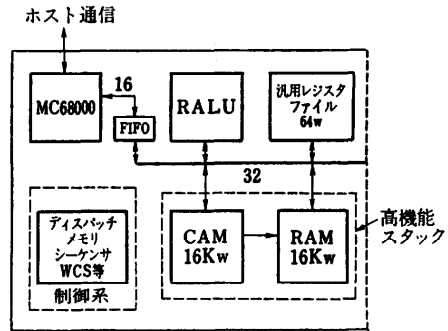


図-6 連想メモリ LSI によるスタックと周辺部のブロック構成

Prolog マシンである。連想メモリを用いて構成するスタックにバインド情報、節の起動の情報等を格納する。このため、この Prolog マシンではスタックのアドレッシングが不要となる。その高速性とともにもアドレス演算系のないデータ転送系のみをきわめて簡単な構成が特徴である。

連想メモリ LSI を用いて構成しているスタックとその周辺部のブロック構成を図-6 に示す。4 Kb 連想メモリ LSI⁴⁾、RAM、RALU、汎用レジスタファイル、シーケンサ及びホストとのインタフェースとステータス管理のためのプロセッサから構成している。

連想メモリを用いて構成しているバインド情報スタックの概念図を図-7 に示す。推論深さとバインド情報の CAR 部を連想メモリ LSI に格納し、バインド情報の CDR 部は連想メモリ LSI と結合された RAM に格納する。バインド情報スタックでは、図-7 に示

表-2 連想メモリを適用したグリッドレス・ルータの時間・空間複雑度

問 題	連想メモリを用いない場合		連想メモリを用いた場合	
	時間複雑度	空間複雑度	時間複雑度	空間複雑度
一層配線問題				
・ 径 路	$O(n \log n)$	$O(n)$	$O(n)$	$O(n)$
・ 一方向最短径路	$O(n \log n)$	$O(n)$	$O(n)$	$O(n)$
・ 最小曲り径路	$O(n \log n)$	$O(n \log n)$	$O(n)$	$O(n)$
・ 最 短 径 路	$O(n \log n)$	$O(n \log n)$	$O(n)$	$O(n)$
二層配線問題 (制約条件なし)				
・ 径 路	$O(n \log n)$	$O(n \log n)$	$O(n)$	$O(n)$
・ 最小ビア径路	$O(n \log n)$	$O(n \log n)$	$O(n)$	$O(n)$
二層配線問題 (縦横原則)				
・ 径 路	$O(n \log n)$	$O(n)$	$O(n)$	$O(n)$
・ 二層目最短径路	$O(n \log n)$	$O(n)$	$O(n)$	$O(n)$
・ 最小曲り (ビア) 径路	$O(n \log n)$	$O(n \log n)$	$O(n)$	$O(n)$

注) 連想メモリを用いない場合に空間複雑度が $O(n \log n)$ のものを $O(n)$ にすることができるが、このとき時間複雑度は $O(n \log^2 n)$ になる。(文献 17)による)

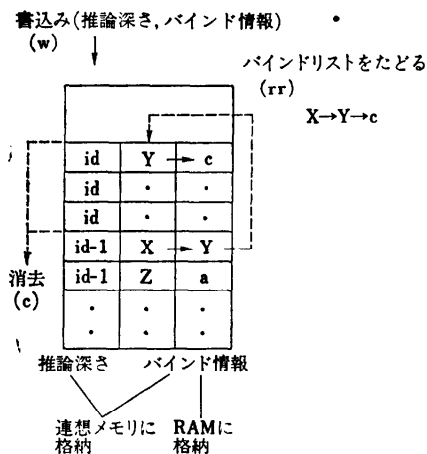


図-7 バインド情報スタックの概念図

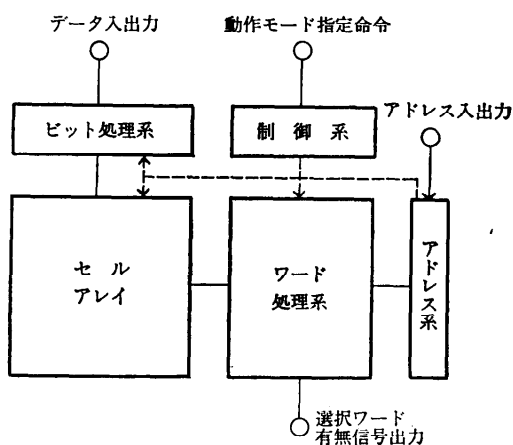


図-8 連想メモリ LSI の基本構成

表-3 発表された連想メモリ LSI の諸元と特徴

	1 Kb 連想メモリ LSI	4 Kb 連想メモリ LSI	8 Kb 連想メモリ LSI
ワード構成	64w×18b	128w×32b	256w×32b
機能的特徴	<ul style="list-style-type: none"> 完全並列なハミング距離による関係検索機能 (含、一致検索機能) ビット方向への拡張性 並列部分書込み機能 	<ul style="list-style-type: none"> 完全並列な一致検索機能 ビット直列ワード並列な関係検索機能 ビット方向への拡張性 並列部分書込み機能 ガーベジタグによるガーベジコレクション 	<ul style="list-style-type: none"> 完全並列な一致検索機能 ビット方向への拡張性 再書込みモードによるガーベジコレクション機能
動作モード数	37	30	12
サイクルタイム	100 ns	140 ns	100 ns
チップサイズ	4.1 mm×4.95 mm	10.3 mm×8.4 mm	4.8 mm×7.1 mm
総素子数	33,900	71,300	99,000
プロセス技術	2μm n-E/DMOS 金属2層配線	3μm CMOS 金属2層配線	2μm CMOS 金属2層配線
消費電力	1,070 mW	250 mW (5 MHz)	500 mW (10 MHz)
発表年・文献	1980・文献 3)	1983・文献 4)	1985・文献 5)

すように (1)バインドリストをたどる (2)バインド情報を書込む (3)ある推論深さまでのバインド情報を消去するの三つの動作モードが必要である。これらのモードは、連想メモリ LSI の ①マスク検索 ②選択ワードのアドレス読出し ③不要ワード (ガーベジワード) へのデータ書込み ④ビット直列な関係検索 (大小比較) ⑤複数の選択ワードの一括不要ワード (ガーベジワード) 化の 5 種類の動作で実現している。これらの連想メモリ LSI の動作は、マイクロプログラムで制御できる。この Prolog マシンは、現在、稼動評価中であり、クロックサイクル 200 ns、

インタプリタモードで 100 KLIPS 実現の見通しを得ている²¹⁾。

4. 連想メモリ LSI のアーキテクチャ

連想メモリ LSI は、基本的に図-1 に示す各機能を実現する複数個のブロックから構成される。連想メモリ LSI の基本構成を図-8 に示す。連想メモリ LSI の基本構成は、検索機能を実行するセルアレイとワード単位に検索結果を処理しワードアクセスを行うワード処理系及びビット単位にマスク機能等を実現するビット処理系等からなる。連想メモリ LSI では各プロ

ックに与える機能、構成法等により、通常の RAM と比較して数多くの LSI アーキテクチャが存在する。連想メモリ LSI で実現する検索モード、アクセスモードは、連想メモリ LSI のアーキテクチャを特徴付けるとともに、連想メモリ LSI を用いたシステムの全体性能を決定する要因となる。このため、連想メ

モリ LSI をどのような分野に応用しようとするのか、あるいは用いるデバイス技術と必要なハードウェア量等を考慮して取捨選択されるべきものである。

連想メモリ LSI のアーキテクチャの詳細に関しては、文献22)を参照していただきたい、ここでは、連想メモリ LSI の応用イメージの明確化に主眼を置き、

現在までに試作された連想メモリ LSI の諸元及び特徴をまとめるとともに、一例として、4Kb 連想メモリ LSI の命令セットを紹介する。

現在までに試作された 1, 4, 8Kb 連想メモリ LSI の諸元及び特徴を表-3にまとめる。図-9、図-10は、4Kb 連想メモリ LSI のブロック構成とチップ写真である。また、図-11は 8Kb 連想メモリ LSI のブロック構成である。これらの LSI の基本構成は図-8と同様であるが、各ブロックの機能、構成法にそれぞれ特徴を有する。

4Kb 連想メモリ LSI の動作モードの概要を表-4に示す。4Kb 連想メモリ LSI は 30種類の動作モードをもつ。これらは、検索、読出し、書込み、ワード不要化及び NOP 関連の 5種類に大別できる。

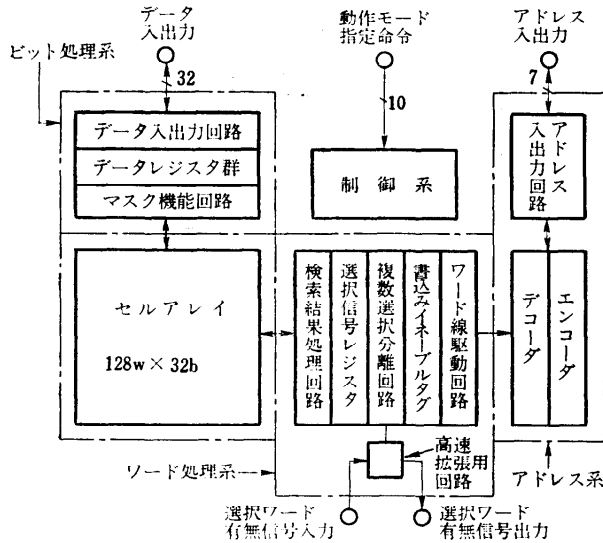


図-9 4Kb 連想メモリ LSI のブロック構成

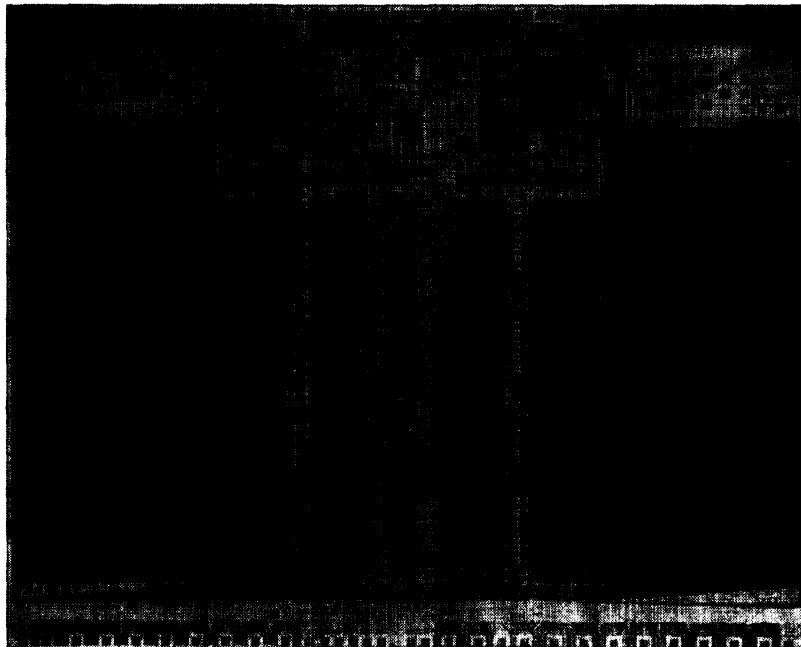


図-10 4Kb 連想メモリ LSI

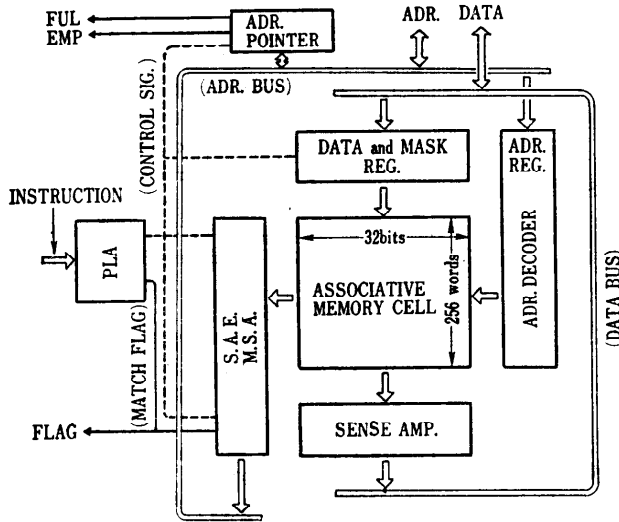


図-11 8Kb 連想メモリ LSI のブロック構成 (文献 5)による)

表-4 4Kb 連想メモリ LSI 動作モード

動作モード	概 要
検 索 (5モード)	<ul style="list-style-type: none"> 単純なマスク検索 関係検索, 論理演算のための AND/OR 検索 ビット方向への拡張性を与えるためのアドレスとの AND 検索 等
読 出 し (8モード)	<ul style="list-style-type: none"> 検索結果を用いたワード不要化を伴うデータ/アドレスの読出し 検索結果を用いたワード不要化を伴わないデータ/アドレスの読出し アドレスを用いたデータの読出し
書 込 み (12モード)	<ul style="list-style-type: none"> 検索結果を用いた1ワードへの書込み/部分書込み 検索結果を用いた並列書込み/並列部分書込み 不要ワードへの書込み アドレスを用いた書込み 検索データ, マスクデータの書込み 等
ワード不要化 (3モード)	<ul style="list-style-type: none"> 全ワードの不要化 選択されているワードの不要化 選択されていないワードの不要化
NOP 関 連 (2モード)	<ul style="list-style-type: none"> NOP 及びテスト用モード

検索モードでは、検索データ、マスクデータを用いた通常の検索動作のほか、過去の検索結果との AND/OR をとりながら、検索結果を蓄積して行く動作等も可能である。このモードを用いることにより、前述したように大小比較等の関係検索や論理演算が実現で

きる。

読出しモードでは、検索動作で選択されたワードのデータあるいはアドレスを1ワードずつ逐次読出すことができる。

書込みモードでは、検索動作で選択されたワードあるいは選択されていないワードへの並列書込みを行う。また、選択されたワードへの1ワードずつの書込み及び不要ワードへの書込みも可能である。なお、通常の RAM と同様なアドレスを用いた読出し/書込みも行える。

ワード不要化モードでは、検索動作で選択されたワードあるいは選択されていないワードの一括不要化が可能である。また、読出し後不要となるワードに対しては、読出し時に逐次不要化することもできる。このワード不要化モードと上述した不要ワードへの書込み機能を用いることにより、ガーベージコレクション機能が実現できる。連想メモリ LSI にガーベージコレクション機能をオンチップ化することにより、

アドレスを意識する必要のない本来の連想メモリが実現できる。連想メモリ LSI を用いたシステムの構成を単純化することができ、そのメリットは大きい。

5. 連想メモリ LSI の将来

連想メモリ LSI の研究開発の現状は、実際に大容量連想メモリ LSI が試作され、さらに、これをキーコンポーネントとした情報処理システムが実現されつつある段階に至っている。連想メモリ LSI の大容量化は、通常の RAM と同様、4倍/3年の割合で達成され、種々の連想メモリの応用が提案されつつある。しかし、記憶容量の観点からだけ見た場合、連想メモリ LSI は RAM と比較して数分の1程度の容量にとどまっており、また、連想メモリを用いて実際にシステムを構築した報告も数例にとどまっている。より一層の大容量化、高機能化を図った連想メモリ LSI を実現するためには、デバイス、回路技術はもちろんのこと、連想メモリのシステム応用技術とリンクした広範な検討が必要不可欠である。

連想メモリ LSI の大容量化を図るうえで重要なデバイス、回路技術としては、回路のダイナミック化技術及び3次元デバイス技術²³⁾の適用が考えられる。回路のダイナミック化あるいは3次元化が実現できたならば、2次元構造のスタティック RAM と同程度の集積度をもつ連想メモリ LSI を開発することが可能

となる。

連想メモリのシステム応用技術に関しては、分散処理、並列処理への適用検討が興味深い。連想メモリを用いる場合、Prolog マシンの例で示したように物理的なアドレス情報は必要なく、意味論的なインデックスを付加して連想メモリに格納し連想アクセスを行うだけで分散処理、並列処理の管理が可能となる。

今後、種々の情報処理システムへ連想メモリ LSI を適用することにより、“記憶”と“処理”の一体化という大きなアーキテクチャ上のインパクトを与え得ることを、また進展する VLSI 技術による連想メモリ LSI の飛躍的な大容量化、高機能化が図られることを期待している。

参考文献

- 1) 飯塚：論理メモリ，情報処理，Vol. 16, No. 4, pp. 275-285 (Apr. 1975).
- 2) 奥川：連想メモリとその応用，bit, 15, 4, pp. 318-329 (1983).
- 3) 小倉，二階堂，宮原：大規模連想メモリ LSI，信学技報，SSD 80-56, pp. 31-38 (1980).
Nikaido, T., Ogura, T., Hamaguchi, S. and Muramoto, S.: A 1Kbit Associative Memory LSI, Jpn. J. Appl. Phys., 22, pp. 51-54 (1983).
- 4) 小倉，山田，丹野，石川：4 Kb CMOS 連想メモリ LSI，信学技法，SSD 83-78, pp. 45-52, (1983).
Ogura, T., Yamada, S. and Nikaido, T.: A 4-Kbit Associative Memory LSI, IEEE J. Solid-State Circuits, SC-20, 6, pp. 1277-1282 (1985).
- 5) Kadota, H., Miyake, J., Nishimichi, Y., Kudoh, H. and Kagawa, K.: An 8-Kbit Content-Addressable and Reentrant Memory, IEEE J. Solid-State Circuits, SC-20, 5, pp. 951-963 (1985).
- 6) 小倉，山田(慎)，山田(順)：20 Kb CMOS 連想メモリ LSI，昭 61 信学総全大 (1986).
- 7) Ramamoorthy, C. V., Turner, J. J. and Wah, B. W.: A Design of a Fast Cellular Associative Memory for Ordered Retrieval, IEEE Trans. on Computers, C-27, 9, pp. 800-815 (1978).
- 8) 市川，坂村，諸隈，相磯：連想プロセッサ ARES，信学論 (D), J 61-D, 10, pp. 743-750 (1978).
- 9) 内田：人工知能向き VLSI アーキテクチャ，昭 58 電気四学会連大，32-6.
- 10) Deering, M. F.: Architectures for AI, BYTE-APPIL 1985, pp. 193-205 (1985).
- 11) Amamiya, M., Hasegawa, R., Nakamura, O. and Mikami, H.: A List-Processing-Oriented Data Flow Machine Architecture, Proc. of the 1982 National Computer Conference, AFIPS, pp. 143-151 (1982).
- 12) Bonar, J. G. and Levitan, S. P.: Real-Time LISP Using Content Addressable Memory, Proc. of 10th. Int'l Conf. on Parallel Processing, pp. 112-117 (1981).
- 13) 長沼，小倉，山田：連想メモリを用いた Prolog マシンの構成と処理アルゴリズム，情報処理学会，記号処理研究会，32-3 (1985).
- 14) Dilger, W. and Schneider, H. A.: ASSIP-T, A Theorem Proving Machine, Proc. of Int'l Conf. on FGCS '84 (1984).
- 15) 大久保，安浦，高木，矢島：UNION-FIND メモリを利用した単一化操作について，信学技報，AL 85-49, pp. 31-40 (1985).
- 16) 市川，平川：連想処理とデータベース，情報処理，Vol. 23, No. 8, pp. 748-756 (Aug. 1982).
- 17) 鈴木，橘，佐藤：連想メモリによる図形処理問題の解法，信学技報，CAS 84-117, pp. 13-20 (1984).
- 18) 永松，森下：連想メモリを用いた文字列処理，情報処理学会第 29 回全国大会論文集，6 B-7 (1984).
- 19) 小倉，山田，長沼：大容量連想メモリ LSI の構成とその応用手法，信学技報，CAS 84-192, pp. 17-24 (1984).
- 20) 宮保，小菅，小倉，三浦：高速パケット・回線統合交換方式のトラヒック特性，信学技報，SE 85-131, pp. 31-36 (1985).
- 21) 長沼，小倉，山田：連想メモリを用いた Prolog マシンとそのファームウェアインタプリタ，情報処理学会第 32 回全国大会論文集 3 Q-2 (1986).
- 22) 小倉，山田：連想メモリ LSI の現状と今後，信学誌 (to be published).
- 23) 大附：システムから見た三次元回路素子，第 4 回新機能素子技術シンポジウム予稿集，pp. 205-226 (1985).

(昭和 61 年 4 月 16 日受付)