

教育用 RISC 型マイクロプロセッサ MITEC-II を用いた 演習環境の開発及び MITEC-II を用いた演習の実施

桜井 祐市 長澤 龍 宮内 新 石川 知雄
武蔵工業大学

あらまし: 大学, 大学院課程におけるコンピュータアーキテクチャ教育の重要性は, その社会における重要性に比例して今もなお増加している. 本学においては, RISC プロセッサ MITEC-I を搭載した演習用コンピュータを用いる演習を行っている. しかし, MITEC-I での演習は数々の問題点が報告されている. この問題点を考慮し, 一昨年度教育用プロセッサ MITEC-II, 及び MMU が研究されている. 本研究は, MITEC-II プロセッサ及び MMU を搭載する演習用コンピュータ及び演習システムを開発する. MITEC-II 演習用コンピュータは演習用途に特化したコンピュータであり, MITEC-I に対して性能面・教育的機能について多くの改良がなされている.

Development of the Experiment Environment with the RISC Type Micro-Processor MITEC-II for the Educational and the Execution of the Experiment with MITEC-II

Sakurai Yuichi , Nagasawa Ryu , Miyauchi Arata and Ishikawa Tomo
Musashi Institute of Technology

Abstract: The importance of the computer architecture education in the undergraduate course and the graduate course is still increasing now in accordance with increase of that in the society. In our university, an experiment class in which an experimental computer is designed, is held. RISC processor named MITEC-I on board was used in the class. But, as we practice the experiment with MITEC-I, various problems are arose. To solve these problems, a new processor named MITEC-II and a MMU for education are being developed ever since the year before. This research develops the computer for experiment, and a tool system. Also, curriculum for the experiment is planed and proposed. This paper presents the newly developed computer, MMU, and curriculum in detail.

1 はじめに

1.1 研究背景

大学, 大学院課程におけるコンピュータアーキテクチャ教育の重要性は, その社会における重要性に比例して今もなお増加している. プロセッサ内部のアーキテクチャもそうであるが, 周辺 I/O, メモリシステム等を含めた, 1つのシステムとして理解することが求められる. 実験演習では実際のハードウェアを用いることで演習者の理解がより深まると考えられるが, 既存のプロセッサを用いたシステムでは, 内部アーキテクチャがブラックボックス化してしまう問題がある. この問題を解決するべく, FPGA¹を用いオリジナルのプロセッサを搭載して演習を行なう KITE [1], KITE-2 [2], KUE-Chip2 [3], DLX-FPGA [4] 等の例が知られている.

¹Field Programmable Gate Array

1.2 コンピュータハードウェア演習

現在, 本学においてはコンピュータハードウェア演習を以下のような流れで行っている (下線が今回対象とする演習).

1. VHDL の習得 (学部 3 年)

演習内容 カウンタ等の簡単な回路を設計し, 実機にて動作確認

演習目標 VHDL の言語自体の習得を目指す

2. COMET 互換プロセッサを用いた演習 [5],[6] (学部 4 年)

演習内容 COMET 互換プロセッサを搭載する演習用コンピュータを用いる. 任意の命令を追加し CPU の内部構造を理解

演習目標 CISC プロセッサの RTL までの理解

3. RISC プロセッサを用いた演習 (大学院 1 年)

演習内容 RISC プロセッサ MITEC-I [7] を搭載した演習用コンピュータを用る [8],[9]. プロセッサにハザード対策 (フォワーディング等) を施す等

演習目標 パイプライン処理の理解を深める

1.3 研究目的

教育用プロセッサ MITEC-I での演習は数々の問題点が報告されている [10]. この問題点を考慮し, 一昨年度本研究室において次世代の教育用プロセッサ MITEC-II, 及び MMU² [11] が研究されている. 本研究は, MITEC-II プロセッサ及び MMU を搭載する演習用コンピュータ及び演習システムを開発する事を目的とする. 演習用コンピュータは, 教育用として有用であると思われる改良を施し, また演習用以外の用途, 例えば画像処理プロセッサの研究ベースにも耐える事を目的とする. そしてこのシステムを用いて実際の演習を行い, 次システムへの課題抽出を行なう.

2 MITEC-I 演習システム

ここで, 前年度まで行われていた MITEC-I 演習システムについて述べる.

2.1 構成

基本的な構成は以下の通りである.

- MITEC-I 演習用コンピュータ
 - FPGA1(MITEC-I CPU+MMU)
 - FPGA2(中央制御部)
 - SRAM による 16Mbyte のメインメモリ
 - BIOS ROM
 - 割り込み線 × 1, NMI × 1
 - シリアル入力 × 1, パラレル出力 × 2
 - PC 接続部
- 入力装置 (キーボード)
- 出力装置 (ディスプレイ)

演習時は上記の他に, プログラム作成用の PC も使用する. 演習者は PC から自身のプログラムのアセンブル結果を転送し, 転送後は演習システム上でプログラムの実行を行う. 動作状態, 結果は出力装置 (ディスプレイ) または PC 接続部よりメモリをダンプし確認する.

²Memory Management Unit

2.2 演習結果及び考察

このシステムを用いて演習を行い, 利点及び欠点を抽出した.

利点
改造結果が実機で試せるので実感が沸く CPU 内部の改造を VHDL という言語で行うことによる演習者の負担軽減 オリジナルアーキテクチャのプロセッサを使用する事で, ブラックボックスな所が無い
欠点
仮想記憶に非対応, キャッシュを搭載していない等, メモリ部分の演習が出来ない プロセッサ内部の信号を外部から観測できない VHDL の階層が 1 つであるために, 演習者がソースを理解するのに苦労 FPGA の容量が少ないために, その改造範囲がとても制限されてしまう 演習者が FPGA のフロアプランまで考えなければならない

表 1: MITEC-I 演習における利点と欠点

表 1 より, FPGA を搭載したオリジナルのコンピュータを使用する事で利点が発生していることがわかる. しかし, FPGA の容量不足, プロセッサの内部信号観測が不可能, メモリシステム演習等の新たな演習に非対応という問題点も発生している.

これらを踏まえ, 次期演習システムである MITEC-II 演習システムでの課題を考察した.

- プロセッサ部の改良
 - より大容量な FPGA デバイスの検討
 - 記憶階層演習等新たな演習用途に対応した, プロセッサ, MMU の FPGA へのインプリメント方法の検討
 - 読解が容易な VHDL 記述の検討
- プロセッサ部の内部信号観測の実現
 - 内部信号表示用の専用装置を用いた観測の実現
 - 内部信号観測を考慮に入れたプロセッサ, MMU の設計
- メモリ部の改良
 - メモリ部演習に対応した記憶階層の実現

3 MITEC-II プロセッサ

MITEC-II プロセッサは、MITEC-I よりも高機能で教育用にも適したプロセッサを目指したものである。その概要を表 2 に、ブロック図を図 1 に示す。

教育向け 32BitRISC プロセッサ 5 段命令パイプライン 1 クロック 1 命令 (ハザード等を除く) 4GByte の論理メモリ空間 ハーバードアーキテクチャを採用 FPGA、VHDL により開発
--

表 2: MITEC-II プロセッサ概要

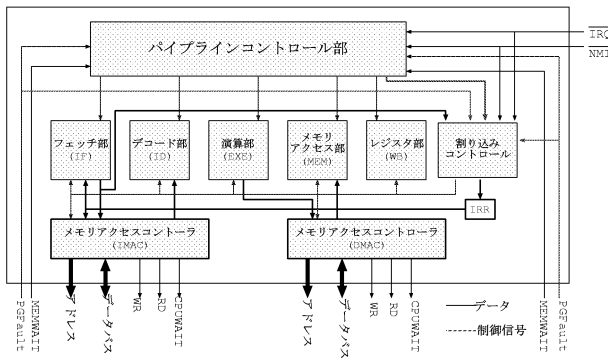


図 1: MITEC-II プロセッサブロック図

この他、MITEC-I では 2 本であった割り込みを 8 本装備し、モータ制御やロボット制御等への応用を可能にしている。MITEC-I プロセッサは 16bit であったのを 32bit 化した事により、命令の拡張が容易になり、4GByte の広い論理メモリ空間と合わせ幅広い演習用途に対応したプロセッサである。また、FPGA、VHDL で開発されているので内部論理が容易に理解可能である。

4 MITEC-II MMU

第 3 章で述べた MITEC-II プロセッサ向けの MMU である。仮想記憶、キャッシュコントロールなどを装備する。内部に TLB 及びページフォールト検出機構を内蔵し、アドレス空間を固定長に分割したページング方式を採用する。ページテーブル及びページ表は主記憶の OS 用の固定的な連続した領域に常駐させる。

キャッシュは MMU 内に管理ビットである有効ビット及び変更ビット、タグを内蔵し、データは SRAM に保持する。

5 MITEC-II 演習システム

MITEC-I 演習システムには、第 2.2 節で述べた問題点が存在した。その問題点を改良し、かつ演習用途において有用であると思われる機能を追加し、今回 MITEC-II 演習システムを開発した。以下、初めにシステム概要を示し次に各改良点を示す。

5.1 演習システム概要

演習システムの概要を以下に示す。図 2 に演習用コンピュータブロック図、図 3 に MITEC-II 演習システム構成図を示す。

● 演習用コンピュータ

- FPGA1 (MITEC-II CPU)
- FPGA2 (MMU)
- FPGA3 (中央制御部)
- DRAM による 512Mbyte のメインメモリ
- SRAM による 256Kbyte のキャッシュメモリ (命令、データに各 1 つずつ)
- 割り込み線 × 8
- シリアル入力 × 2, パラレル出力 × 1, PS/2 通信部 × 2
- 内部信号出力部
- PC 接続部

● 入力装置 (キーボード)

● 出力装置 (ディスプレイ)

● 内部信号表示装置

演習時は上記の他に、ユーザプログラム作成用 PC なども使用する。演習者は PC から自身のプログラムのアセンブル結果を転送し、転送後は演習システム上でプログラムの実行を行う。動作状態、結果は出力装置 (ディスプレイ) または PC 接続部よりメモリをダンプし確認する。プロセッサ、MMU の内部信号については内部信号表示部でリアルタイムに確認可能である。

5.2 演習システムの考慮点

5.2.1 プロセッサ部の改良

FPGA の分割 従来の MITEC-I 演習システムでは、CPU と MMU を 1 つの VHDL ファイルで実現しており、CPU 部の演習に注力できない、MMU 部の演習が単独で出来ないと言う問題があった。

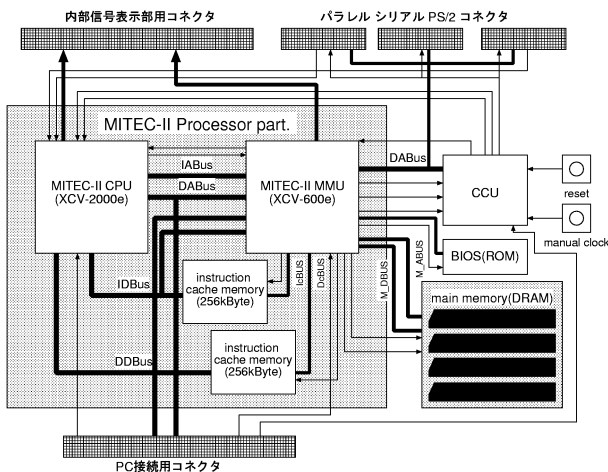


図 2: MITEC-II 演習用コンピュータブロック図

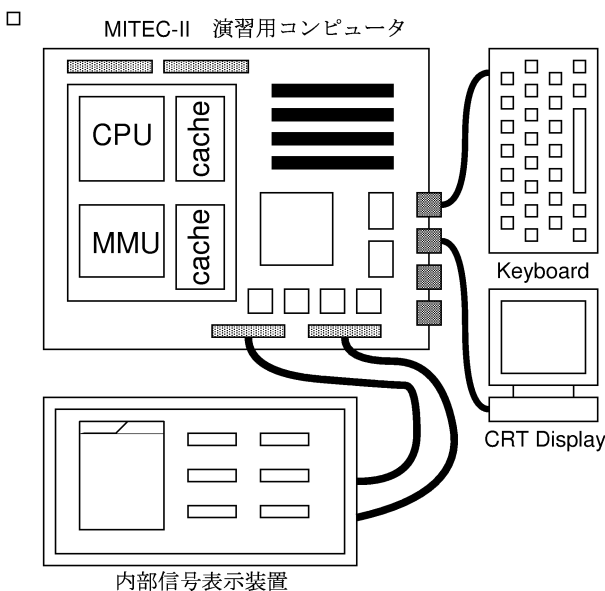


図 3: MITEC-II 演習システム構成図

それを解決すべく MITEC-II 演習システムでは,CPU,MMU をそれぞれ別の FPGA 上にインプリメントして使用する. 内部信号の観測という観点からも,この FPGA の分割は有効であると考えている.MMU 単体での演習も可能になった.

FPGA の大容量化 今回使用した FPGA は,CLB³数で約 10 倍のデバイスを CPU 部に採用した.MITEC-II

³Configurable Logic Block:FPGA のロジックの 1 単位,1CLB = 約 265 ゲート

CPU の規模は MITEC-I に比べその回路規模が倍になっている.しかし,大容量なデバイスを採用した事により,演習可能範囲(残り CLB 数)は 33 倍に拡大している.表 3 にこれらを示す.これにより,演習者がフロアプランまで手をつけることなくデバイスにインプリメント可能である.同時に,近年盛んになりつつある IP コアを内蔵し独自の機能拡張も容易に可能になる.

M-I	1024 CLB	755 Used:残り 269
M-II(CPU)	9,600 CLB	672 Used:残り 8,928
	19,200 Slice	1,344 Used:残り 17,856
M-II(MMU)	3,456 CLB	1,435 Used:残り 2021

表 3: 各 FPGA の CLB(Slice(1 CLB = 2 Slices)) 数による比較

VHDL の階層化 従来の MITEC-I プロセッサは VHDL ファイルが 1 つの階層で構成されていた(図 4).ここでは,演習者のソースの理解に負担となる.よって今回,MITEC-II プロセッサの VHDL 階層を再構成した.図 5 に階層図を示す.

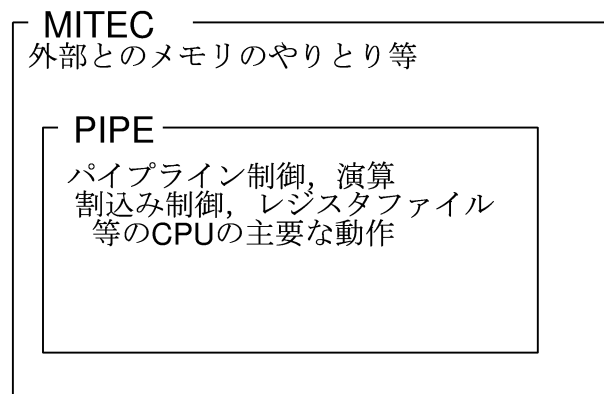


図 4: MITEC-I プロセッサ VHDL 記述階層図

5.2.2 内部信号表示部の設置

プロセッサ内部の状態を観測出来る事は演習者にとって理解の大きな手助けとなる.MITEC-I 演習システムでも内部信号をある程度は観測できたが,それはプロセッサに流れるクロック,データバスの値などをロジックアナライザで観測する程度であった.MITEC-II 演習システムではこの部分を充実させ,演習者にとって負担のない形で内部信号を解析できるよう開発を行った.

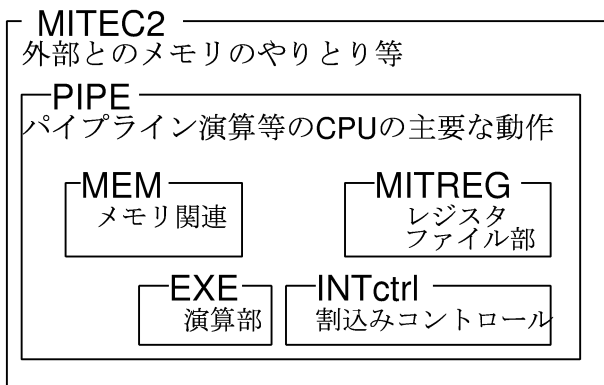


図 5: MITEC-II プロセッサ VHDL 記述階層図

開発は 3 つのフェーズからなるので、それらを順に説明する。

プロセッサの改良 MITEC-II CPU 及び MMU は、内部信号を外部から観測する事を前提に開発された。以下に、外部に出力する内部信号を抜粋して記す。

● CPU 部の内部信号

- CPU 内部のバス信号 (Abus, Bbus, X, LOAD1, LOADD 等)
但し、出力する信号線が膨大となるため選択信号でバスを選択するバス信号の出力によりプロセッサ内部でどの様にデータが処理されているかが明確に演習者が知ることが出来る
- ALU 等に対する信号 (ALU Sel 等)
実際にどの演算が実行されているかが確認出来る
- フォワーディングに関する信号 (WRN0 WRN1 等)
パイプラインの重要な技術の 1 つであるフォワーディングをより詳しく知ることが出来る。
- 仮想記憶・記憶保護例外・割込みに関する信号 (INSTerr, iPMprt 等)
どのようなタイミングで割込みがかかるかを詳細に知ることが出来る
- プロセッサの状態信号 (SR 等)
プロセッサの内部の制御及び状態を客観的に理解出来る

● MMU 部の内部信号

- 命令キャッシュアクセス回数
- データキャッシュアクセス回数 (読み)
- データキャッシュアクセス回数 (書き)

- 主記憶アクセス回数 (読み)
- 主記憶アクセス回数 (書き)
- 総ミスペナルティ

これらの信号はそのまま出力してしまうと FPGA のピンリソースをかなり必要とするので、CPU 部のバス信号、MMU 部の各信号は選択スイッチを設け、それによって出力する信号を切り替えるようにした。内部信号用に消費されたピンリソースは、CPU 部で 91 本 (全 I/O ピンの 18%)、MMU 部で 38 本 (全 I/O ピンの 10%) である。

コンピュータ部の改良 コンピュータ部は各 FPGA より出力される内部信号を出力するために、専用のコネクタを装備する。

内部信号表示装置 演習用コンピュータより出力される内部信号を表示するための専用の装置を設計した。ビットで出力される信号は演習者にとって観測時に負担がかかると考えられる。そこで、表示装置は各値をグラフィカルに表示するようにした。

内部信号表示装置の仕様は、OS に RT-Linux を採用し信号表示部の表示レート (信号の取り込み周期) は 1Hz-10Hz 程度を想定している。図 6 に CPU 内部信号表示、7 に MMU 内部信号表示のイメージをそれぞれ示す。

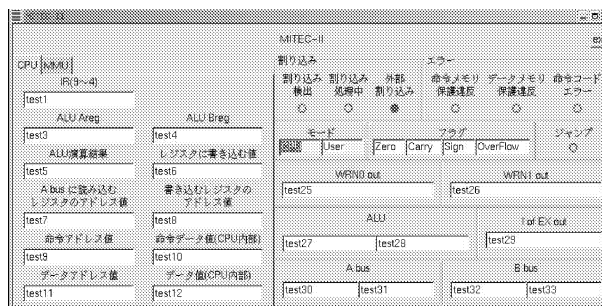


図 6: CPU 内部信号表示画面 (イメージ)

5.2.3 メモリ部での改良

MITEC-II 演習用コンピュータでは、DRAM による 512MByte のメインメモリ、SRAM による 256KByte のキャッシュを命令、データそれぞれに装備している。これにより、記憶階層演習が可能になっている。また演習用として限定するのではなく、画像処理プロセッサ等の研究に用いることも可能である。

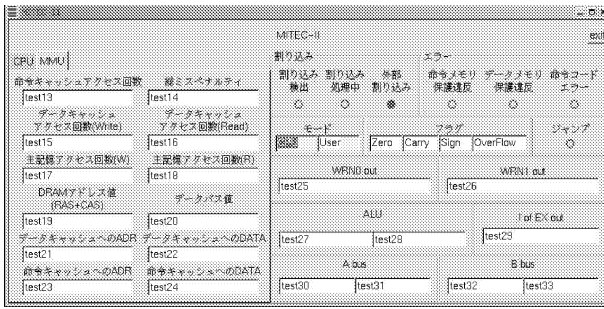


図 7: MMU 内部信号表示画面 (イメージ)

MMU には DRAM コントローラの機能も要求される。使用する DRAM が通常の PC 等に使用されるものと同じものを使用するため、非常に高速なクロックを扱わなくてはならない。しかし MITEC-II 演習用コンピュータ自体は最高でも 20MHz 程度のクロックで動作する。この部分は FPGA に存在する DLL⁴ブロックを使用し解決する事とした。この DLL ブロックを使用する事により、後述する可変クロックと DRAM スピードとの調整を可能にしている。

5.2.4 可変クロック, マニュアルクロック

MITEC-I でのクロックは単一クロックのみで使用用途が限定されていた。これを改良すべく、可変クロック, マニュアルクロックの導入を行った。可変クロックは, CPU, MMU をハードウェアにインプリメントする段階での回路的な制約を考慮して導入するものである。20MHz, 10MHz, 5MHz, 2.5MHz に可変可能である。

MITEC-I 演習システムでは手動クロック信号を設けていなかった。このため動作中のパスの状態を調べる場合は、ロジックアナライザを利用しなければならなかった。そこで MITEC-II 演習システムでは手動クロック信号のシステムを設ける。しかし プロセッサに inputs クロック信号を直接手動クロックにすることは今回使用する FPGA では行う事ができない。そこで MITEC-II 演習用コンピュータでは CPU のウェイト信号を用いてこの手動クロック機能を疑似的に実現する。図 8 にその詳細を示す。

5.3 演習用コンピュータシミュレータ

MITEC-II 演習用コンピュータは実配線を行なう前までの設計を行い、その後の実際の配線等に関しては

⁴Delay Locked Loop:FPGA 内部の特別な回路。外部クロックと FPGA 内部クロックの同期を取る事を目的とする。クロックの位相を 0 度 ~ 270 度までずらしたり、倍化等をする事が可能である

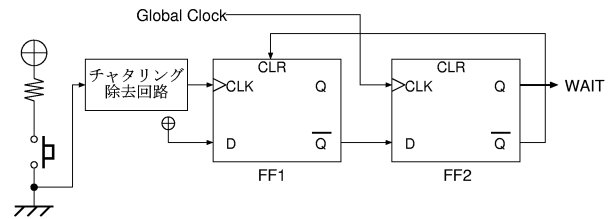
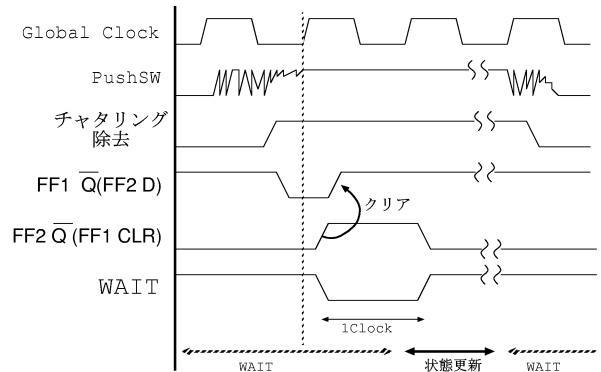


図 8: 手動クロック信号

外部で製作中である。その間、同時進行で CPU, MMU, 中央制御部, メモリモデル, クロック, 割り込み信号を備えた演習用コンピュータシミュレータを VHDL で開発した。これはプロセッサ等のデバッグ作業を行う、コンピュータ設計時で発生する回路上のバグの減少や、コンピュータ未使用時における学生演習目的で開発した。CPU, MMU, CCU に関してはバックアノテーションをかけたものでシミュレーションを行なうので、実機に近い動作をしていると思われる。

演習用コンピュータが完成するまではこのシミュレータで演習を行なう。

6 演習プログラム

MITEC-II 演習システムの性能評価、及び次期開発に向けての課題抽出を進めるために、本システムを現在学生演習に適用中である。なお演習用コンピュータは現在開発中であるので、当面はシミュレータによる演習を中心とする。

6.1 演習概要

タイトル 情報処理及び同演習

目標 RISC 型プロセッサの内部構造, 特にパイプライン動作の理解

対象 大学院 1 年生

期間 半年 (第 1 期, 第 2 期の計 2 期)

6.1.1 第 1 期

目標 MITEC-II プロセッサアーキテクチャを RTL まで理解する。詳しくは以下のような目標を定めている

- MITEC-II 演習システムの構成を理解
- MITEC-II 演習システムに慣れる
- MITEC-II プロセッサで動作するプログラムを作成, 動作検証

内容 前期は講義中心になると考えられる。

1. 前期達成内容の説明
2. MITEC 演習用シミュレータの構成の説明
3. MITEC 演習用シミュレータの使用方法の説明
4. MITEC-II プロセッサの構造の説明
5. パイプラインについて説明
6. MITEC-II アセンブラの説明
7. 課題概要提出, 課題作成, 動作確認
8. 性能を測定 (シミュレータ) し, 速度向上させるための案を提案

6.1.2 第 2 期

目標 前期, RTL レベルまで理解した MITEC-II プロセッサについて, ハードウェアレベルまで詳細に理解する。詳しくは以下のような目標を定めている。

- パイプラインプロセッサで用いられる高速化技術の理解
- MITEC-II プロセッサの改造

内容 後期は演習中心。よって改造にかかる時間を多くする

1. 後期達成内容の説明
2. ハザードを回避するための技術を紹介
フォワーディング, 遅延スロット, インターロック等
3. その中から, 達成可能な技術を実際を選択し MITEC-II に実装する。
4. 改造したプロセッサで, 前期作成したプログラムを動作させ, 効率向上を実測しレポート

6.2 結果測定方法

第 1 期, 第 2 期終了後に, 演習者に対してアンケートを実施する。比較の為に昨年度実施したアンケートと同じものとし, 比較, 検討を行う。

6.2.1 前期アンケート内容

設問数 21(記述:7, 採点:14)

設問内容 以下のような設問を設けた

- 演習に対するイメージ
- 演習の理解度
(例) アーキテクチャ, シミュレーションの方法等については理解できたか? レポートは満足にかけたか? プログラム中に NOP を挿入しなければならないのは何故か?等
- 演習環境に対する感想
(例) プログラム作成, シミュレーションを行った意味はどれくらいあったか? プログラム作成, 実機での確認はスムーズに言ったか?等
- 演習内容の難易度

6.2.2 後期アンケート内容

設問数 19(記述:6, 採点:13)

設問内容 以下のような設問を設けた

- 演習に対するイメージ
- 演習の理解度
(例) パイプラインの基礎について理解できたか? RTL で MITEC-I を理解できたか? 何故フォワーディングが必要なのか? 等
- 演習環境に対する感想
(例) シミュレータ上でのプロセッサの動作は満足に理解できたか? 実機上での確認を必要と思ったか? 等
- 演習内容の難易度

7 まとめ

演習用コンピュータについて, 設計, 部品の選定及び回路図の設計までが終了した。部品数, 回路規模などから

実際の配線は数ヶ月かかるものと予想される。MITEC-II アセンブラ, PC 演習用コンピュータ間の転送ツールなどは同時進行で開発中である。

8 今後の課題

本システムを用いた演習では、以下を検証項目として挙げる。

- プロセッサ演習を行う際の本システムの有効な点, 問題点
MITEC-II 演習システムは, 演習に有効であると思われる点について検討, 改良を行った。実際にその改良した点について有効であるのか検証する。また同時に, 次期システム開発に向けた課題抽出も行う。
- 教育用目的としての MITEC-II プロセッサの有効な点, 問題点
MITEC-II プロセッサは MITEC-I に比べ, その教育的用途に重点を置き改良がなされた。実際に演習に用い, 有効な点, 問題点を検証する。
- 内部信号表示部の設置による実際の効果
新たに設置した内部信号観測装置を演習者が使用し, 演習者の理解度が向上するか検証する

以上を検証する上で発生する問題点としては 2 点挙げられる。演習用コンピュータの完成とそのコンピュータ上で動作する, より演習目的に適した BIOS, OS の開発である。

演習用コンピュータ, システムは現在完成していない。演習用コンピュータが完成するまで当面はシミュレータでの演習となり, 上記課題を検証する際の障害となる。

また, FPGA, メモリの容量増大に伴い既存のプロセッサ演習とは違う新しい演習の提案も必要である。例として, MITEC-II プロセッサと DSP を組み合わせた形での演習, 画像処理に特化したプロセッサでの演習等を挙げる。

9 おわりに

本稿は, 大学院での RISC プロセッサ演習用コンピュータ「MITEC-II 演習用コンピュータ」の開発及びそれを用いた「MITEC-II 演習システム」の構築について述べた。研究の中心である演習用コンピュータについては, MITEC-I で存在した問題点の改良及び, 自身の演習経験を生かしたオリジナルの改良を加えた。

本研究の最終的な目標は, ハードウェアにインプリメントされた MITEC-II プロセッサでの演習である。その為には, 演習用コンピュータの完成, BIOS, OS の開

発等が必要である。これら諸問題及び次期演習用コンピュータへの課題抽出等も考慮に入れ, 学生演習を行い検討を行う。

参考文献

- [1] 末吉, 田中, 船越, 松尾, 有田:書換え可能な LSI を用いた教育用マイクロプロセッサの開発, 情報処理学会第 43 回全国大会論文集, 2Q-11, 1991
- [2] 末吉, 小羽田, 野崎, 田中, 久我: FPGA を利用した教育用プロセッサ KATE-2, 情報処理 Vol.94, No.50, 94-ARC-106-4, 1994
- [3] 神原, 安浦: 計算機用教育用マイクロコンピュータの開発とその応用, 情報処理, Vol.33, No.2, pp.118-127, 1992
- [4] K.Nakagaki, M.Ouchi, K.Inoue, B.O.Apduhan, M.Kuga and T.Sueyoshi: Design and Implementation of the Educational Microprocessor DLX-FPGA Using VHDL, Proc. 2nd Asian Pacific Conf. Hardware Description Languages (APCHDL'94), pp.147-150, 1994.
- [5] 吉沢, 尾崎, 片山, 石川, 宮内: COMET 互換プロセッサによる設計演習環境の提案と実現, 情報処理学会第 54 回全国大会論文集, 1G-10, 1997
- [6] 吉沢, 片山, 石川, 宮内: COMET 互換プロセッサによる設計演習環境の提案と実現, 情報処理学会第 56 回全国大会論文集, 4N-5, 1998
- [7] 豊島 俊: 教育用 RISC 型マイクロプロセッサ MITEC-I の開発及び, MITEC-I を用いた演習の実施, 武蔵工業大学 情報通信研究室 1997 年度修士論文
- [8] 山崎, 小宮山, 石川, 中山: 教育用マイクロプロセッサ MITEC-I を用いたパイプライン処理技術に関する演習方法の提案, 情報処理学会第 53 回全国大会論文集, 4F-9, 1996
- [9] 山崎, 石川: 教育用マイクロプロセッサ MITEC-I を用いた演習方法の提案, 情報処理学会第 54 回全国大会論文集, 1G-8, 1997
- [10] 平柳 和也: 教育用 RISC 型プロセッサ MITEC-II, 武蔵工業大学 情報通信研究室 1999 年度修士論文
- [11] 清水 彩: 教育用 RISC 型プロセッサ MITEC-II における記憶階層の提案と実現, 武蔵工業大学 情報通信研究室 1999 年度修士論文