

並列画像処理計算機 PIPE の開発

田山 典男 芳賀 哲
小倉 賢也 (岩手大学)

石井 智 佐々木 繁
佐藤 利三郎 (東北大学)

1. はじめに

近年、画像処理の機械化が求められ、汎用電子計算機によるデジタル画像処理の研究が種々の分野で進められている⁽¹⁾。しかしながら、このデジタル画像処理が、研究の段階から実用化の段階を迎えより広く一般に利用されるためには、“処理時間があまりに長すぎる”という大問題を解決することが必要になっている⁽²⁾。これは、現在の計算機が、2次元状の大量の画像データを0次元の点演算器により逐次的に時間順に処理していることに起因するものであり、根本的な解決が必要である⁽³⁾。つまり、画像処理向きの新しいタイプの計算機が必要であると考える。

そこで筆者らは、高速なショットキーバイポーラ型マイクロプロセッサLSIを2次元平面状に多数配置して、画像データの並列処理を行なう画像処理向き計算機の開発を始めた⁽⁷⁾。この新しいタイプの計算機を“並列画像処理計算機 PIPE” (Parallel Image Processing Ensemble) と呼ぶ。本稿は、この並列画像処理計算機 PIPE の開発について、その概要を報告するものである⁽⁸⁾。

2. 開発の基本構想

PIPEシステム開発の目標として、次に示す項目を達成しようとしている。

- 1) 大量の2次元画像データを効率よく短時間に実行処理する高速性。
- 2) 各種の画像処理系においても使用できる汎用性。
- 3) 処理アルゴリズムを能率よくスマートに書けるプログラムの容易性、及び操作扱いの柔軟性。
- 4) 画像処理コストの低減化。

筆者らが開発を進めている並列画像処理計算機 PIPE の概念は、(1) 大容量の IC メモリを用いて大量画像データの格納をする“3次元画像メモリ”と、(2) マイクロプログラムで柔軟に制御できる16台の汎用型ショットキーマイクロプロセッサを用いて、2次元構造のSIMD型局所並列処理を行なう“平面プロセッサ”と、(3) それらをビット幅の広い平面バスで結んで、マイクロプログラムにより全体の管理制御を行なう“管理プロセッサ”から成っており、並列処理計算機としての形態を成すものである。

この並列画像処理計算機 PIPE の特色の一つは、3次元アドレッシング機能をもつ可変構造の3次元画像メモリの実現や、汎用型マイクロプロセッサの使用、ダイナミックマイクロプログラムの採用などにより、次に示す最近の三大画像処理系においても適合使用できるような“汎用性”を得ようとしている点である。

- (A) マルチスペクトル画像の相関処理を行なう リモートセンシング画像処理系。
- (B) 時系列の複数画像間で変化を抽出し解析する 動画画像処理系。(ロボットの目など)
- (C) 3次元充満物体の解析計測をする 立体画像処理系。(3次元CTなど)

これらの画像処理系は、いずれも複数枚の画像を扱う“マルチ画像処理系”である。つまり、PIPEシステム開発の基本構想は、上記3分野の各種のマルチ画像処理系に対して、能率よくスマートにプログラミングができ、大量の2次元画像データを高速に実行処理でき、操作扱いが容易であり、低価格な“並列画像処理計算機”を設計実現して、これに関わる次のような“並列画像処理技術”を研究

開発することである⁽⁷⁾

- (a) 新しいタイプの並列画像処理計算機的方式構成や関連する構成理論。
- (b) 並列画像処理向きの、各種の並列アルゴリズムの研究開発。
- (c) 並列画像処理言語の開発と、PIPEの基本ソフトウェアの開発。
- (d) 各種のマルチ画像処理分野へのPIPEの応用研究開発。

3. 基本アーキテクチャ

前記3つの画像処理系において要求される処理機能を調査検討して、それらの多くを効率よく実行できるようにするために、次に示す7つの基本アーキテクチャを設定した。

- (1) SIMD型局所並列処理: ショットキーマイクロプロセッサLSIを多数使用して、2次元処理機能をもつ平面プロセッサを構成し、平面演算器や平面レジスタを用いて画像データのSIMD型局所並列処理を行なう。
- (2) シフトプレーンメモリ: 近傍の画素データや複数枚の画素データを簡単にアクセスできるようにするため、平面シフト機能をもつ高速メモリを付ける。
- (3) 3次元画像メモリ: ICメモリを多数用いて大容量の画像メモリを構成し、1度で多量に読み書きする並列アクセス機能と、3次元アドレッシング機能と、画像サイズとビット幅と枚数による可変構造機能を実現する。
- (4) 平面バスと入出力バッファ: 1度に多量の画像データを高速転送するビット幅の広い平面バスを設けて各部を結合する。又、画像入力部には自動取込み機能をもつ入カバッファを設け、画像出力部には自動送り機能をもつ出カバッファを設けて、画像データの高速入出力を行なう。
- (5) 広範囲なファームウェア化: マイクロプログラミング可能なビットスラ

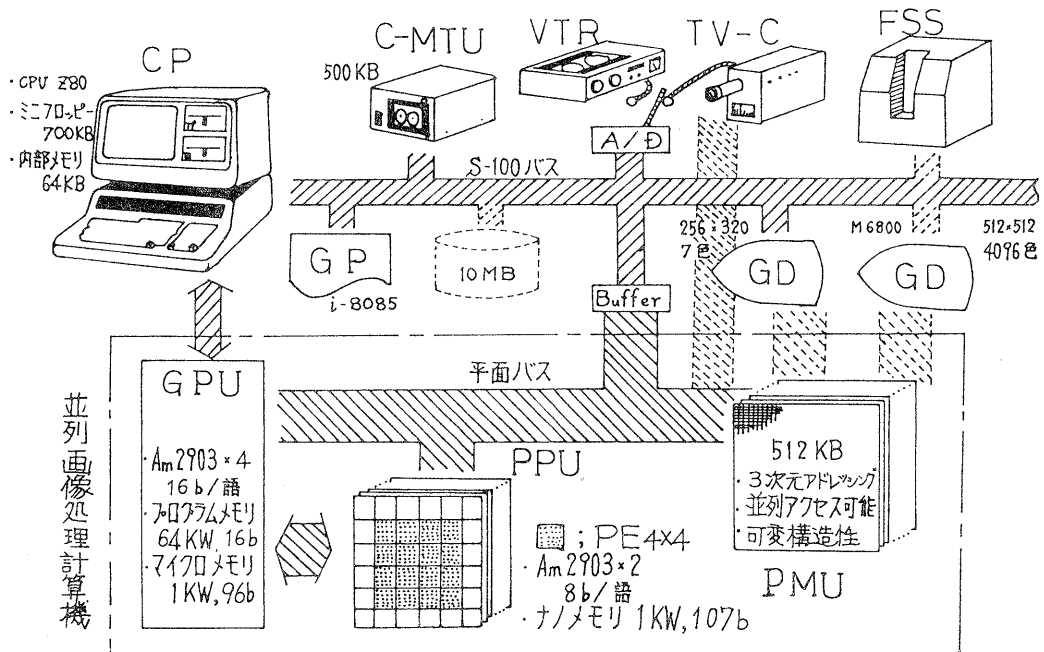


図1. PIPEシステムの構成図

イス型マイクロプロセッサLSIを用いて、処理効率の向上と設計更新の柔軟性を確保する。又、2レベル化により能率の良いファームウェアの階層構成を実現する。

(6) 仮想画像ファイル方式: 磁気ディスクと連想メモリLSIを用いて、3次元画像メモリの仮想的な大容量化を計り、扱いを容易にする。

(7) 対話形処理と汎用マクロの設定: コンソールディスプレイとミニフロッピーディスクをもつマイクロコンピュータをコンソールプロセッサとして使用し対話操作を容易にする。又、マクロによりフィードバック的な修正を可能にし、汎用化を計る。

4. システム構成

PIPE システムの構成を図1に示す。人間との対話処理を行なうコンソールプロセッサCP (Consol Processor)と、並列画像処理計算機から成る。さらに後者は、並列アクセス機能をもつ3次元画像メモリPMU (Picture Memory Unit)と、2次元処理機能をもつ平面プロセッサPPU (Plane Processing Unit)と、2レベルマイクロプログラムにより全体の管理制御をする管理プロセッサGPU (Global Processing Unit) で構成し、平面バスで結んでいる。

5. 3次元画像メモリPMUの構成

< 5.1 > 画像メモリに要求される機能

画像処理系の高速度及び汎用化を実現するために、画像メモリには次のような機能が要求されると考える。

(a) 画像データの並列アクセス

画像データを大量にしかも高速に読み書き込みするためには、多数のメモリモジュールを平面状に又は線状に同時にアクセスする“並列アクセス”の機能が必要である。(図2-a)

(b) 3次元アドレッシング

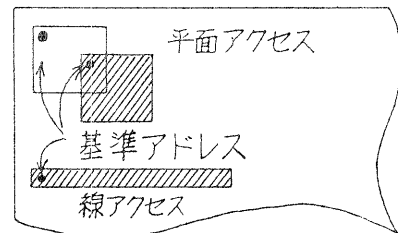
リモートセンシング画像や動画、立体画像のような複数枚の画像データを能率よく容易に扱えるようにするためには、メモリ構造として“3次元アドレッシング”をする機能が必要である。(図2-b)

(c) 画像サイズによる可変構造

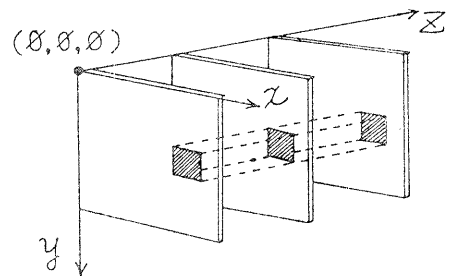
種々の画像処理系にも適合するように、画像サイズ $M \times N$ や画像枚数 L や画素のビット幅 W を自由に設定できる画像メモリの“可変構造性”が必要である。(図2-c)

< 5.2 > 3次元画像メモリ的方式構成

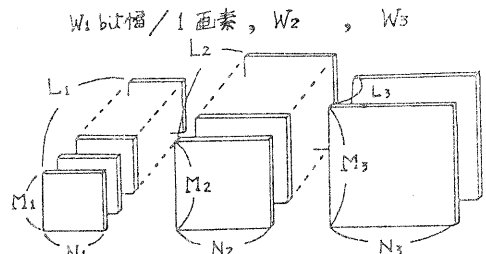
並列アクセスを実現するためには、アクセスの対象となる多数の画素データがす



(a) 画像データの並列アクセス



(b) 3次元アドレッシング



(c) 画像サイズによる可変構造

図2. 画像メモリの機能

べて異なるメモリモジュールに格納されていることが必要である。そこで、3次元の座標 (x, y, z) の画素データが何番目のメモリモジュールに格納されるべきかを決定する「モジュール割り当て関数 $\mu(x, y, z)$ 」を次式のように考え、平面アクセスや線アクセスの各モードにおいても、同時にアクセスすべき画素データが異なるメモリモジュールに格納されているようにする並列アクセスを実現した。// は整数除算の剰余。

$$\mu(x, y, z) = (x + 2y) // 8 \text{ -----(1)}$$

次に、3次元画素データ $I(x, y, z)$ を先に割り当てられた各メモリモジュール内の何番目のアドレスに格納すべきかを決定する「アドレス割り当て関数 $\alpha(x, y, z)$ 」を次式のように考え、サイズパラメータ i により画像サイズと枚数による可変構造性を実現した。/ は整数除算の商。

$$\alpha(x, y, z) = (x/2) + (y/4) \times 2^{5+i} + z \times 2^{10+i} \text{ -----(2)}$$

そこで、前述の3つの機能を満たすPMUの基本構成を図3.に示す。各部の回路を簡単に説明する。

- メモリモジュール：画素データを格納するICメモリのカード。
- イネーブル回路：同時にアクセスすべきメモリモジュールを決定する。
- アドレス生成回路：各メモリモジュール内のアクセスすべきアドレスを決定する。
- 制御回路：アクセス時の R/W 及び各ゲートの制御を行なう。
- ルーティング回路：平面バス側のレジスタとメモリモジュールの間で画素データの並べ換えを行なう。

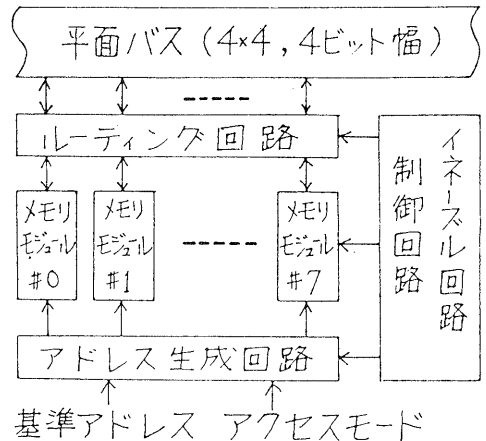


図3. PMUの基本構成図

<5.3> 3次元画像メモリの設計

- ICメモリ： n MOS static RAM 2114 使用。450 nS。
- メモリ容量： 512 KB で、32KBのカード 16 枚から成る。
メモリモジュールは、1モジュールが 64 KB (カード2枚) で、8モジュールとなる。
- 画素のビット幅： 4ビットであるが、1・4・8・12・16ビットに対応できる。
- アクセスモード： 4x4の点処理向き平面アクセス、4x4の近傍処理向き平面アクセス、1x16の線アクセスの3種類のモードで利用する。
- 基準アドレス： 各アクセスモードのウィンドの左上点の座標を指定する。
- 画像サイズと枚数： 表1.参照 サイズパラメータ $i = 0, 1, 2, 3$ 。
- アドレス幅： 25ビット。(x座標：9ビット，y座標：10ビット，z座標：6ビット)
- アクセスタイム： 4x4 (4ビット幅) を連続アクセス時に 800 nS でアクセス。(最初のみ 1 μ s.)

表1. 画像サイズと枚数の関係(可変構造)

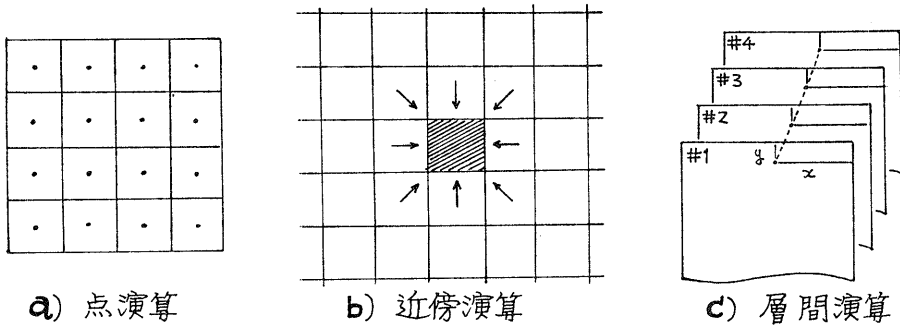
サイズパラメータ i	0	1	2	3
画像サイズ	128 × 128	256 × 256	512 × 512	1024 × 1024
画像枚数	64	16	4	1

6. 平面プロセッサ PPU の構成

<6.1> 平面プロセッサに要求される機能

画像処理においては、一般の計算処理に比べて数値の精度をあまり必要としないが、大量の2次元画像データを高速に処理することが要求されている。そこで、多数の演算素子を用いて2次元平面状に配置し、同一の命令により一斉に演算処理を行なうSIMD型の並列処理が望ましいと考える。また、全画面の完全並列処理方式は高価になり、局所平面の並列処理を行なう局所並列処理方式が妥当である。対象にする種々の画像処理系を調査検討して、平面プロセッサ PPU に要求される処理機能を次のように定めた。

- a) 局所平面の点演算機能: 各演算要素 PE が局所平面の対応する各画素データに対して、同一の演算命令を実行する機能。(図4-a)
- b) 局所平面の近傍演算機能: 各 PE が局所平面の対応する各画素の近傍の画素データに対して、同一の演算命令を実行する機能。(図4-b)
- c) 局所平面の層間演算機能: 各 PE が複数枚の局所平面画像の対応する各画素データの間で、同一の演算命令を実行する機能。(図4-c)
- d) 演算処理の柔軟性: マイクロプログラムを導入して、各種の画像処理系に能率よく適合できるような柔軟性を確保する。



a) 点演算

b) 近傍演算

c) 層間演算

図4. PPU の機能

<6.2> 平面プロセッサの構成

上記の機能を実現するために、平面プロセッサ PPU を次のような3つの部分から構成する。1) 処理プレーン PP (Processing Plane), 2) シフトプレーンメモリ SPM (Shift Plane Memory), 3) マイクロプログラム制御部 (Controller)。

1) 処理プレーン PP: 画像データの並列処理を行なう部分である。演算要素 PE (Processing Element) には、汎用の4ビットスライス型ショットキーマイクロプロセッサ LSI を2個用いて、8ビットの画像演算を行なわせる。この PE を16個用いて4x4の平面状に配置したのが処理プレーン PP である。従って、PP は4x4の平面状の平面演算器と平面補助レジスタと16枚の平面ワークレジスタを持っている。画像演算のビット幅は処理対象により異なるので、4, 8, 12, 16ビットの処理を可能にしている。

2) シフトプレーンメモリ SPM: 4ビットx16語構成の2ポート RAM を64個使用して8x8の平面状に配置したものであり、画像データの全平面的なシフト動作を1サイクルで実行できるようにしている。このような平面状のシ

フトを“平面シフト”と呼んでいる。この平面シフトの種類は豊富にあり、上下左右の方向への1画素分シフト及び4画素分シフト、転置シフト、第2象限と第4象限とのシフト、メモリの深さ方向へのシフト、及びこれらを組合せたシフトが可能である。これらの平面シフト機能により、PPUでの近傍演算や層間演算が、アドレス計算をせずに、極めて容易に実行できる。

シフトプレーンメモリSPMと平面バスとは、4ビット幅4×4の平面状で並列にデータ入出力する。又、SPMからPPへの読出しは、4ビット幅4×4の平面状データを2組同時に行なうことができる。SPMへの書込みは、同時に1組であるが、連続した2サイクルで2組のデータ(8ビット幅)を書込むことができる。SPMは、3次元画像メモリPMUとPPとの間のバッファとしても利用でき、4ビット幅64枚の平面ワークレジスタとしても利用できる。

3) 制御部:

ダイナミックマイクロプログラミング方式により、PPとSPMの制御を行なう。このPPUのマイクロプログラムは、管理プロセッサGPUのマイクロプログラムの管理下で動作するので、ナノプログラムと呼ぶ。このナノ命令は、1つの命令で16個のPEを制御するので、原則としては、16個の各PEが同一のオペランドの各画素データに対して同一の演算処理を同時に実行するようなSIMD型の並列処理を行なう。しかしながら、PEによっては異なる演算処理をさせたいということが起こるので、PIPEでは次のような2つの工夫を行なっている。

- a) GPUから平面バスを介して16個の各アドレスを各PEに与えることにより、16個の各PEが平面ワークレジスタの別々のアドレスをオペランドとして実行する機能。これをマルチオペランド形SIMD並列処理と呼ぶ。
- b) 各PEの状態信号やGPUからの制御信号によって、必要なPEのみにある演算処理を行なわせ、他のPEを休止させる機能。これを動作マスク形と呼ぶ。これらの2つの機能を用いることにより、純然たるSIMD型ではなく複雑なタイプの並列処理もある程度実行することができる。

次に、ナノ命令のフォーマットについて。語長は107ビットであり、次のようなフィールドから構成される。PPの制御に57ビット(演算制御12, 状態・シフト制御18, 平面ワークレジスタアドレス・データ19, PPの入出力制御8)。SPMの制御に23ビット(シフト対象アドレス13, シフト・ローテート制御10)。ナノプログラムのシーケンス制御に27ビット(シーケンサー制御9, アドレス・データ13, 平面処理制御5)。これらの各フィールドは、同時処理ができるようにタイプ分けは行なわずに、単一のフォーマットにしている。

平面プロセッサPPUの構成図を、図5.に示す。

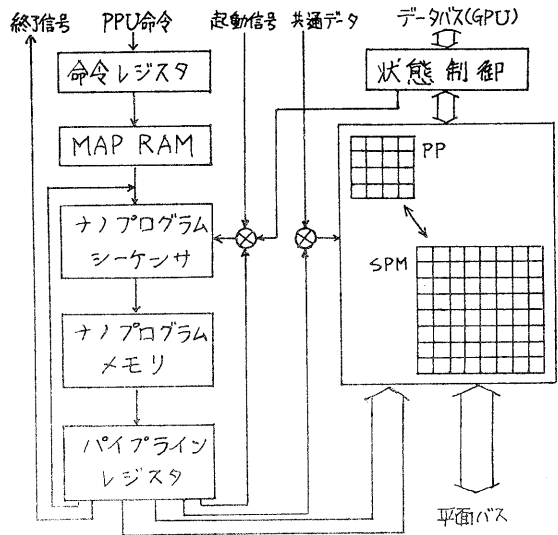


図5. PPUの構成図

7. 管理プロセッサGPUの構成

<7.1> 管理プロセッサに要求される機能

管理プロセッサGPUは、並列画像処理計算機PIPEの全体の管理制御をマイクロプログラムの導入により、能率よく行ない、しかも柔軟性を確保しようとするものであり、次のような機能が必要であると考える。

- 1) PIPEシステムの起動: オペレータと対話をするCPから起動信号を受けて、各部に初期化設定を行ない、起動をかける機能。
- 2) PPUの統括制御: 平面プロセッサPPUに命令やデータ、アドレスを与え、その処理結果をみて次の命令を決めるというPPUの並列処理を統括制御する機能。
- 3) PMUのアクセス制御: 3次元画像メモリPMUの画像サイズやアクセスモードや3次元アドレスを設定して、画像データの並列アクセスを制御する機能。
- 4) シリアル計算処理: 平面プロセッサPPUの並列処理で実行しても能率があまり良くなならないような数値計算処理を、GPU自身でシリアル実行する機能。
- 5) 平面バスの管理制御: 4x4の4ビット幅の局所平面画像データを、一度で高速に転送する平面バスの管理制御をする機能。
- 6) 入出力の管理制御: 画像機器の入出力データをまとめて平面バスで一括転送するための時間調整や、ビット幅変換、画像データの間引きをする機能など。

<7.2> 管理プロセッサの内部構成と接続

上記の機能を実現するために、GPUを次のように構成する。4ビットスライス型マイクロプロセッサLSIを4個使用して16ビットのシリアル計算機を構成し、マイクロプログラムによって各部の管理制御を行なう。GPUの内部構成と各部との接続を図6.に示す。平面プロセッサPPUとの接続としては、GPUのマイクロプログラムによりPPUのマイクロプログラムを起動する2レベル制御方式とする。GPUは、PPU中の(8ビットプロセッサ16個から成る4x4)処理プレーンPPの演算結果の各フラグ状態をGPUデータバスに接続して取り込み、それを見て次の命令を決めるというPPUの統括制御を行なう。又、16個のフラグ中の1の数を1サイクルで計数する集計器(並列カウンタ)を設け高速にPPUの状態把握を行なう。又、平面バスにより16個のPEの演算結果を取り込むこともできる。次に、3次元画像メモリPMUとの接続としては、オートカウント機能を持ったPMUアド

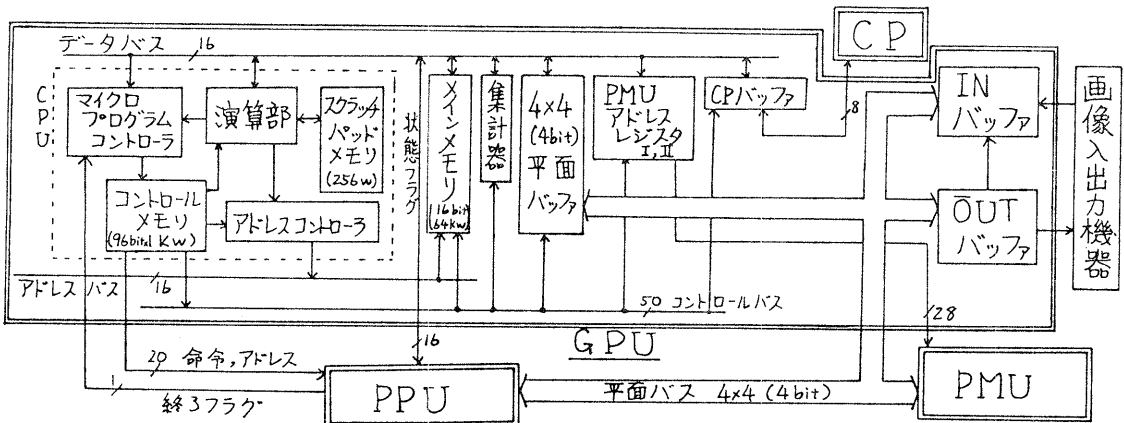


図6. GPUの内部構成と接続

レスレジスタを2組設置して、画像データのアクセスを能率よく高速に行なえるようにする。GPU, PPU, PMU の間の接続として、4×4で4ビット幅の局所平面画像データを一度に転送できる平面バスを設ける。画像入出力機番は、INバッファやOUTバッファを介して平面バスに接続する。INバッファには、入力してくる画素データをカウンタにより16個まで溜め一度に平面バスに送出する自動取込み機能を持たせる。従ってGPUは、INバッファから平面バスを介してPMUに転送する時だけ関与すればよい。OUTバッファには、逆の動作をする自動送り機能を持たせる。この両バッファを連携して動作させると、動画データの入込みと処理結果の出力表示を同時に行なうことができる。又、INバッファには、間引き機能を持たせる。

<7.3> マイクロプログラム制御

上記の管理制御を能率よく行ない且つ使い易くする為、マイクロ命令のフォーマットを表2のように3つにタイプ分けする。語長は96ビットである。GPUによる全体的な処理の流れを次に示す。まずCPから処理コマンドを受け取ると、それを解釈し、PMUにモードやアドレスを与えて画像データを読み出し、平面バスを介してPPUに転送する。次にPPUに命令とオペランドを与え処理を指令する。PPUの終了フラグが立つまではGPUは次の処理のための準備を行ない、終了したら結果をPMUに転送する。これらの一連の処理を繰返して全体の処理が終了すると、CPに終了を知らせ、次のCPからの処理コマンドを受け取る。

表2. GPUマイクロ命令の種類と制御内容.

種類	タイプ 0 (GPUの内部演算)	タイプ 1 (データバスまわり, 平面バス, PMU)	タイプ 2 (GPUマイクロセンス, PPU)
制御内容	GPUの演算命令, シフト制御, オペランドの指定。メインメモリ, スクラッチパッドメモリのアクセス制御。データバス, アドレスバスの管理。	平面バス及びデータバスに接続される各部の状態設定やデータ転送のための入出力管理制御。	PPUに対する処理命令, オペランドの転送制御。GPUの条件検索及び飛び先番地の指定に関する制御。
制御対象	・GPU演算部 ・ステータス及びシフトコントローラ ・スクラッチパッドメモリ ・メインメモリ ・アドレスコントローラ ・データバストランシーバ	・INバッファ ・OUTバッファ ・PMU ・平面バス ・Planeバッファ ・CPインターフェース ・集計器 ・PMUアドレスレジスタ	・PPU ・マイクロプログラムコントローラ ・コンディションコードマルチアレカ ・割り込み処理回路, 等

8. むすび

本稿では、画像処理の高速化と汎用化の観点から、16台の高速な汎用型ショットキープロセッサにより2次元構造のSIMD型並列処理をする平面プロセッサと、3次元構造で並列アクセス可能な可変構造の3次元画像メモリを持ち、2レベルマイクロプログラムにより管理制御する、“並列画像処理計算機PIPE”の提案を行なった。このPIPEシステムは、現在ハードウェアの製作中である。

参考文献

- (1) 尾上: 特集“実用期に入ったデジタル画像処理”, 電学誌, Vol. 98, No. 11 (1978-11)
- (2) Japan-United States Seminar: “Research Towards Real-Time Parallel Image Analysis” (1978-10)
- (3) 長尾: “パターン認識技術の今後の発展に向けて”, 信学誌, Vol. 62, No. 6 (1979-6)
- (4) 谷内田, 富田, 辻: 信学論, Vol. 58D, No. 4 (1975-4) (5) 松島, 大山, 海藤: 信学技報 IE78-11 (1978-5)
- (6) 麻田, 篠田, 木出, 渡辺: 信学技報 IE78-12 (1978-5) (7) 田山, 他: 計測制御学会研究集会 70-6 (1979-5)
- (8) 田山, 他: 情処学全大, 4H-7~4H-10 (1980-5)