

## 画像処理プロセッサTIP-3 ハードウェア構成

An Image Processor TIP-3 Hardware Configuration

森下 丈 天満 勉 首藤 正道 (日本電気(株) C&Cシステム研究所)

Takeshi Morishita Tsutomu Temma Masamichi Shutoh (C&C Systems Res. Labs. NEC Corporation)

**Abstract** A chip-oriented data-flow image processor TIP-3 is proposed and its hardware configuration is described. TIP-3 aims at a compact, cost-effective and high speed image processing system in an interactive environment. TIP-3 consists of four units; a Process Support Unit (PSU), an Image Processing Unit (IPU), a Display Control Unit (DCU) and an Image Memory (IM). The IPU is a ring-shaped multiple processor array which includes 8 ImPPs (Image Pipelined Processor) and a MAGIC (Memory Access and General bus Interface Chip) and performs flexibly programable pipeline operation. A data-driven control mechanism is applied to both software and hardware. IPU's processing capabilities are estimated by computer simulation.

### 1. まえがき

近年、FA/OAシステムにおいて、画像処理技術を応用した機能を持ったシステムが増加してきている。現在これらのシステムにおいて通常用いられている汎用のプロセッサでは、二次元状に配列された多量の画像データの高速処理は難しい。従って、これらのシステムの多くは画像処理速度の高速化のために専用H/Wを用いており、それが原因でシステムを高価なものにし、またH/W規模を大きなものにしてあるため、画像処理部の小型化及び低価格化が望まれている。

また一方では、デジタル画像処理における高速化H/Wの研究が盛んになってきている。それらは、並列処理技術、パイプライン処理技術または両者を組み合わせることによって処理の高速化を図っているものであり、LSI技術の進歩とあいまって高い処理機能を持ち、かつ高速なLSI化画像処理プロセッサが開発されつつある。<sup>(1)</sup> 従って、VLSIの代表である大容量、低価格なメモリとL

SI化画像処理プロセッサとを利用することにより小型、低価格でかつ高速、高機能な画像処理システムの構築が期待できる。

筆者等は、先に高速画像処理プロセッサのアーキテクチャとして、パイプライン構成のプロセッサモジュールをリング状に接続しデータ駆動制御を行う方式を提案し、10MFLOPSの性能を持ったTIP-1システムを試作した。<sup>(2)(3)</sup> また、その処理エレメントの機能の統合化を図り、モジュラー構成としたTIP-2システムを試作し、<sup>(4)</sup> さらにその1モジュールをImage Pipelined Processor (ImPP)としてLSI化した。<sup>(5)</sup> ImPPは処理の高速化のためにパイプライン構造及びデータフロー・アーキテクチャを用いた画像処理用プロセッサであり、カスケードに接続して容易にマルチプロセッサ構成が実現できる。

筆者等は、このImPPを複数個用いたコンパクトで低価格な高速画像処理システムTIP-3を構築中である。本報告では、主に

TIP-3システムのH/W構成について述べ、システムにおける処理の実行手順の概要及び複数ImPP利用時の性能について考察する。

## 2. システムの構成

### 2.1 機器構成と機能

図1にTIP-3システムの機器構成を示す。図において、TIP-3・Cell部はボードレベル、それ以外は機器レベルで表現している。

#### (1) ホスト(PC9800)

パーソナルコンピュータPC9800は、TIP-3システムにおける画像処理実行時のシステム全体の管理プロセッサとして機能する。その役割を以下に示す。

##### ◎システム全体の制御

コンソールとして利用者とのインターフェイスをとる。(コマンドの入出力)

##### ◎画像データファイルの管理

##### ◎実行プログラムファイルの管理

またさらに、PC9800はImPP上で動作する画像処理プログラムの開発ステーションとしての役割をも持っている。PC9800上には以下のプログラム開発ツールが用意されている。

##### ◎ImPPアセンブラ

##### ◎マクロジェネレータ

##### ◎ImPPシミュレータ

#### (2) 外部入出力機器

画像データの入出力機器としてイメージスキャナ及びイメージプリンタがTIP-3・Cell部メモリバスに接続される。またポインティングデバイスとしてマウスまたはタブレットがPC9800の拡張バスに接続される。

#### (3) TIP-3・Cell部

図1に示すようにTIP-3・Cell部は、Cell部各ユニットの動作制御を行うPSU、画像処理を行うIPU、大容量のイメージメモリであるIM、ディスプレイの表示制御を行うDCUの4つの大きな機能ユニットに分けられ、各ユニットは1ボード(約300\*300mm)で構成される。

### 2.2 構成上の特徴

本システムの構成上の特徴として以下の点あげられる。

- ①システムのコンパクト化、ローコスト化。  
ボード7枚程度のH/W規模であるモジュラー構成の画像処理部を1チップLSI化(ImPP)し、またボード1枚程度のH/W

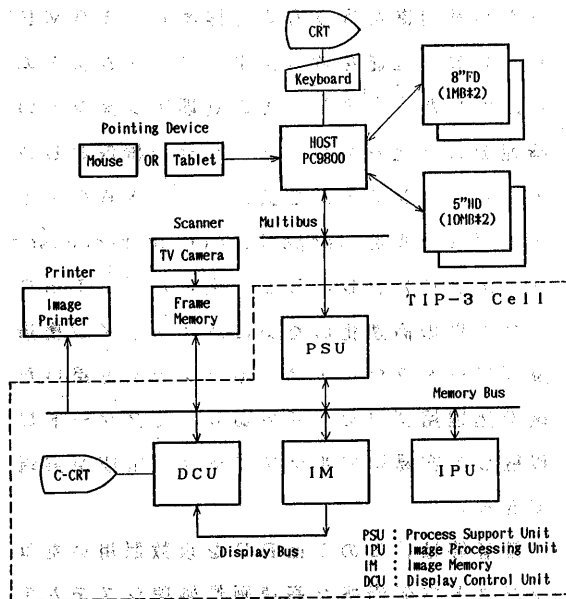


図1. TIP-3システム機器構成図

規模である画像処理部 I/F 部の L S I 化 (MAGIC) を行うことにより、通常ボード 57 枚程度に相当する H/W 規模の画像処理部をボード 1 枚で実現している。また、ホストコンピュータとしてパーソナルコンピュータ (PC9800) を利用すること等により小型化、低価格化を図っている。

### ② 並列処理の簡素化。

H/W, S/W 共にデータ駆動方式を採用し、また ImPP 並列におけるパイプライン処理及びインストラクションレベルでの並列処理を実現することにより並列処理を簡素化している。

### ③ カスケード接続の簡素化。

複数の ImPP 及び MAGIC で構成されるリングバスにおいて、入出力統一化及び各モジュール間での非同期並列転送の実現により複数のカスケード接続を容易にしている (ただし、各 ImPP のモジュール No 設定のための抵抗とバッファが必要)。

### ④ メモリバスの可変プライオリティ制御。

メモリバスは複数のユニットから全く非同期にアクセスされ、処理の種類によってそれぞれのアクセスの頻度に偏りがある。そこで、アクセス権の割り当てを可変とし、処理毎に優先度を変えることにより処理効率を上げられるようにしている。

### ⑤ 処理画像のリアルタイム表示。

インタラクティブな処理においては、処理画像の中間結果及び最終結果が、ディスプレイ上にリアルタイムで表示できることが望ま

しい。そこで、処理に使われるイメージメモリと表示のためのリフレッシュメモリとの共用化を行うことによりリアルタイム表示を実現している。さらに、イメージメモリを 2ポート化し、かつ表示のための読み出しに関し 4W の並列読み出しを可能とすることによって表示のためのアクセス比率を下げ、処理のためのアクセス容量の向上を図っている。

### 3. TIP-3・Cell 部の詳細

TIP-3・Cell 部の各ユニットに関し機能、内部構成等について説明する。図 2 に TIP-3・Cell 部の詳細な機能ブロック図を示す。図に示すように、Cell 部には外部 (ホスト等) とのインターフェイスであるマルチバスを含めて 5 つのバスが存在する。

#### ◎ マルチバス

TIP-3 Cell 部と外部装置 (ホスト等) との接続用バス。

#### ◎ 内部バス

PSU 内の M68K CPU バス。

#### ◎ メモリバス

IM へのアクセス用バス。

#### ◎ ディスプレイバス

ディスプレイの表示データ用バス。

#### ◎ リングバス

ImPP 8 個及び MAGIC 1 個で構成されるリング状のバス。

これらのバスにより TIP-3・Cell 部の構成をシンプルなものにしている。

### 3.1 PSU: Processor Support Unit

PSUは主に以下の役割を持つ。

- ◎ IPUにおけるImPPの処理プログラムの実行制御
- ◎ ユーザプログラムによるIM内データの直接処理
- ◎ ホスト(PC9800)とのコマンドの授受

#### (1) CPU

CPUとして68000(8MHz:以後はM68Kと略す)を用いた。これは画像処理においては扱うデータ量が多いことから、非常に大きなメモリ空間(数百KW~数MW)が必要であり、またそのメモリ空間のアクセスが容易なことが必要なためである。

#### (2) メモリ

オンボードで64KWのローカルメモリ(LM)を持っている。これには、M68Kの

OS, IPU実行管理プログラム, 各種管理テーブル, M68K上で実行されるユーザプログラム等が格納される。

#### (3) メモリ空間

図3にPSU内部バスから見たメモリマップを示す。PSU内部バスから見てIMはM68KCPUのメモリ空間上にマップされているのでM68KCPUからの直接アクセスによる処理が可能となっている。イメージメモリ空間は最大7.5MWである。

#### (4) DMAC

LM-IM間, LM/IM-PC間のデータ転送のためにDMAC(68450)を備えている。DMAの転送速度は他がバスを使用していない場合で、

LM-IM間 …… 約2μS/W

LM/IM-PC間 …… 約2.6

μS/W

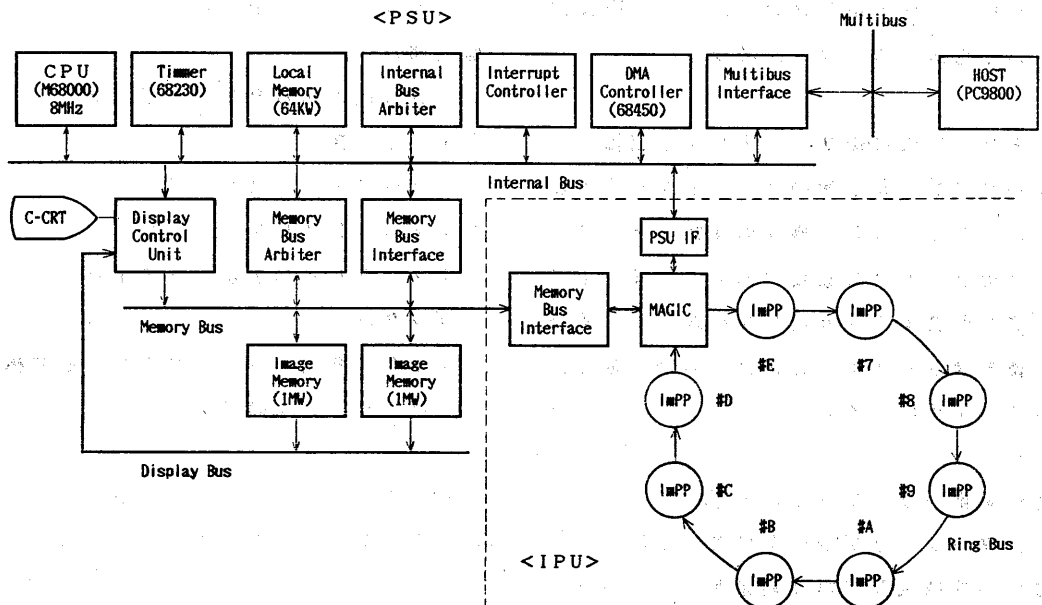
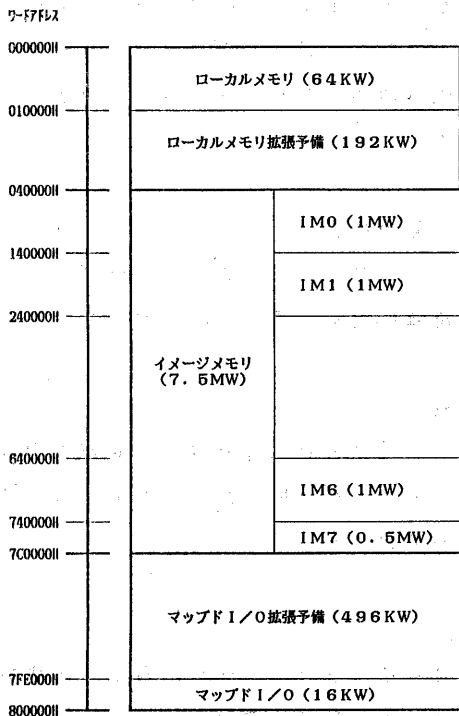


図2 TIP-3・Cell部機能ブロック図

である。ただし、通常は他がバスを使用しているのもっと遅くなる。

### (5) メモリバスのアービトレーション

IMは、IPU、PSU、DCUから全く非同期にアクセスされ、かつリフレッシュを行う必要がある。また、アクセスの頻度はDCU及びリフレッシュに関しては一定であるが、IPU、PSUに関しては処理の種類に依存して変化する。従って、処理の効率化を図るためには、IMに対するアクセスの優先度を処理の種類によって変えられる方が望ましい。本システムでは、優先度の割り当てを幾つかのモードに分けプログラムで指定できるようにしてあり、一連の処理の中でダイナミックに変えられるようにしてある。



<注>サイズはアドレスの大きさに比例していない。

図3 PSU内部バスから見たメモリマップ

### (6) インタラプト

IPUにおける処理の正常終了/異常終了、PSU-PC間のコマンドの転送要求/転送終了、LM-IM間のDMA転送の正常終了/異常終了等の通知等をインタラプトにより行っている。

### 3.2 IPU: Image Processing Unit

あらかじめ各ImPP内に格納されたテンプレートプログラム(ImPPの処理プログラム)に従いIMをアクセスしながら画像データの処理を行う。図2に示したように、ImPP 8個、ImPP周辺インターフェイスLSIMAGIC 1個がリング状に接続されている。(リングバス) ImPP, MAGICの各モジュール間はデータ(16bit)とリクエスト/アクリッジ信号とのハンドシェイクによる非同期並列転送になっている。また、リングバスの転送速度は200nS/トークンである。

### 3.3 IM: Image Memory

IM(イメージメモリ)は1MW/ボード、18bit/W構成のRAMである。IMを18bit/W構成にしたのは以下の二つの理由からである。

- ◎汎用の16bit+2パリティ/W構成のメモリとして利用できること。
- ◎ImPPの画像データメモリとして利用できること。これは、ImPPの画像データメモリとして使用する場合、C(コントロール bit), S(サイン bit)の両bitを含めた18bit/Wのメモリが必要となる。

### (1) アクセス速度

外部から見た場合のメモリボードとしての能力は、

・アクセス時間 …… 250 nS

・サイクル時間 …… 400 nS

であるが、MAGICを介したImPPからIMへのアクセスにおいて、連続アクセス時に待時間を無くするために、本システムではメモリバスのR/Wのサイクル時間を600 nSにしている。従って、メモリバスとしては約1.7 MW/Sのメモリアクセス能力を持っていることになる。

### (2) 2ポート化

IMはディスプレイのリフレッシュメモリをも兼用している。例えば、表示画素数640\*400、RGB各1bit、ノンインタレースのモニタ（一般的なパーソナルコンピュータ用モニタの表示能力）を考えると、このモニタに表示を行うためには約3.84 MW/Sの速度でIMをアクセスしなければならない。IMは全体でも1.7 MW/Sのアクセス能力しかないわけであるから3.84 MW/Sものアクセスは不可能である。そこで本システムでは、IMを4Wの並列読み出しができるように構成し、かつディスプレイのために4Wのラッチを持った読み出し専用ポートを別に設けた。これにより表示のためのメモリへのアクセスをボード当たり1/4に減らした。またさらに、メモリボードを複数枚用いてボードバラレルに読み出しを行うことによりメモリへのアクセスを1/(ボードの枚数)に減らすことができる。仮に基本構成としてメモリボード2枚(2MW)を用いるとすると、表示のために必要なIMへの

実際のアクセスは、

$$3.84 * (1/4) * (1/2) = 0.48 \text{ MW/S}$$

となりIMのアクセス能力全体の約30%となる。ちなみに、リフレッシュのために約64 KW/S(約4%)必要なので画像処理に残るのは約1.16 MW/S(約66%)である。ディスプレイの表示を止め、リフレッシュ以外のすべてを処理のためのアクセスに割当てることにより最高約1.6 MW/Sまで処理に使用することができる。

### 3.4 DCU: Display Control Unit

IM上の任意の矩形領域をディスプレイへ表示するための表示制御を行う。640\*400画素でRGB各1bitの表示をサポートする。表示のON/OFF、表示開始アドレス及び1水平走査毎のオフセットを指定でき、IMを二次元のメモリと考えたときの任意の表示開始アドレスを持つ矩形領域を表示できる。

### 4. 処理の実行

TIP-3システムにおける処理の実行手順を簡単に説明する。(図4参照)

#### ① 起動

PCからPSUへ起動コマンドが入力され、PSUモニタへ処理プログラム名、パラメータ等が渡される。

#### ② 修正

PSUモニタはIM内にあらかじめ格納されているImPPオブジェクトプログラム(テンプレート)の可変パラメータ部分の修正を行う。

### ③ロード

PSUモニタはテンプレートの修正終了後IPUのMAGICに対しテンプレートのロードを指示する。ロードはMAGICのセルフオブジェクトロード機能を使用して行われる。

### ④処理実行

テンプレートの終わりに付加された起動トークンか、またはPSUからの起動トークンによりIPUにおける処理の実行が開始される。ImPPは必要に応じてMAGICを介してIMのR/Wを行い、またホストとの通信を行う。

### ⑤終了

IPUにおける処理の終了に伴い、終了トークンがPSUへ入力され、PSUモニタに通知される。さらに必要ならばPCに処理終了コマンドが送られる。

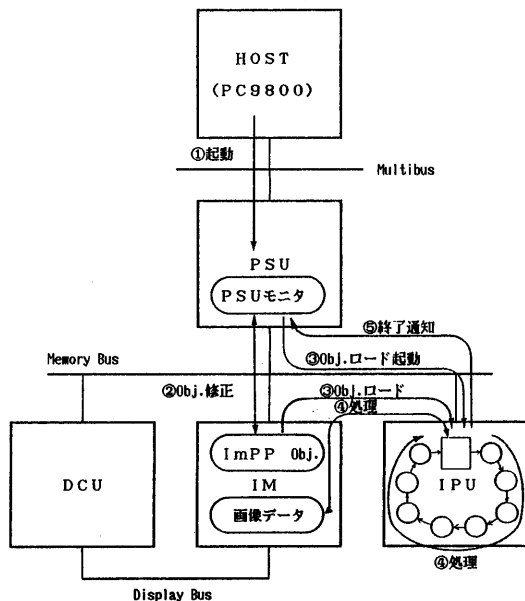


図4 TIP-3システムにおける処理の実行手順

## 5. 性能予測

ImPPは、複数個をカスケードに接続することによって処理の高速化を図ることが容易にできるようになっているので、複数個利用の場合に処理速度がどのように改善されるかについて大まかに考察する。

ImPP複数個利用の場合、以下の3つの性能を左右するネックが考えられる。

### ①イメージメモリに対するアクセスネック

メモリの稼働率が100%に近くなるまで高速化が可能である。

### ②リングバスの転送ネック

ImPPの処理の方がリングバスの転送よりも長いので通常は発生しない。

### ③ImPP自身の処理ネック

これについてはさらに領域並列とパイプライン並列との2種類に分けられる。

#### ◎領域並列

LTの稼働率を保存したままで4並列まで容易に可能。これはMAGICの内部構造と密接に関係があり、R/Wのアドレス・レジスタ・ファイルが4個しか無いことからきている。

#### ◎パイプライン並列

高速化の比率Xは次式で大まかに近似できる。

$$X = \frac{1 - \alpha}{\frac{1 - (\alpha + \beta)}{N} + p\beta}$$

ここで、

$\alpha$  : ImPP内のRAMのリフレッシュの割合

$\beta$  : バイプラインのオーバーヘッドの割合

$p$  : 複数個接続によるオーバーヘッドの減衰率

$N$  : ImPPカスケード接続の個数

今、仮に  $\alpha = 0.013$ ,  $\beta = 0.1$ ,  $p = 1$ ,  $N = 8$  とすると  $x = 4.7$  となる。ImPP 1 個では理想的な状態で 5 MIPS の処理能力を持っているので、TIP-3 システムでは、

5 \* 4.7 MIPS

となり約 20 ~ 25 MIPS の処理能力が期待できる。これはパーソナルコンピュータに、4 ~ 5 枚程度の画像処理用ボードを付加した H/W 規模で、汎用の大型コンピュータに匹敵する処理能力が期待できることを示している。

## 6. むすび

現在開発中である、イメージ・バイプライン・プロセッサ ImPP を複数個用いた、小型で低価格な高速画像処理システム TIP-3 についてその H/W システム構成を中心に述べた。性能としては汎用の大型コンピュータに匹敵する能力が期待できる。

今後は、画像処理における基本処理をインプリメントすることにより、イメージワークステーションの画像処理部及び対話的な画像処理に用いられるイメージディスプレイシステムへの適用を検討するとともに、画像照合等のアプリケーションの基本部分をインプリメントすることにより本システムの性能評価を行い、ImPP を複数個用いた場合の性能及び問題点を明らかにしていく予定である。

## 謝辞

日頃御指導頂く周辺機器研究部花木部長に感謝致します。また本システムのハードウェア試作に御協力頂いている同研究部木村氏に感謝致します。

## 参考文献

- (1) 坂上他 "イメージプロセッサの最近の動向" 信学誌, Vol.67, No.1, 1984
- (2) 天満他 "データフロー方式の画像処理プロセッサ" S54 信学会部門大会, 361, 1979.
- (3) 天満他 "Dataflow Processor for Image Processing" Proc. ISMM Intn'l Symp. MINI'80 Asiloma, Vol.5, No.3, ACTA PRESS, 1980.
- (4) 岩下他 "モジュラー構成のデータフロー画像処理プロセッサ" 信学技報 IE81-78, 1981.
- (5) 黒川他 "The Architecture and Performance of Image Pipeline Processor" VLSI'83, 1983.