

知能集積システムとその応用

亀山 充隆

東北大学大学院情報科学研究科

現在のプロセッサの性能をはるかに越える知能処理を可能とする集積システムの開拓は、次世代の新しい産業を芽生えさせ、情報社会に貢献できる応用を促進できる。このような知能集積システムを実現するためには、種々の階層における要素技術を統合することが必要となる。本稿では、現在の性能限界にブレークスルーを与えるための要素技術、特に応用レベルやシステムアーキテクチャレベルなどの上位レベルの要素技術の展望を概説する。

Intelligent Integrated Systems and Their Applications

Michitaka KAMEYAMA

Graduate School of Information Sciences, Tohoku University

In intelligent integrated systems, special-purpose VLSI processors are essential for the systems to response quickly to a dynamic change of real-world environment. In the development, not only hardware intellectual property (IP) but also software IP becomes important to find the desirable VLSI-oriented algorithms. Technologies for bottleneck-free parallel architecture are also required to realize high-performance processings with the quick response. As a typical example, an application of a highly-safe vehicle is shown to demonstrate the importance of our concepts.

1 まえがき

知能アルゴリズムと集積回路技術を融合したりリアルワールド応用知能集積システムでは、動的に変化する環境に対して、高速に応答するVLSIプロセッサの開発が必須であり、種々の階層において徹底的な高並列化が重要となる。このため、演算遅れ時間最小・並列構造プロセッサアーキテクチャ、クリティカルパス遅延最小のハードウェアアルゴリズムなどシステムオンチップに向けた先進技術の開発が要請される。

このような知能集積システムは、種々の階層における要素技術が総合されたものであるが、特にシステム応用レベルやシステムアーキテクチャレベルなどの上位レベルの要素技術の開拓がきわめて重要であるにもかかわらず、系統的手法はまだ確立されていないのが現状である。例えば、システム応用レベルは学際的色彩が強く、人間性やモラル、商品としての有用性、知能性を実現する処理アルゴリズム、VLSI化に適するアルゴリズムなどの研究が必要となる。

筆者らは、ロボティクスを指向したロボットエレクトロニクスと呼ぶ学問領域をすでに提唱してきた[1]-[3]。最近、産業界ではシステムVLSIという観点からこの種の分野の重要性がようやく認知されるに至っている。本稿では、このような背景も踏まえ、今後の展望を概説する。

2 知能集積システム応用の展望

まず、知能集積システム応用における概念を述べる。知能集積システム応用では、Fig. 1に示すように、センサからリアルワールド情報を取得し、それに対して知能的処理を施し、その結果に基づきリアルワールドへのアクチュエーションを行うという一連の処理を密に行う必要がある。しかしながら、リアルワールドの情報は膨大であるために、実時間で全ての情報に対して精密に処理を行うのは困難であり、確率的高速化が重要となる。このためには、確率的に処理時間が変化したとしても、システムとして意味のある出力を保証できるような処

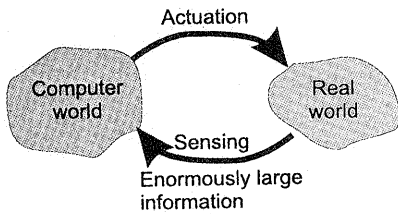


Fig. 1: Signal flow in real-world intelligent integrated systems.

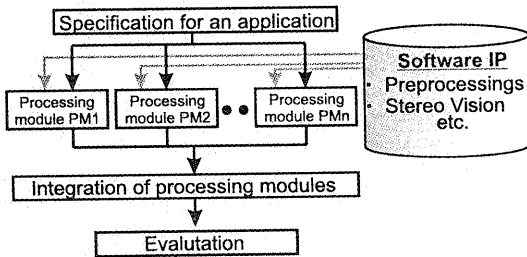


Fig. 2: Development of algorithms of an intelligent integrated system.

理でなくてはならない。例としては、フェールセーフの概念に基づく処理が挙げられる。ある一定時間以内に衝突チェック対象領域において衝突回避軌道生成が終了しなかった場合、すなわち、衝突回避軌道が見つからなかった場合には、危険状態であると判断することにより、安全を確保する。確率的高速化の例としては、3.に示すように階層的に処理精度を高めていく階層的処理が挙げられる。

次に、知能集積システム応用の開発における問題点を述べる。知能集積システム応用の開発においては、その応用に対してどのようなアルゴリズムを採用すればよいか重要な問題である。まず、有用なVLSI向きアルゴリズムを探すために、既存のアルゴリズムの理解と追試に時間がかかることが問題となる。この問題を解決するためには、Fig. 2に示すように、研究者が活用可能なソフトウェアIP(Intellectual Property)のデータベース環境の構築が望まれる。また、シミュレーションによりアルゴリズムの評価をすることが必要となる。VLSI向きアルゴリズムは、計算量の少なさだけではなく、並列処理への適合性も重要な選択基準であるため、必ずしもワークステーションでのシミュレーションに向くとは限らない。そこで、アルゴリズム開発のためのアクセラレータが必要となる。Fig. 3に示すように、アクセラレータは、よく使われる処

理モジュールをとる専用プロセッサ、センサ、ホストプロセッサ、FPGAから構成され、リアルワールド情報を用いてアルゴリズムの評価を行えることが望まれる。アクセラレータの開発においても、リアルタイムOSの開発、拡張性のあるアーキテクチャなど興味ある課題は多い。

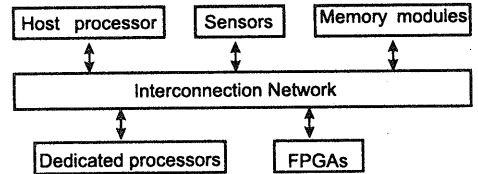


Fig. 3: Simulator based on accelerators.

3 要素技術の展望と開発例

知能集積システムの処理では、Fig.4に示すように一連の処理において処理時間のボトルネックのないプロセッサアーキテクチャが望まれる。以下では、知能集積システムの典型例である高安全自動車(図5)のためのVLSIプロセッサの開発事例を用いて、処理時間のボトルネックのないプロセッサアーキテクチャを実現するための要素技術を述べる。

3.1 画像認識VLSIプロセッサ

リアルワールド情報を取得するためには種々の画像処理プロセッサが必要となる。画像処理においては膨大な数の画素を処理するため、入力画像を含む中間データを記憶するためのメモリ容量が膨大になる場合が多い。

メモリ容量を最小化する例として、演算の瞬時出力生成スケジューリングに基づく人間抽出VLSIプロセッサを取り上げる。人間の各部の大きさ・形状などの個体差による影響を受けにくい人間抽出

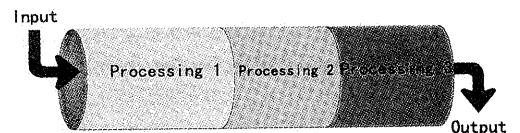


Fig. 4: Architecture-level technology concept in intelligent integrated systems.

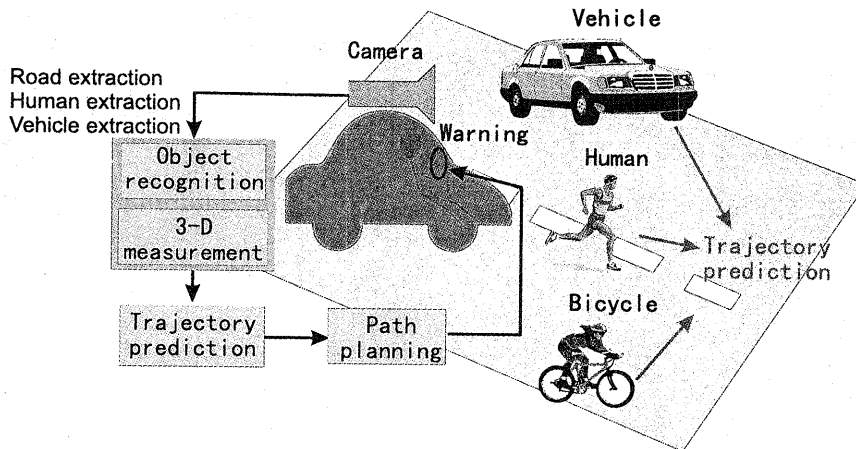


Fig. 5: Processings of a highly-safe vehicle.

アルゴリズムが必要となる。その一例として、Fig.6に示すような、接続情報に基づく人間抽出アルゴリズムが開発されている [4]。このアルゴリズムでは、人体の各部の接続の仕方に着目し、人間かどうかの判断を行なう。個体差に影響されずに人体の各部を抽出するために、人間候補領域に対して細線化された画像の端点・交点を特徴として用いる。ワークステーション (Sun Ultra Sparc 10) を用いてシミュレーションをしたところ、人間領域候補数が 13000 の場合には 40 時間以上の処理時間がかかり、細線化が全体の処理時間の大部分 (90%以上) を占めという結果が得られている。

そのため、同一チップ面積での最高性能を達成する細線化 VLSI プロセッサを提案している。細線化アルゴリズムとしては、 3×3 の論理フィルタリングを全画素に対して並列に行える VLSI 向きアルゴリズムを採用している。Fig.7 にメモリ容量を最小化するための、瞬時出力生成スケジューリングの例を示す。ここでは、細線化のマスクの大きさを 1×3 としている。データが異なるステップで使用される場合には、そのデータを記憶する必要がある。瞬時出力生成スケジューリングでは共通の入力データを用いる演算を同一のステップに割り当てることにより、そのデータを記憶する必要性をなくしている。結果として、メモリ容量最小化のためには、同じ画像上の画素に対して同時に処理を行なう空間的並列アーキテクチャが有効となる。Fig.8 に、 3×3 マスク演算を行なう PE を 16×512 個用いた場合のレイアウトを示す。このプロセッサは

$0.5\mu\text{m}$ CMOS 設計ルールに基づいて設計され、ワークステーションでの処理に比べ、17 万倍の高速化が達成される。また、画像処理でよく用いられるパイプラインアーキテクチャと比較して、メモリ容量を 6% に減少でき、処理時間を 10% 減少できる。

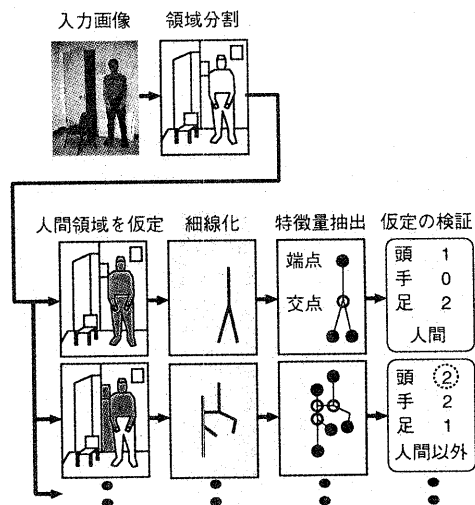


Fig. 6: Algorithm for human extraction.

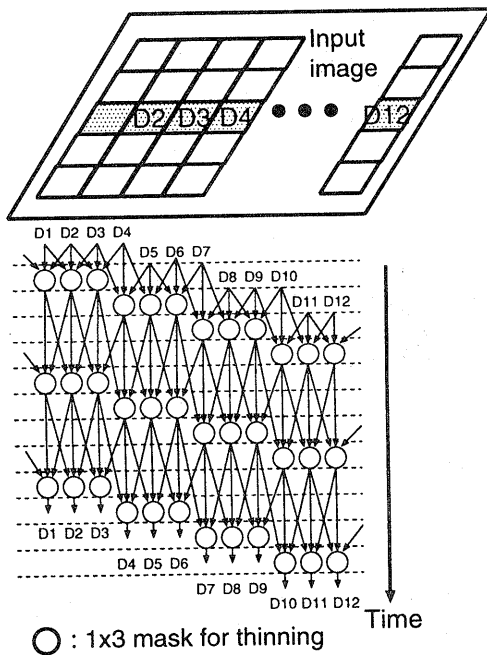


Fig. 7: Data flow graph of thinning based on immediate output scheduling.

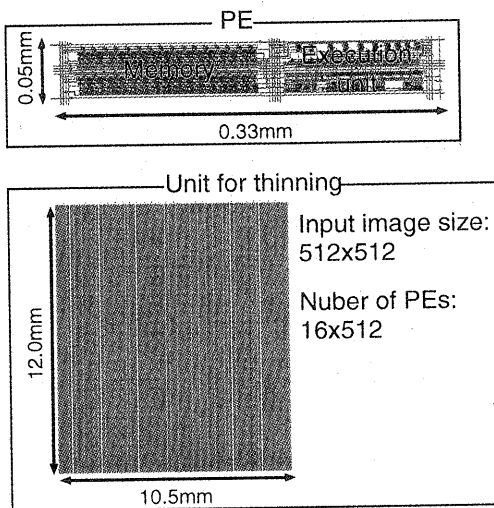


Fig. 8: Layout of the unit for thinning.

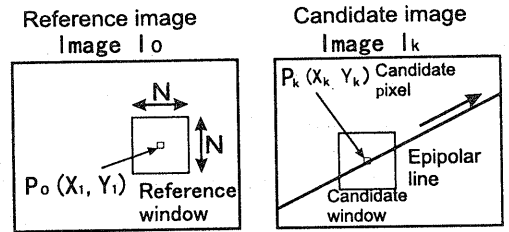


Fig. 9: Search for a corresponding point.

3.2 ステレオビジョン VLSI プロセッサ

要素技術として (1) 並列データ供給のためのデータとメモリのマッピング (メモリアロケーション), (2) モジュール間の通信を局所化し相互結合網の複雑さ最小化するための演算器と演算のマッピング (演算器アロケーション) に着目したステレオビジョン VLSI プロセッサについて述べる。

ステレオビジョンでは、複数の画像間の対応点を求める必要がある。2枚の画像間の対応は Fig.9 に示すように参照ウィンドウと候補ウィンドウに対する SAD (Sum of Absolute Differences) を用いて求められる。この SAD が大部分の処理時間を占めるため、その並列処理が望まれる。

SAD の並列処理の問題の一つは、ウィンドウ内のピクセルの並列データ供給である [5]。そこで、異なるメモリモジュールに記憶されるピクセルには並列アクセスが可能であることに着目し、Fig. 10 の例に示すような、ウィンドウ演算のためのメモリアロケーションを提案している。 $n \times n$ ウィンドウに対しては、同じメモリモジュールに記憶されるピクセルが n ピクセル毎に現れるように割り当てればよい。このアロケーションでは、メモリ容量最小化のための同一ピクセルの重複記憶の禁止、アドレスバスとデータバス数の最小化のためのメモリモジュール数最小化を考慮している。

SAD の並列処理のもう一つの問題は、並列データ供給に伴ってメモリ-演算器 (PE) 間の相互結合網の複雑になることである。この問題を解決するために、各 PE には、候補ウィンドウ内の同一のメモリモジュールに記憶されるピクセルだけをマッピングする。これにより、Fig. 11 に示すようにメモリモジュールと PE の間の配線は専用化できる。この場合、候補ウィンドウの移動に対応して参照ウィンドウのピクセルを PE 間で転送する必要が生じ、そのための相互結合網が大規模になる可能性がある。しかしながら、候補ウィンドウの移動を 1 ピク

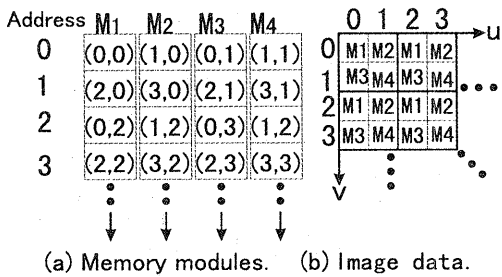


Fig. 10: Optimal memory allocation for a 2x2 window.

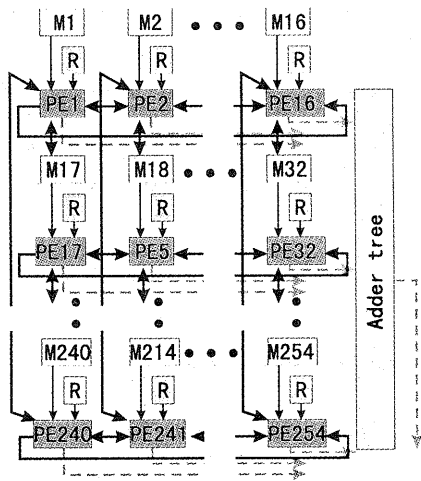


Fig. 11: Block diagram of the SAD unit.

セルに限定すれば、メモリアロケーションの周期性により、PE からの参照ウィンドウピクセルの転送先は 8 近傍の PE へ限定され、結果として近傍 PE 間の配線だけで十分である。

Fig. 12 に $0.8\mu\text{m}$ CMOS 設計ルールを用いて設計されたステレオビジョン VLSI プロセッサのレイアウトを示す。ワークステーションでの処理と比較して、40 万倍の高速化が達成される。並列メモリアクセスのためのメモリアロケーションを用いない場合と比較して、16 倍の高速化が達成される。

3.3 衝突チェック VLSI プロセッサ

この節では、(1) 処理間の性能マッチング、(2) データ圧縮、(3) 階層的処理、といった要素技術を

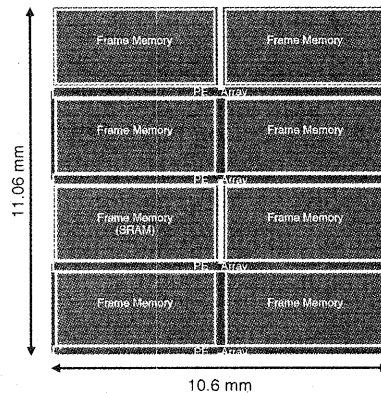


Fig. 12: Layout of the SAD unit.

説明するために、軌道計画の基本処理である衝突チェックのための VLSI プロセッサを例として用いる。

Fig. 13 に示すように、衝突チェックにおいては、全ての障害物離散点に対して独立に処理を行えるという並列性があるために、障害物離散点を座標変換演算要素 (PE) に分散した空間的並列アーキテクチャを用いている。PE と連想メモリ (CAM) の稼働率が 100% になるように、性能マッチングの概念に基づき、それぞれの処理時間に応じた構成となっている [6],[7]。

Fig. 14 に示すように、自動車は精密直方体の集合と、それを包含する大枠直方体の集合として表現される。直方体表現を用いると、離散点表現を用いた場合と比べて記憶容量を 1/10 程度に圧縮できる。

障害物離散点は、まず大枠直方体と照合され、衝突がある場合には、その大枠直方体に含まれる精密直方体とだけ照合が行われる。この階層的照合により計算量を 10% 程度に減少できる。階層的照合に適するように、複数の直方体で照合回路 (CP) を共有した階層的連想メモリ (Fig. 15) を提案し、従来の完全並列型 CAM に比べ大幅な高性能化を達成している。

以上の考え方に基づいた衝突チェック VLSI プロセッサを Fig. 16 に示す。 $0.6\mu\text{m}$ CMOS 技術に基づき 170 万個のトランジスタが集積されている。障害物の表面離散点 1 点に対する衝突チェックを 10ns で行え、汎用のマイクロプロセッサでの処理と比較して数万倍の高性能化が達成できる。

4 むすび

知能集積システム応用開発にとって、アルゴリズムの選択に有用となるソフトウェアIPの重要性を述べた。また、種々の革新的要素技術の必要性を明らかにした。今後知能集積システムの開発においては、消費電力を考慮したプロセッサのハイレベルシミュレーションなど、残された課題がある。

参考文献

- [1] 亀山充隆, 樋口龍雄: LSI 向きロボット制御用プロセッサ, 計測と制御, 25, 1, 30/36 (1986).
- [2] 亀山充隆, 羽生貴弘: ギガスケールシステムオンチップに向けての知能集積システムの展望, 電子情報通信学会誌, 78, 2, 187/194(1995).
- [3] 亀山充隆, 藤岡与周: ロボット用VLSIプロセッサシステム, 日本ロボット学会誌, 14, 1, 22/25(1996).
- [4] 張山昌論, 来山信康, 亀山充隆: 高安全知能集積システム用画像認識プロセッサの構成, 計測自動制御学会東北支部, 179-6, 1998.
- [5] L. Seunghan, M. Hariyama, M. Kameyama: A Three-Dimensional Instrumentation VLSI Processor Based on a Concurrent Memory-Access Scheme, IEICE Trans. Electron, E80-C, 11, 1491/1498(1997).
- [6] 張山昌論, 亀山充隆: 読出し専用型連想メモリに基づく高安全自動車用衝突チェックVLSIプロセッサ, 電子情報通信学会論文誌, J79-C-II, 11, 698/705(1996).
- [7] M. Hariyama and M. Kameyama: Design of a Collision Detection VLSI Processor Based on Minimization of Area-Time Products, Proc. IEEE International Conference on Robotics and Automation, 3691/3696(1998).

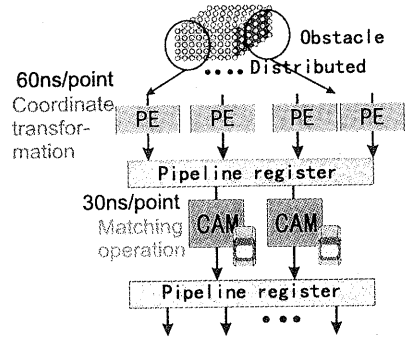


Fig. 13: Architecture of a collision detection VLSI processor.

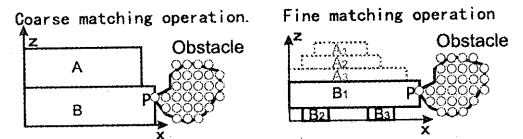


Fig. 14: Hierarchical matching.

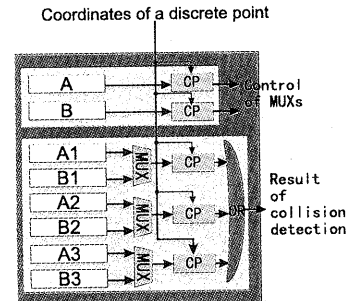


Fig. 15: Content-addressable memory based on a hierarchical matching scheme.

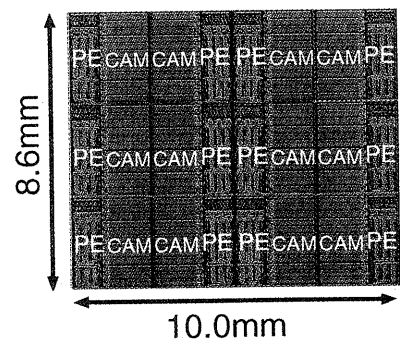


Fig. 16: Collision detection VLSI processor.