

## 解説

## 光ニューロ・コンピューティング†



武田 光 夫††

## 1. ま え が き

人工的な神経回路網による新しいタイプのコンピュータに対する期待はきわめて大きい。しかし、その実現にまでにはまだ多くの挑戦すべき課題が残されている。中でも、①多数のニューロン素子間のシナプシス結合とその荷重の積和演算をどのように実現するかというハードウェアの問題と、②そのような人工的な神経回路網のシナプシス荷重をどのようにプログラムまたは学習をさせれば目的とする情報処理を高度な並列性をもって実行することができるかというソフトウェアの問題を解決することが不可欠である。ここでは、①のハードウェア化の問題に関して光技術のもつ可能性について論じるとともに、光技術を用いた神経回路網のハードウェア化の研究の現状を紹介する。

## 2. 神経回路網と光技術—なぜ「光」なのか—

デジタルコンピュータの場合と同様に、神経回路網のハードウェア化においても電子技術が不可欠な要素であるということはいままでもない。それでは、神経回路網のハードウェア化に光技術を用いようとする動機は一体どこから生じてくるのであろうか。それは、以下に述べるように、情報を担う媒体としての電子と光子との間のきわだった物理的性質の相違と、神経回路網とデジタルコンピュータとの間の情報処理の原理の基本的な相違とから生じるものである。

ノイマン型のデジタルコンピュータはアルゴリズムにしたがって種々の論理演算を直列に実行していくことにより解を得る。そのためのハードウェアの核となるのは複雑な論理演算を実現できる機構、すなわち CPU である。プログラムの内容の解読も論理演算によって行われ、その実行もまた論理演算を通じて行われる。この意味で、デジタルコンピュータのハードウェア化における中心的課題は「複雑な論理」をプ

ロセッサチップとして物理的に実現するためのテクノロジーにあるといえよう。まさにこの対極に位置するのが神経回路網である。ニューロン素子を一つのプロセッサエレメントと見なせば、それは閾値形非線形処理というごく単純な論理演算しか行わない。その代わりに、それらのプロセッサエレメントはきわめて多数で複雑な結線により相互に結び付けられている。そして、その複雑な結線の荷重を通じて多数のニューロン素子が同時並列的に相互作用し合うことにより解を得る。プログラム（学習）の内容やデータのすべてが結線の構造により表現され、その実行もまた結線を介した相互作用を通じて行われる。この意味で、神経回路網のハードウェア化における中心的課題は「複雑な結線」を回路網として物理的に実現するためのテクノロジーにあるといえよう。ところで、電子のもつきわだった特徴の一つは電磁場を介して互いに強い相互作用をするという点にある。相互作用をしやすいというこの性質は、論理素子をつくるのに非常に適しており、電子を用いた複雑な論理回路を VLSI 技術により実現できたことが今日のデジタルコンピュータの興隆のハードウェア的基盤となっている。しかし、その相互作用しやすいという性質が、いまや逆に、信号相互の誘導・干渉などの原因となり VLSI 技術により複雑で高密度な配線を行う上での大きな障害になり始めている。一方、線形と見なし得る通常の伝搬媒質中では光子同士はまったく相互作用をしない。光子は相互作用しにくいので、小型で小電力の光論理素子が作りやすく、複雑な論理回路を光で実現するには高度なデバイス技術への新たな挑戦を必要とする。しかし、このことは逆に、光は神経回路網のハードウェア化に必要な複雑で高密度な結線を信号相互の干渉なしに実現するための理想的な媒体となり得ることを意味している。上に述べた「複雑な論理」対「複雑な結線」という視点からコンピュータアーキテクチャとそのハードウェアの実現技術との関係を描いたものが図-1 である。成熟した電子技術と成熟したアーキテクチャが組み合わせられたノイマン型デジタルコンピュータは強

† Optical Neurocomputing: An Overview by Mitsuo TAKEDA (University of Electro-communications, Department of Communications and Systems Engineering).

†† 電気通信大学電気通信学部電子情報学科

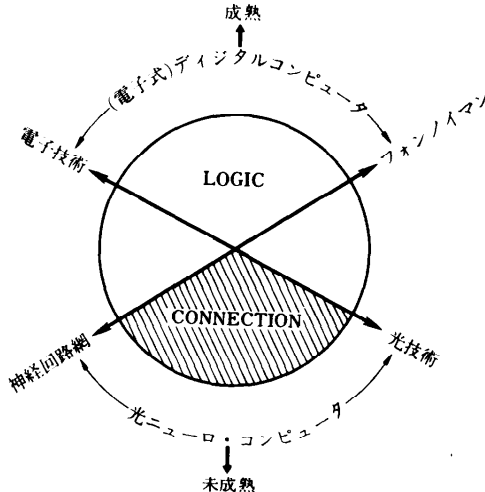


図-1 アーキテクチャとそのハードウェア的实现技術との関係

力で完成度の高い「(電子)+(ロジック)による情報処理の世界」を形成している。これに対し、光技術と神経回路網といういずれもまだ未成熟ではあるが急速に成長しつつある技術とアーキテクチャを組み合わせることにより「(光)+(コネクション)による情報処理の世界」という新しいパラダイムを考えることができはしないか、このような期待のもとに進められているのが光ニューロ・コンピュータの研究である。

### 3. 光技術のもつ可能性

神経回路網をハードウェア化するには次の三つの基本的な機構を物理的に実現する必要がある。①ニューロン素子間のグローバルで密な結線。②ニューロン素子が受け取る各信号にそれぞれに対応したシナプシス荷重をかけてその和を求めめるためのアナログ積和演算機構。③ニューロン素子の閾値関数型の非線形増幅機構。ここではまず、これらの基本的な機構を実現する上で光技術のもつ原理上の可能性について述べる。その可能性を現実のものにするための具体的なハードウェア化の提案や装置化の実例については次の節で述べる。

#### 3.1 光インタコネクション<sup>1),2)</sup>

前述のように、情報の伝達媒体としての光子は電子に較べて信号相互の無誘導性・非干渉性といった優れた性質がある。そのため、たとえば、3次元空間内で多数の光ビームを多重に交差させることによる神経回路網の3次元高密度結線の可能性が生じる。また、光結線は光ビームを広げて照射することによるグローバ

ルな放送型の結線など神経回路網の必要とする多ファンアウト結線を実現しやすいという長所をもつ。さらに、光結線は、光ビームチャンネルの空間的分解能の高さに加えて、時間信号の伝搬の高速性と周波数の広帯域性という大きな特長を備えている。この広帯域性は、タイムマルチプレックス化した仮想結線を行おうとする際に、電気結線の信号帯域不足の問題を解決し得るものである。たとえば、光結線と電子ニューロン素子とを組み合わせた光・電子ハイブリット神経回路網を考えると、必ずしもすべてのニューロン素子を直接に光で結ぶ必要はなく、タイムマルチプレックスされた広帯域な信号のグローバルで距離を隔てた伝達に光結線を用い、ローカルな領域内での信号の再分配や相互通信には電氣的結線を併用することもできよう。

#### 3.2 超並列光アナログ積和演算<sup>3)</sup>

次に、光が物体を透過したり物体から反射される際には、その透過光または反射光の強度は入射光強度に物体の透過率または反射率をかけたものになる。この積の演算は空間的広がりをもつ物体表面の各場所場所で同時に並列かつ独立に、しかも文字通り瞬時に行われる。さらに、これらの各場所からの光をレンズなどの光学素子により一点に集光することにより光強度和として和の演算を実現することができる。したがって、各ニューロンの興奮状態を空間的な光強度分布で表現し、各シナプシス荷重を空間的な透過(反射)率分布で表現する空間光変調器に入射させ、その出力光を集光して検出することによりシナプシス荷重の超並列アナログ積和演算を実現することができる。

このような方式のキーデバイスとなるのは、外部から制御光を照射することにより空間的な透過(反射)率分布をコントロールして神経回路網を学習させることができるような光制御型の空間光変調器である。現在、自由空間を利用した光マトリックス・ベクトル積演算や光クロスバスイッチを目指して、マイクロチャンネルプレート型(MSLM)、可変微小鏡型(DMD)、PLZTセラミックスの上にSi光検出増幅素子を集積化したタイプ(Si/PLZT)などの空間光変調器の開発が進められている。一例として、UCSDで開発中の1000×1000素子、10kHz応答、ダイナミックレンジが30dBのSi/PLZT空間光変調器の1素子部分の構造を図-2に示す<sup>4)</sup>。各素子は100ミクロン間隔で2次的に配列されている。この空間光変調器を用いれば、毎秒10<sup>10</sup>回のアナログ積の演算を実行することができる。

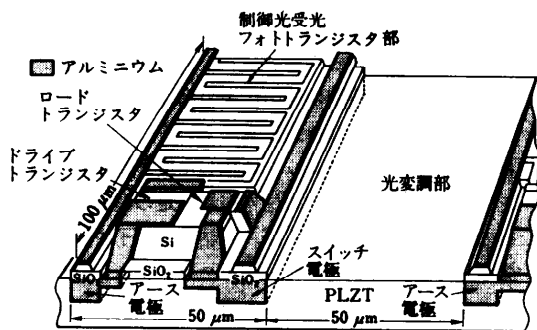


図-2 UCSD で開発中の Si/PLZT 空間光変調器\*

### 3.3 閾値形非線形増幅

ニューロン素子の閾値形の非線形増幅は、本来、光技術よりはむしろ電子技術の方がはるかに実現しやすい機能であるが、BSO や BaTiO<sub>3</sub> などの非線形光学結晶を用いた最近の位相共役波発生技術により、光の波動場に対して直接非線形増幅作用をする機構が実現できるようになってきた。非線形光学結晶を用いた非線形増幅機構の特色は、ニューロンが離散的に独立した素子として存在するのではなく、位相共役鏡 (PCM) を形成する BaTiO<sub>3</sub> の結晶内部に空間的に連続に分布しており、いわば、ニューロン場というべき状態を形成することである。これは画像などのようにもともと空間的に連続した光強度分布のもつ情報を扱うのにきわめて都合のよい性質であり、電子技術では代替し難い機能である。また、フォトダイオードとレーザダイオードを一体集積化した光双安定素子の非線形特性やマイクロチャンネルプレートの非線形増幅特性をニューロンの閾値機能として用いることもできる。

## 4. 光技術を用いた神経回路網のハードウェア化

神経回路網の実装に光技術を用いる方法としては、インタコネクションのみに光を用いて残りの機構をすべて電子技術で実現する、電子技術が主体の光・電子ハイブリッド式から、前述の三つの機構のすべてを光で実現するオール光方式のものまで、種々のレベルのものが考えられる。また、前者の場合、ハードウェア構成のどの階層で光インタコネクションを用いるかによってさらにいくつかの異なる形態が考えられる。

### 4.1 仮想神経回路網エミュレートプロセッサモジュールの光結線

TRW の Mark IV や HNC の ANZA のような、現存のデジタルコンピュータ技術を基礎にした仮想ニューロ・コンピュータは最も現実的なアプローチである<sup>5)</sup>。これは、小数の高速なプロセッサを見かけ上多数のニューロン素子として時分割的に働かせる仮想ニューロン化と、ニューロン間の物理的結線をこれらのプロセッサによる荷重の積和計算に置き換える仮想結線化の思想に基づいている。この方式は種々の神経回路網を自由にプログラムできるが、その代償としてハードワイヤされた物理的な神経回路網に較べて計算速度が遅い。プロセッサ数を増して並列度を上げることにより高速化が可能ではあるが、プロセッサの数が増えるにつれてプロセッサモジュール間の結線と通信容量が問題となる。電気的線路上の信号は帯域幅が限られているため各仮想ニューロン素子のスイッチング動作を高速にすることができず、プロセッサ数が一定限度を越えると計算速度が演算素子自身の速度ではなく回路網の通信速度で決まってしまう。いわゆる「結線リミテッド」の状態に陥るという問題が生じるであろう。図-3 は、仮想ニューロンエミュレータのプロセッサモジュール間の放送型の並列バス接続を、ホログラムを用いた自由空間の光結線により高速広帯域化をはかり、結線の通信容量を高め、仮想ニューロンのスイッチング速度を上げようとするアイデアを1例として示したものである。このような放送型光バスは、仮想神経回路網モジュールの光結線にはまだ実際に使われていないが、電総研のマルチプロセッサ Dialog. H のようなデジタルコンピュータではすでに実験が進められている<sup>6)</sup>。自由空間の光結線のほかに、多数の光ファイバを束ねたコネクタによる結線も有効であろう。このようなモジュール間やボード間の光結線は、

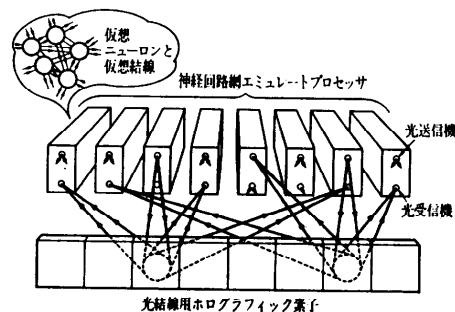


図-3 エミュレートプロセッサモジュール間の光結線\*\*

比較的近い将来に実用化が期待し得るものと考えられる。

4.2 VLSI ニューロンチップの光結線

神経回路網の応用にとって計算の高速性は一つの非常に重要なファクタであり<sup>7)</sup>、専用ハードウェア化の最大の目的はまさに高速化にあるといえよう。[仮想ニューロン]+[仮想結線]方式の低速性を基本的に解決するには、ニューロン素子と結線を物理的に実現する必要がある。シリコンを基礎とした VLSI 技術は、そのような人工の神経回路網を実現するための一つの有力なアプローチであり、VLSI 技術によるニューロンチップがすでに AT&T Bell Lab., Caltech, JPL, MIT Lincoln Lab. などにより試作されはじめている<sup>8)</sup>。しかし、 $N$  個のニューロンのすべてが相互に直接接続された最も一般的なシナプシス結合の組み合わせを可能にするには、 $N^2$  個の結線が必要である。VLSI 技術によりつくられた神経回路網は、シリコン表面積の大部分がシナプシス荷重のためのクロスバ型のマトリックス結線で占められることになり、集積可能なニューロンの数は結線の困難さによって制限される。Bell Lab. で試作された VLSI ニューロンチップの場合、最大の素子数が 256 素子であり、しかもそのシナプシス結線の荷重を与えるアモーフスシリコンのマトリックスの抵抗値は製造時にあらかじめ一定値に固定され、学習させたりプログラムを書き換えることができない<sup>9)</sup>。MOSFET のゲート電圧を変えることにより生じるコンダクタンス変化を利用する方法も検討されているが、すでにシナプシス結線自身がシリコン表面積の大部分を占める状態なので、ゲート電圧制御用の信号線をさらに張り巡らすのは非常に困難である。そのためには、集積するニューロン素子数を減らさざるを得ず、現状では可変荷重のニューロンチップの素子数は 54 素子にとどまっている。

このような問題を解決するために提案された光制御方式の VLSI ニューロンチップ<sup>9)</sup>の回路図を図-4 にしめす。興奮性の荷重  $w_{ij}$  と抑制性の荷重  $\bar{w}_{ij}$  はともに図-5 にしめすような CMOS プロセスでつくられる互いに極性の向きを対抗させた 1 組のバックトゥバックフォトダイオードで構成され、そのいずれか一方にチップの上方から光を照射しその光量を制御することにより荷重の大きさをコントロールすることができる。この方法は、結線が 2 次元平面内に拘束されていた従来の VLSI 技術に光技術を導入することにより、荷重制御用のチップ内結線を 3 次元自由空間の

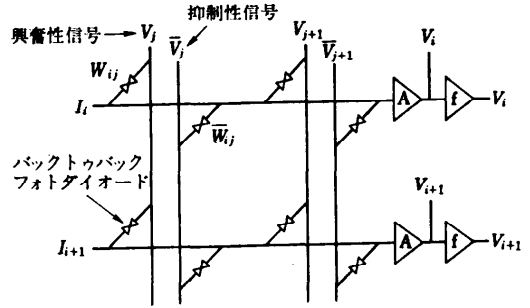


図-4 Bell Lab. の光制御方式の VLSI ニューロンチップの回路図<sup>9)</sup>

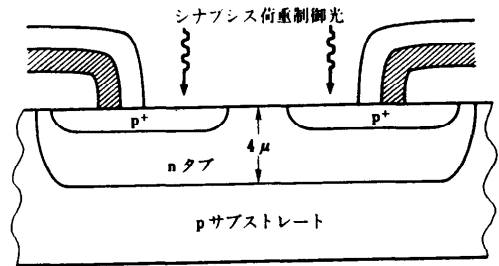


図-5 CMOS プロセスでつくられるバックトゥバックフォトダイオード<sup>9)</sup>

光結線としてチップ外の空間に解放したものと考えることができ、光のもつ特長をうまく使っている点が興味深い。

上述のように Bell Lab. で開発中の連想メモリチップのニューロン数は最大のものでもまだ  $N=256$  である<sup>9)</sup>。このように、一つのチップに載るニューロンの数  $N$  に制約があるので、大規模な神経回路網を構成するには、 $m$  個のチップを用いてニューロンの総数を  $mN$  個に拡張していくことになる。この場合についても、すべてのニューロンが相互に接続された最も一般的なシナプシス結合の組み合わせを可能にすることを考えると、 $(mN)^2$  個の結線が必要となる。これらの結線のうち、 $mN^2$  個の結線はチップ内で行われているので、 $(mN)^2 - mN^2 = m(m-1)N^2$  個の結線は外部ピンを通じてチップ間で行わなければならない。

各ピンが外部の  $(m-1)N$  個のニューロンへの放送型のファンアウトができ、外部の  $(m-1)N$  個のニューロンからのファンインを受け取ることができるとしても、これに必要な外部ピンの数  $P$  は、 $P \sim N$  となり、通常のデジタルロジック LSI のトランジスタ数  $N$  と外部ピンの数  $P$  に対する Rent の経験則  $P \sim N^{0.61}$  に較べて、指数が 0.6 から 1 に増加するこ

とになる。しかし、ニューロンチップの場合、チップ内結線にシリコン表面積の大部分を消費しニューロンはチップの周辺部にしかないので  $N$  はチップ面積の平方根でしか増大しない。したがって、ピン配列を2次元化すればチップ表面のピンの面密度が急増することはないが、それでも将来大規模な集積化に成功した場合にはやはりチップ間の結線が問題となるであろう。たとえば、将来1チップあたり1,000個のニューロン素子が集積できたとし、それらが10MHzのスイッチング速度で状態を変えたとしても(Bell Lab.のVLSIチップの動作シミュレーションでは数100nsでの収束が報告されている<sup>9)</sup>ので一応の目安としてこのようなパラメータを選んでみた)、これらのすべてのニューロン素子が外部のチップと双方向通信するのに必要な全帯域幅はごく粗く見積って20GHz程度になるであろう。仮にタイムマルチプレックスして40本のピンでその信号を送受するとすると1本当りの帯域幅は500MHz程度になり、電気的結線によりこれらの広帯域線路を実現し信号の相互干渉なしに各チップの間に配線を巡らすのは非常に困難になるであろう。

図-6は、ニューロンのVLSIチップ間の結線を、反射型ホログラムによる自由空間結線、または光導波路を用いた光結線で実現することを考えた概念図である。この場合は、外部ピンに代わるものとして、受発光素子のアレイを用いるので、シリコンのニューロンとGaAsの発光素子を一体化したOEIC(光電子集積回路)チップの開発が必要になろう。光結線の高速広帯域性を生かして信号を高度にタイムマルチプレックスすることにより、受発光素子数を減らすこともできよう。

(以上に述べた三つの例のうち、図-3の仮想神経回

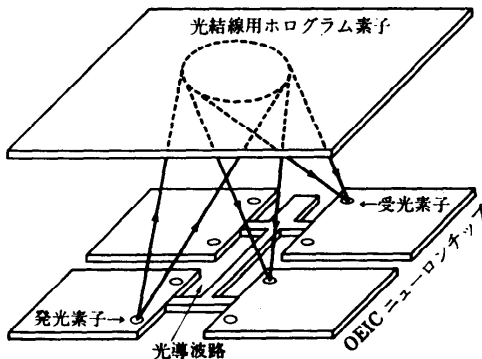


図-6 VLSIニューロンチップ間の光結線<sup>10)</sup>

路網モジュール間の光結線と図-6のVLSIニューロンチップ間の光結線の2例は筆者自身のスペキュラティブな構想<sup>10)</sup>に基づくものであり、TRWやBell Lab.で実際にこのような実験をしているわけではない。)

4.3 電子ニューロン素子の光結線

これまで述べてきた例は、神経回路網の必要とする機能の大部分を電子技術で実現し、コミュニケーションという一部の機能のみを光技術で補うという形態のシステムであった。次に、ニューロン素子間の結線とシナプシス荷重の並列アナログ積和演算をとともに光で行い、ニューロン素子の閾値関数型の非線形増幅の部分だけを電子的に行った例について述べる。図-7は、Caltech<sup>11)</sup>で試作されたホップフィールド連想メモリ概念図である。全系は、前述の原理に基づく並列光アナログ積和演算器に閾値処理の非線形フィードバック機構を加えたものからなり、横に配列した発光ダイオード(LED)アレイがニューロンの興奮状態に対応

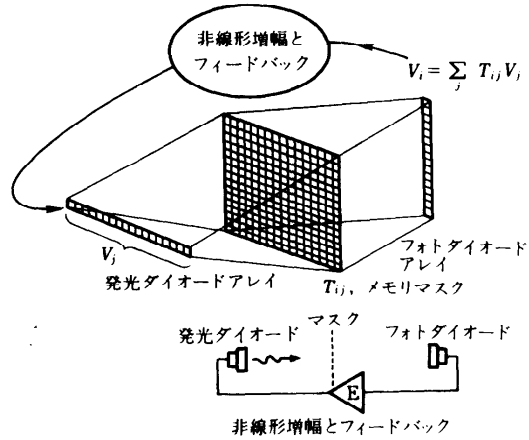


図-7 Caltechの光連想メモリ概念図<sup>11)</sup>



図-8 三菱電機の光連想メモリ装置外観<sup>11)</sup>

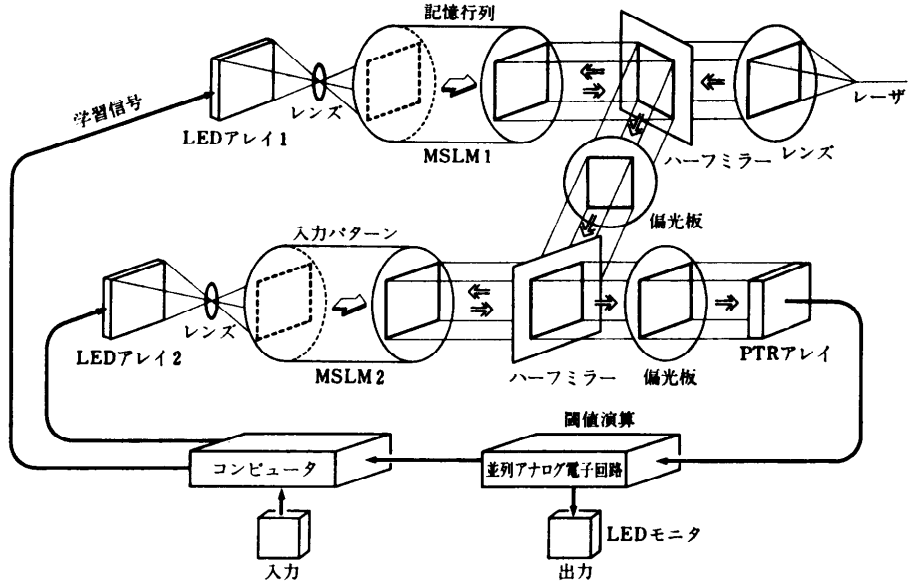


図-9 製品科学研究所と浜松ホトニクス光連想メモリ<sup>14)</sup>

して明滅し、語長 32 ビットの情報を表現する。中央のマスクには連想記憶のための相関行列が光強度透過率として記録されていて、結線のシナプシス荷重をかける役割をする。縦に配列したフォトダイオード (PD) アレイは、シナプシス荷重付きで集光されてきた他のニューロンからの出力和を受け、それを電気信号として非線形フィードバック変換してニューロンの次の状態を新たに決定する。各ニューロンに適当な初期値を与えフィードバックを繰り返すことにより、初期値から連想される記憶の状態に収束していく。マスクの透過率は正值のみなので、負のシナプシス結合を表す部分からの透過光はフォトダイオードの光電流の向きが逆になるようにして差動検出をする。図-7 の例は、すべてのニューロンを相互に接続したフィードバック型の光連想メモリであるが、ニューロン素子をいくつかのグループに分けて、各グループがそれぞれ一つのニューロンの層を形成するように結線することにより多層のフィードフォワード型の神経回路網を構成する方法も提案されている<sup>12)</sup>。図-8 は、三菱電機で試作されたシステム<sup>13)</sup>の外観で、このシステムではニューロンの閾値を統計的にコントロールすることによりメモリの読みだしの正答率を高める機構が用いられている。

上の例では、シナプシス荷重をマスクの固定透過率で表現しているが、空間光変調器を用いてそれを可変

にすることにより学習させることも可能である。図-9 は製品科学研究所と浜松ホトニクスが共同開発した光アソシアトロン<sup>14)</sup>の原理図である。二つのマイクロチャンネルプレート型の空間光変調器 (MSLM) は、左端面に入射してくる発光ダイオード (LED) アレイからの制御光の空間的光量分布に応じて右端面の光反射率の空間的分布を制御する機能をもっている。学習の過程では、学習信号を LED アレイ 1 の光量分布で表

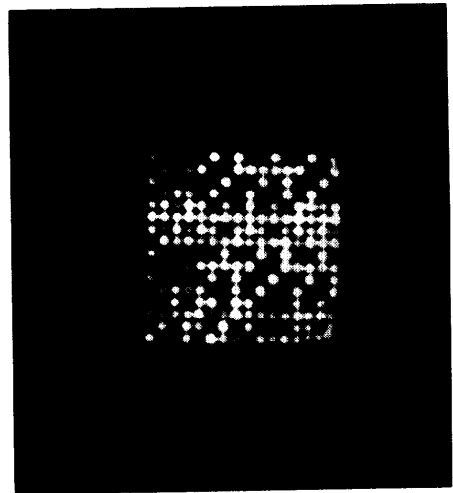


図-10 連想メモリの相関行列を表現する空間光変調器からの反射光分布<sup>14)</sup>

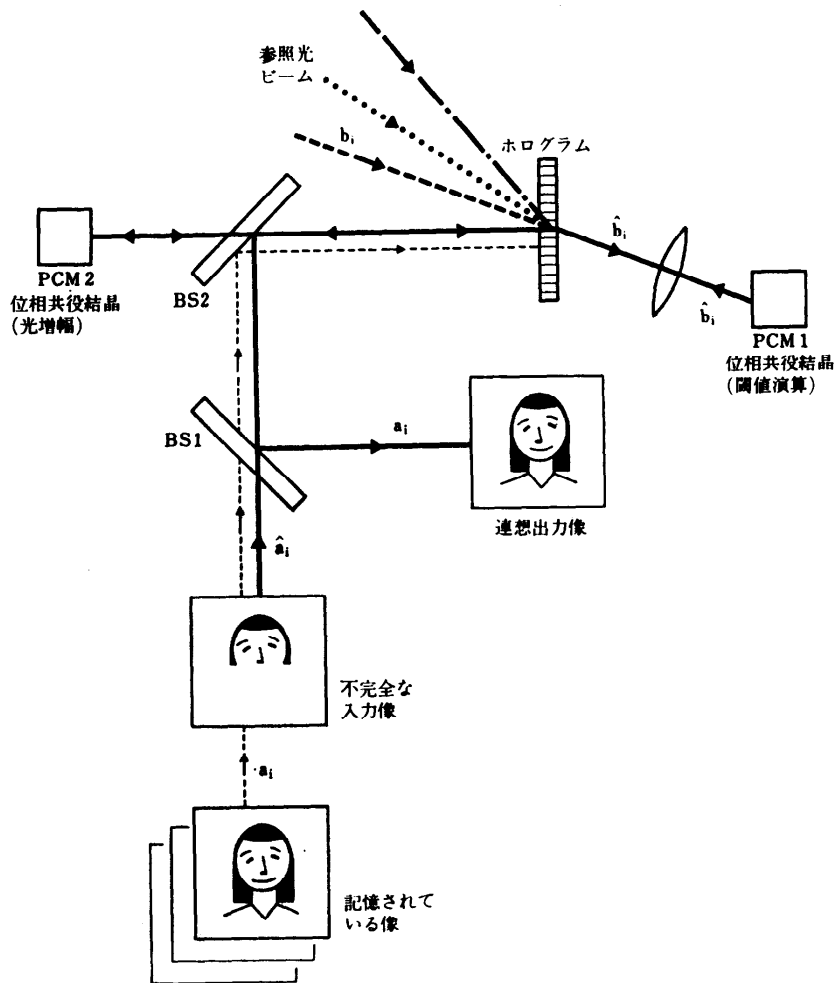
現して MSLM 1 の左端面に照射させることにより、連想記憶のための相関行列を右端面の光反射率分布として形成する。読みだしの過程では、入力パターンを LED アレイ 2 の光量分布で表現して、それを MSLM 2 の右端面の光反射率分布に変換する。右上にあるレーザ光源からの平行ビームが二つの MSLM の右端面で反射される際にそれぞれの反射率が順次にかけて算されていくことにより相関行列と入力パターンとの積を空間並列的に実行される。積演算の結果はフォトランジスタ (PTR) アレイにより光電検出されて電子的手段によりアナログ和と閾値演算が行われる。図-9 は語長 16 ビット (4×4) の三つの異なるパターンを記憶させた場合の相関行列を表す MSLM 1 からの反射光の空間分布である。この装置では、直交学習を用

い、シナプシス荷重が光強度の積演算に適する正の値のみをとるように工夫されている。さらに、現在の光デバイス製作技術では LED, PTR, MSLM などの感度や照度の不均一性がかなり大きいにも拘らず、学習によりこれらの影響を完全に補正し吸収できるということを実証している点が興味深い。

これらの二つの例では、シナプシス荷重の積和演算とインタコネクションを互いに区別せず一体となった形で光学的に実現している点が一つの特徴となっている。

4.4 ホログラフィック光連想メモリ

Caltech<sup>15)</sup> や Hughes 研究所<sup>16)</sup> の、ホログラムと位相共役鏡 (PCM) を用いた光連想メモリは、結線とシナプシス荷重の積和演算とニューロンの非線形増幅



(a) 光学系

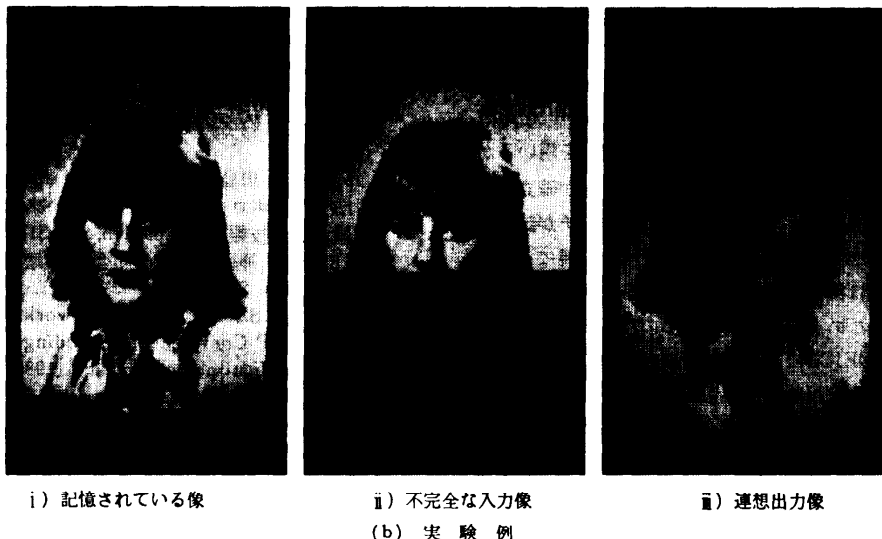


図-11 Hughes のホログラフィック光連想メモリ<sup>10)</sup>

機構の3者をすべて光技術で構成した神経回路網である。図-11(a)に Hughes のホログラフィック光連想メモリの光学系を示す。まず、連想すべき何種類かのパターンをそれぞれ参照光となる平行ビームの入射角度を変えてホログラムに多重記録しておく。そして、一部の情報が欠落した部分パターンを読み出し光としてホログラムに入射させる。すると、多重記録された各パターンとの相関がとられ、各パターンの記録時に入射させた参照光の平行ビームをその相関の大小に応じた光強度で再生する。それらのビームをレンズにより BaTiO<sub>3</sub> の結晶の位相共役鏡 PCM 1 内に光のスポットとして集光する。このスポットの光強度はキーワードとしての読みだしパターンと記録された各パターンとの相関関数のピークの高さに対応する。PCM 1 には、一定の閾値以上の光強度をもつ光だけを選択的に増幅し、PCM 1 への入射方向とまったく同一方向に光を逆行させる機能があるので、入力パターンに近いパターンの参照光だけが選ばれて逆方向からホログラムを再度読み出すことになる。このようにして再生されたパターンにはホログラムに記録されている情報がそのまま現れることになり不完全な部分パターンから全体のパターンを読み出すことができる。この読み出されたパターンの光ビームの一部はビームスプリッタ BS 1 と BS 2 により反射されて出力されるが、残りの光は BS 2 を透過してもう一つの位相共役鏡 PCM 2 に入射する。PCM 2 は、出力さ

れたパターンを再び読み出し光としてホログラムにフィードバックするとともに、光学系を通過する際の光の損失を補うための増幅機能をもつもので、ここでは、非線形な閾値処理はしない。図-11(b)に実験結果の例を示す。i) がホログラムに記録されているオリジナルのパターンで、ii) がキーワードとして読み出しに用いた部分パターン、iii) が連想出力されたパターンで、全体の画像が得られている。この実験例では、図-11(a)の PCM 2 を取り除いてホログラムへのフィードバックは行っていない。現状ではホログラムの書き換えが自由にできないので学習させることがないが、画像のような、もともと連続した空間情報に対しては、光のもつ特徴を非常によく生かした方式といえよう。BaTiO<sub>3</sub> の結晶の応答速度は、系を光が伝搬する時間に較べて遙かに遅いので、この場合の読みだし速度は、いわば完全にニューロンのスイッチング速度リミテッドの状態にある。低エネルギーで高速に応答する結晶を必要とする状況は、デジタルロジックデバイスに対する要求にあい通じるところがある。

## 5. む す び

人工的な神経回路網の複雑な結線をハードウェア化する上での電子技術のもつ問題点を論じ、それを解決するために光技術を用いる提案や装置化の実例を紹介した。前述のように、光技術は神経回路網のハードウェア化に必要な、①インタコネクション、②並列積和



演算, ③非線形増幅. の三つの基本的な機能を実現する可能性をもっている. しかし, ここにあげた例からも分かるように, 光技術による神経回路網のハードウェア化の研究はまだ萌芽的な段階に過ぎない. どの階層で, どのように, そしてどこまで光技術を用いるかについてもまだ設計の基本的な原理・原則が確立されているわけではなく, 多種多様なアプローチが試みられている状態である. この分野の今後の発展にとっての一つの鍵は集積化技術との整合性をいかに高めるかであろう. この点で, 最近の進歩の目ざましい光電子集積回路(OEIC)に対する期待は大きい<sup>17)</sup>. 光技術のもつさまざまな可能性は, 光が3次元空間を自由に飛びかうことにより生まれてくる. そのためのデバイスとして受発光素子や空間光変調素子を2次元平面上のアレイとして集積化する技術の開発が現在進められている<sup>18)</sup>. また, インタコネクション用のホログラムについてもLSI製造プロセスとの整合をはかるためにフォトリソグラフィと蒸着技術によりシリコン上にホログラムを作る方法が研究されている<sup>19)</sup>. このように, この分野の研究は今まさに緒についたばかりである. 上述の光のもつ特長と潜在能力を十分に生かしたデバイスやシステム構成法に関する研究への地道な努力と今後の発展に期待したい.

本原稿のために図や写真を提供して下さった製品科学研究所の石川正俊, 三菱電機中央研究所の久間和生をはじめとする原論文の著者の方々に厚くお礼申しあげる.

### 参 考 文 献

- 1) Goodman, J. W., Leonberger, F. J., Kung, S.-Y. and Athale, R. A.: Optical Interconnections for VLSI Systems, Proc. IEEE Vol. 72, No. 7, pp. 850-866 (1984).
- 2) 武田光夫: 光インタコネクション, 応用物理, Vol. 56, No. 3, pp. 361-367 (1987).
- 3) Goodman, J. W., Dias, A. R. and Woody, L. M.: Fully Parallel, High-Speed Incoherent Optical Method for Performing Discrete Fourier Transforms, Opt. Lett., Vol. 2, No. 1, pp. 1-3 (1978).
- 4) Lee, S. H., Esener, S. C., Title, M. A. and Drabik, T. J.: Two-Dimensional Silicon/PLZT Spatial Light Modulators, Opt. Eng., Vol. 25, No. 2, pp. 250-260 (1987).
- 5) Hecht-Nielsen, R.: Performance Limits of Optical, Electro-Optical and Electronic Neurocomputers, Proc. SPIE, Vol. 634, pp. 277-311 (1987).
- 6) 鈴木基史, 田島裕昭, 浜崎陽一, 岡田義邦, 田村浩一郎: ホログラフィによる光バスとその基礎実験, 信学技報, OQE85-175, pp. 31-35 (1985).
- 7) 武田光夫: 神経回路網と組合せ最適化問題, 数理科学, No. 289, pp. 14-22 (1987).
- 8) Decker, J. S. ed.: Neural Networks for Computing, AIP Conference Proceedings No. 151, American Institute of Physics (1986).
- 9) Boyd, G. D.: Optically Excited Synapse for Neural Networks, Appl. Opt., Vol. 26, No. 14, pp. 2712-2719 (1987).
- 10) 武田光夫: 神経回路網の光インタコネクション, 光学, Vol. 16, No. 8, p. 366 (1987).
- 11) Farhat, N. H., Psaltis, D., Prata, A. and Paek, E.: Optical Implementation of the Hopfield Model, Appl. Opt. Vol. 24, No. 10, pp. 1469-1475 (1985).
- 12) Farhat, N. H.: Optoelectronic Analogs of Self-Programming Neural Nets, Appl. Opt., Vol. 26, No. 23, pp. 5093-5103 (1987).
- 13) 太田 淳, 田井修市, 黒田研一, 追田真也, 久間和生, 浜中宏一: 連想光ニューロコンピュータ, 信学技報, OQE87-174, pp. 39-45 (1988).
- 14) 石川正俊, 向坂直久, 豊田晴義, 鈴木義二: 光アソシアトロン, 第35回応用物理学関係連合講演会予稿集, p. 732 (1988).
- 15) Yariv, A., Kwong, S.-K. and Kyuma, K.: Demonstration of All-Optical Associative Holographic Memory, Appl. Phys. Lett., Vol. 48, No. 17, pp. 1114-1116 (1986).
- 16) Owechko, Y., Marom, E., Soffer, B. H. and Dunning, G.: Associative Memory in a Phase Conjugate Resonator Cavity Utilizing a Hologram, Proc. SPIE, Vol. 700, pp. 296-300(1986).
- 17) 林 敏雄: 光電子集積回路(OEIC), 情報処理, Vol. 26, No. 8, pp. 877-884 (1985).
- 18) 空間光デバイス特集号, Oplus E, No. 86, pp. 58-100 (1987).
- 19) Feldman, M. R. and Guest, C. C.: Computer Generated Holographic Optical Elements for Optical Interconnection of Very Large Scale Integrated Circuits, Appl. Opt., Vol. 26, No. 20, pp. 4377-4384 (1987).

(昭和63年5月2日受付)