

解説

コンピュータグラフィックス用
プロセッサの動向†

吉田 雅治†† 成瀬 正††

1. はじめに

マンマシンインタフェースをより人間に親しみやすいものとする一手法として、コンピュータグラフィックス(CG)の利用が進んでいる。静止画、動画、ビジネスグラフィックス、CAD/CAMなど、その利用形態や応用分野も拡大する傾向にある。

CGでは画像は画素の集合として扱う。たとえばNTSCのテレビ画面は 720×480 の画素から構成される。画素は赤(R)、緑(G)、青(B)の3成分に分けて扱うことができる。おのおの1バイトとすれば、1枚の画像は、

$$720 \times 480 \times 3 = 1,036,800.$$

約1MBのデータ量となる。1秒間の映像はおおよそ30画面から成るので約30MBのデータ量となり、通常の計算機では短時間で処理することは困難である。一方、個々の演算は比較的単純でありハードウェア化に適するため、種々の専用ハードウェアが開発されてきた。

本章ではCG用プロセッサに関し、専用プロセッサ、VLSI、ボード類の3項目に分けて概説する。

2. CG専用プロセッサ

CGの手法には計算コストを犠牲に写実性を求めた光線追跡法(Ray Trace)、現実的な計算量と画像を狙ったスキャンライン法・Zバッファ法など、種々の手法があり、それらの手法をアーキテクチャに反映させたCG専用プロセッサが提案されている。個々の手法に関しては本特集の3次元CG技法を参照されたい。

光線追跡法を指向したものはマルチプロセッサ構成を採ったものが多く、スキャンライン法・Zバッファ

法などを指向したものは専用ロジックによるパイプライン構成を採ったものが多い。ここではこれらについて紹介する。

2.1 光線追跡法を指向したプロセッサ

光線追跡法は幾何光学の法則に従って光線を追跡し、各画素の値を求めて画像を生成する手法である。幾何光学では光線間の相互作用は考慮しないので、各画素値を求める演算は独立に処理できる。したがって光線追跡法では、1画素の輝度を求める処理を単位とした負荷分散型並列処理が適用できる。この点に着目して光線追跡法の高速実行を指向した種々のマルチプロセッサ・システムが提案されてきた。

これらは要素プロセッサ(PE)の構成に独自の特徴をもっている。PEの内部構成は機能分散処理の有無、ベクトル演算の並列処理の有無、データ語長で分類できる(図-1)。プロセッサの語長は開発時期と相関がある。初期の16ビット・マイクロプロセッサ(μP)は性能を上げるため、32ビットに置き換えられている。MC-1¹⁾はシミュレーションにより浮動小数点の必要精度を求め、24ビットの語長を採用している。

PEで使用されるプロセッサには、汎用 μP とカスタムプロセッサの2種がある。前者にはLINKS^{2),3)}、CAP^{4),5)}など、後者にはMC-1、SIGHT^{6),7)}、LINKS-II⁸⁾、MAGIC⁹⁾などがある。カスタムプロセッサはアーキテクチャの最適化を図ったものであるからハードウェアの処理能力は高い。近年のASIC技術を利用すればコンパクトな実装も可能である。ただし、そのソフトウェア開発は汎用 μP と比較すると容易ではない。汎用 μP はソフトウェア開発環境が整備されている点が有利である。ハードウェア能力とソフトウェアの開発コストをどう評価するかにより設計方針は異なる。

最近、32ビット浮動小数点演算をサポートするDSP(Digital Signal Processor)の発表が続いている。ソフトウェア開発が容易であるとはいいいがたい

† Trend of the Computer Graphics Hardware by Masaharu YOSHIDA and Tadashi NARUSE (Visual Media Laboratory, NTT Human Interface Laboratories).

†† NTT ヒューマンインタフェース研究所画像メディア研究部

が、繰り返し演算などについては処理能力が高いので第三の選択枝となるであろう。

以下、光線追跡法の専用プロセッサの先駆的研究である LINKS と、ベクトル演算並列処理と機能分散並列処理を行う SIGHT について述べる。

LINKS はマルチプロセッサで画面単位の負荷分散並列処理を行った最初のシステムで、PE 64 台、ノードプロセッサ、ホスト計算機から構成される (図-2)。PE は 16 ビット μ P Z 8001, IAPX 86/20, 1 MB メモリ、通信メモリから構成される。IAPX86/20 が浮動小数点演算、Z8001 がデータ管理・通信などを処理する機能分散型並列処理を行っている。

ノードプロセッサは PE とホストコンピュータとの通信、各 PE の負荷管理を行う。画像の記述言語としてイメージスコアを使用している。

SIGHT は PE を単位に画面ごとの並列処理を行うとともに、1 PE 内部で処理する 1 画面に関する演算も並列処理することにより、PE 単体の一層の性能向上を狙っている。すなわち、光線追跡法の処理時間のほとんどを占める交点計算が基本的には 3 次元ベクトル演算であることから 3 個の浮動小数点演算器、3 組のレジスタファイル、ネットワークなどからなる TARAI 演算器で 3 次元ベクトル演算の並列処理を行っている。さらに、浮動小数点演算、アドレス計算、データ転送の機能分散並列処理も行うなど、PE 内部の並列処理を追求したアーキテクチャである (図-3)。

2.2 スキャンライン法・Zバッファ法などを指向したプロセッサ

スキャンライン法または Zバッファ法をインプリメントしたもの、Pixar Image

Processor (PIC)¹⁰⁾ のように画像生成だけでなく画像処理も行うものなど種々のものがある。アルゴリズムがパイプライン型のアーキテクチャに適しているため、専用ロジック (専用 LSI) の開発が行われている。EXPERTS¹¹⁾、Geometry Engine¹²⁾、PXM 900¹³⁾ など、パイプライン構成を採るものが多い。また、Zバッファ法をロジックインメモリで実現した Pixel-Planes¹⁴⁾、HSSP¹⁵⁾ の例もある。

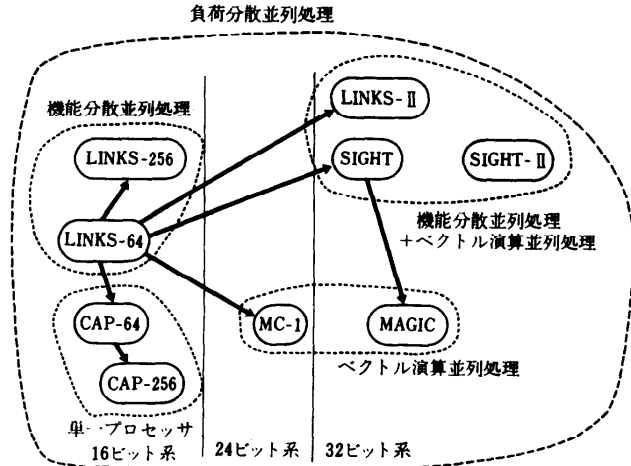


図-1 光線追跡法を指向したプロセッサ

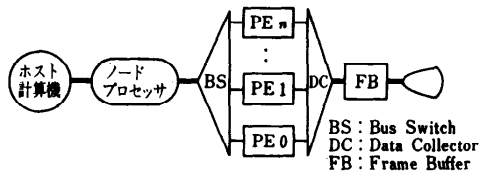


図-2 LINKS 基本構成

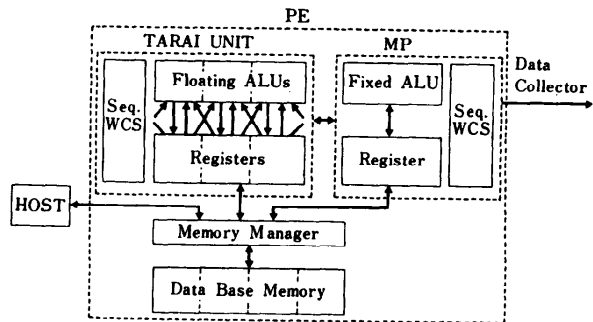


図-3 SIGHT PE 基本構成

限定付きではあるが実時間で画像を生成するシステムもある。実時間で表示できるポリゴン数を増加させることが開発の一つの柱となっている¹⁶⁾。

以下、専用ロジックの例として EXPERTS、ロジックインメモリの例に Pixel-Planes について述べる。

EXPERTS は、スキャンライン法の並列処理を行う専用プロセッサである。スキャンライン法の処理は、(a)スキャンライン上に表示される可能性のある

物体のソートリストを作成し、(b)リストに基づいて画素値を求め、という二つに分けることができる。EXPERTSはおのにおに専用プロセッサ (SLP, PXP) を与え、パイプライン処理を行う (図-4)。SLP, PXP とともにビットスライス μP をベースとした専用ハードウェアをもつ。SLP, PXP 各 8 台の性能予測では、約 200 面で構成される 3 次元図形の陰影付き表示を毎秒 15 回程度処理することができる。

Pixel-Planes はロジックインメモリを用いてフレームバッファを構成し、Zバッファの並列処理を実現するものである。1セルは 72 ビットのメモリ、1 ビット ALU、コントロールレジスタなどから成り、1 画素を割り当てる。スーパーツリーと呼ぶ 1 ビット加算器のツリーを累積しているのが特徴で、画素アドレス (x, y) に関し、 $(Ax + By + C)$ なる 1 次式の計算の高速化に寄与している (図-5)。これを基にスキャンコンバージョン、隠面消去、シェーディング、クリッピング、2 次曲面表示などの処理を行う。

3. CG 専用 LSI

CG 専用 LSI にも種々のものがあるが、ここでは基本的デバイスであり、開発のさかんな、CRTC, DRAM デバイスについて述べる。Geometry Engine のような描画用 LSI も開発されているが、システム化して初めて意味があるものであるためか、発表例は少ないのでここでは取り上げない。

3.1 CRTC

最近では高機能化、汎用化、高集積化の 3 極分化の傾向がある (図-6)。

初期の CRTC の機能はタイミング発生とリフレッシュメモリのアドレス生成のみであった。代表的なものに HD 46505¹⁷⁾ がある。IBM-PC の CRTC に採用されたために HD 46505+周辺グルーゲートの LSI が米国で盛んに開発されている¹⁸⁾。高集積化の例である。

HD 63484¹⁹⁾, μPD 72120²⁰⁾, Am 95C60²¹⁾ など、

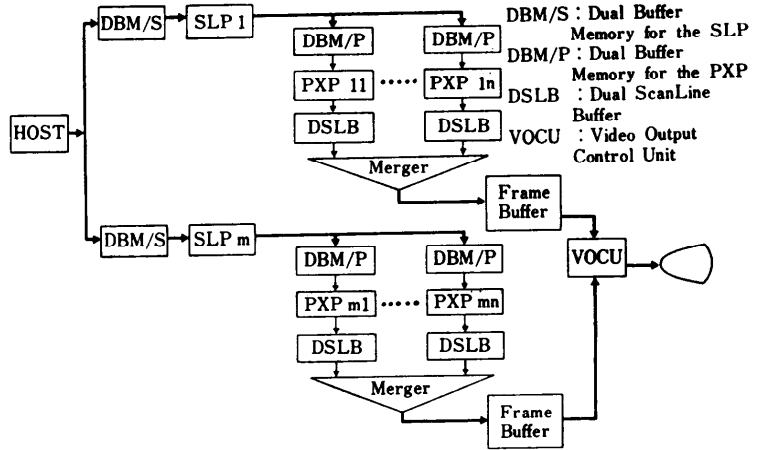


図-4 EXPERTS 基本構成

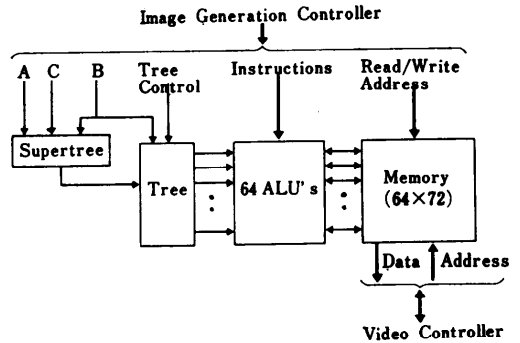


図-5 Pixel-Plane LSI 基本構成

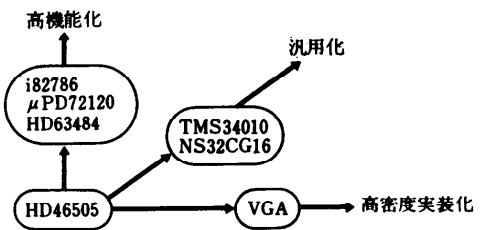


図-6 CRTC の開発動向

CRTC に描画機能を付加した高機能 CRTC の開発も盛んである。ハイエンドを狙ったオープンアーキテクチャのチップセットの開発例²²⁾もある。VDI のハードウェア化、描画速度の向上を狙って開発競争が進んでいる。

HD 63484 は X-Y 座標系に基づくアドレス管理を

最初に行った CRTC である。直線、楕円、塗り潰し、コピーなど 38 種のコマンド、画面水平 3 分割+1 ウィンドウ、水平・垂直スーム・スクロールなどの表示機能をもつ。500 ns/画素の描画速度である。

汎用化の例では CG 用 μP がある。TMS 34010²³⁾、NS 32CG16²⁴⁾ など、普通の μP にグラフィックス用ハードウェアを付加したものである。VDI、PostScript などの機能実現が容易であり、ホストプロセッサの負担が軽減され、仕様によってはホストプロセッサでの処理が不要になるなどの利点もある。CG 用のみでなく、ページプリンタのコントローラとしても使用され、需要は増大しつつある。ただし、CPU コアのハードウェア量が無視できず、付加できるグラフィックス用ハードウェアは基本的なものに限られ、描画速度は遅くなりやすい傾向にある。

TMS 34010 は内部 32 ビット外部 16 ビットの μP をベースとしたグラフィックスプロセッサである。汎用/転送/制御/グラフィックスの 128 命令を有する。256B 命令キャッシュ、32 ビット汎用レジスタ 30 本、32 ビットパレルシフタ、ラスタ操作制御回路、ウィンドウ制御回路などを内蔵する。最大 6MIPS の性能である。

3.2 DRAM デバイス

主な市場である、CAD/CAM、EWS といった産業分野の画像機器、デジタル VTR、IDTV、EDTV などの民生分野の需要拡大を背景に、デュアルポートメモリやフィールドメモリの開発が進んでいる。

この背景には主として二つの理由がある。第一は標準品の DRAM の集積度が高くなり過ぎた点である。たとえば NTSC のテレビ信号を 4 fsc (fsc: カラーサブキャリア周波数 3.579545 MHz) 8 ビットでサンプリングした場合、1 フィールドメモリの容量は約 240KB、1 フレームメモリで約 480KB に過ぎない。第二には標準品の DRAM のサイクルタイムがサンプリング周期 (69.8 ns) を越えている点がある。

一方、これらのメモリの開発にはかかるような問題点があり、先行きを不透明にしている。

i) 今後のプロセス技術の進展がシュリンクにしか生きない、

ii) LSI の世代交代よりも機器の世代交代の周期が長いために、LSI メーカーは LSI の世代交代を越えた長期供給を要求される。

iii) 現在のところ、各 LSI メーカーのデュアルポートメモリやフィールドメモリの仕様には互換性はなく、標準化の動きはみられない。

① デュアルポートメモリ

デュアルポートメモリは通常の DRAM にシフトレジスタを付加したようなデバイスで、EWS、パソコンなどのフレームバッファを構成するのに適している。プロセッサは通常の DRAM としてアクセスし、それと並行してシフトレジスタからスクリーンリフレッシュ・データを読み出すことで、処理能力の向上、ハードウェアの削減が図れる。

デュアルポートメモリは DRAM の世代交代とともに容量が増加してきた(図-7)。高機能化の方向としては論理演算機能、トリプルポートメモリがある。EWS のフレームバッファを構成するためにはまだ容量が不足しているため、今後も大容量化の開発が進められるものと思われる。

② フィールドメモリ

フィールドメモリは大容量高速 FIFO である。その用途から、ラインメモリ、フィールドメモリ、フレームメモリがあるが、フレームメモリはまだ実現されていない(図-8)。4fsc、NTSC 対応での語長は、

ラインメモリ 910 語
フィールドメモリ 238,875 語

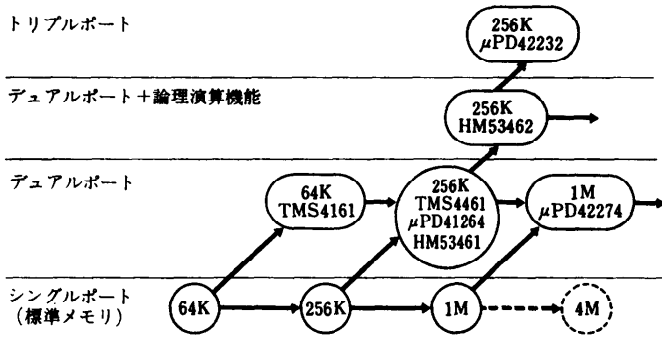


図-7 デュアルポートメモリの開発動向

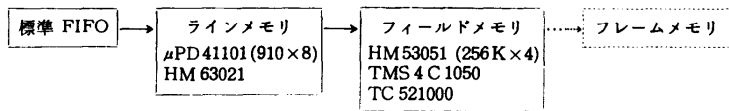


図-8 フィールドメモリの開発動向

フレームメモリ 477,750 語

である。語幅はラインメモリで8ビット(約7Kビット)、フィールドメモリでは4ビット(約1Mビット)のものが製品化されている。今後期待されるものとしては、8ビットのフィールドメモリ(約2Mビット)と、8ビットのフレームメモリ(約4Mビット)である。また、倍速変換に使用するためには8fsc(約30ns)のアクセスタイムが必要になる。

4. CG 専用ボード

ボードは本体系の処理能力を補強するもので、①主として浮動小数点演算の高速実行、②CGのアルゴリズムの高速実行、③高精細フレームバッファ、の3種類に分けることができる。これらのボードは、米国ではIBM-PCのPC、PC/ATバスを対象としたものが圧倒的に多い。日本ではNEC-PC98系のボードが販売されているが、種類は少ない。以下、①と②について述べる。

4.1 浮動小数点演算アクセラレータボード

ミニコン用のアレイプロセッサ、ベクトルプロセッサなど、CGに限らず古くから開発されている。IBM-PC用では本体のCPUを、i80386、NS32016、MC68020などの μ P、SPARC(SUN4のCPU)、ゲートアレイを起こした専用CPUなどの種々のCPUに寄せ換えてしまうものが多い。EWS用ではTAAC-1²⁶⁾のように付加プロセッサと本体プロセッサが機能分散させるものが多い。

TAAC-1はベクトルプロセッサと高精細フレームバッファを組にしたアクセラレータボードで、SUN3またはSUN4をホストとする。32ビット整数型ALU2組、32/64ビット浮動小数点演算器、整数型乗算/累算器、16k語命令メモリなどで構成される。最高40MIPS、20MFLOPSの性能である。

4.2 CGのアルゴリズムの高速実行ボード

浮動小数点演算アクセラレータボードが汎用指向であるのに対し、特定のアルゴリズムをファームウェア化したものである。SM-640²⁶⁾のように μ P+ファームウェアから、専用カスタムLSIまで、種々のものがある。

SM-640はIBM-PC用3次元ソリッドモデリングボードである。Gouraud shadingで毎秒1,500ポリゴンの表示能力がある。

5. まとめ

最近開発の活発なCG用プロセッサに関し、専用プロセッサ、VLSI、ボードの3項目に分けて概説した。

専用プロセッサでは、スキャンライン法・Zバッファ法を指向した例では制限付きではあるが実時間表示が可能になってきた。光線追跡法を指向したプロセッサの開発も進められているが、処理能力はいまだ不十分であり、アルゴリズムの改良が待たれる。浮動小数点演算器を内蔵した32ビットDSPのデリバリが始まったので今後はDSPの使用例も増えるものと思われる。

LSIには、①透視変換などの演算用、②CRTC、③フレームバッファ、の3種がある。①ではLSI自体の発表は少ないが、最近のASIC技術を用いれば開発は容易になってくる。②では高機能化の進展と裏腹に高速化のために周辺系の設計が難しくなりつつある。周辺LSIの開発が重要である。③では開発が活発化しつつあるが、この時期こそ、互換性などの配慮を要望したい。

ボードでは、浮動小数点演算アクセラレータボードと、CGのアルゴリズムの高速実行ボードについて触れた。

ここで紹介したのはほんのごく一部であるが、特徴的なものについては言及しているつもりである。ご高覧いただければ幸いである。

参 考 文 献

- 1) 日高, 平井, 中瀬, 浅原, 鷲島: マルチコンピュータ画像生成システム MC-1, 計算機アーキテクチャ研究会, 58-5 (1985).
- 2) 山下, 吉村, 西田, 出口, 西村, 河田, 白河, 大村: コンピュータグラフィックシステム LINKS-1の現状, グラフィックスとCAD研究会, 10-3 (1983).
- 3) PERSONAL LINKS USER'S MANUAL, TOYO LINKS.
- 4) Sato, H., Ishii, M., Sato, K., Ikesaka, M., Ishihata, H., Kakimoto, M., Hirota, K. and Inoue, K.: Fast Image Generation of Constructive Solid Geometry Using a Cellular Array Processor, ACM SIGGRAPH, Vol. 19, No. 3 (1985).
- 5) 池坂守夫: 高並列計算機 CAP について, CG OSAKA '88 C3-19 (1988).
- 6) 成瀬, 吉田, 高橋, 金子: グラフィックス計算機 SIGHT の基本構想, 電子通信学会論文誌, Vol. J69-D, No. 3 (1986).

- 7) Takahashi, T., Naruse, T. and Yoshida, M.: Architecture and Performance Evaluation of the Dedicated Graphics Computer: SIGHT, IEEE MONTECH '87 (Compt '87) (1987).
- 8) 河合, 若井, 正田, 西村, 近藤, 高山, 出口, 白河, 大村: 画像生成用マルチコンピュータシステムとプロセッサについて, グラフィックスとCAD 研究会, 19-4 (1985).
- 9) Mitsuya, E., Tamamura, Y. and Akimoto, T.: A Multiprocessor System for Three-Dimensional Graphics, Proc. IEEE Int. Conf. on COMPUTER DESIGN: VLSI in Computers & Processors, 5-8 (Oct. 1987).
- 10) Levinthal, A. and Porter T.: Chap—A SIMD Graphics Processor, ACM SIGGRAPH, Vol. 18, No. 3, pp. 77 (1984).
- 11) Niimi, H., Imai, Y., Murakami, M., Tomita, S. and Hagiwara, H.: A Parallel Processor System for Three-Dimensional Color Graphics, ACM SIGGRAPH, Vol. 18, No. 3, pp. 67 (1984).
- 12) Clark, J. H.: The Geometry Engine: A VLSI Geometry System for Graphics, ACM SIGGRAPH, Vol. 16, No. 3, pp. 127 (1982).
- 13) Runyon, S.: AT&T goes to 'WARP SPEED' with its Graphics Engine, Electronics, July 23, pp. 54 (1987).
- 14) Fuchs, H., Goldfeather, J., Hultquist, J. P. and Spach, S.: Fast Spheres, Shadows, Textures, Transparencies, and Image Enhancements in Pixel-Planes, ACM SIGGRAPH, Vol. 19, No. 3, pp. 111 (1985).
- 15) Nishizawa, T., Ohgi, T., Nagatomi, K., Kamiyama, H., Maenobu, K. and Fujiwara, M.: A Hidden Surface Processor for 3-Dimension Graphics, IEEE ISSCC '88 THPM 12.6 (1988).
- 16) 描画速度 12 万ポリゴン/秒のグラフィックス・アクセラレータを発売, 日経エレクトロニクス, No. 444, p. 70 (1988).
- 17) HD46505 ユーザーズマニュアル, 日立 (1979).
- 18) VGA 互換チップ出そろ, PS/2 の互換機開発へ, 日経エレクトロニクス, No. 435, p. 115 (1987).
- 19) 前島, 桂: グラフィック・コントローラ HD63484 に見る回路構成と設計の実際, コンピュータ・デザイン 8/1987, p. 33, 10/1987, p. 202.
- 20) 小口, 大内, 堀口, 千葉, 鶴野: μ PD7220 後継のグラフィックス・コントローラ LSI, コピーや塗りつぶし機能を強化, 日経エレクトロニクス, No. 415, p. 133 (1987).
- 21) 吉田洋介: Am 95C60 の機能と応用, コンピュータ・デザイン 2/1988, p. 48.
- 22) 中山幸美: DP 8500 アドバンスド・グラフィック・チップ・セット技術解説, コンピュータ・デザイン 2/1988, p. 73.
- 23) 山田義博: グラフィックシステム・プロセッサ TMS 34010 の機能と活用, コンピュータ・デザイン 12/1986, p. 73, 1/1987, p. 125, 2/1987, p. 115.
- 24) NS 32CG 16 High Performance Printer/Display Processor, National Semiconductor Corp. (1987).
- 25) Supercharged Graphics from SUN, SUN Microsystems.
- 26) SM-640: Solid Modeling for the IBM PC, Matrox Electronic Systems Ltd.

(昭和 63 年 6 月 29 日受付)

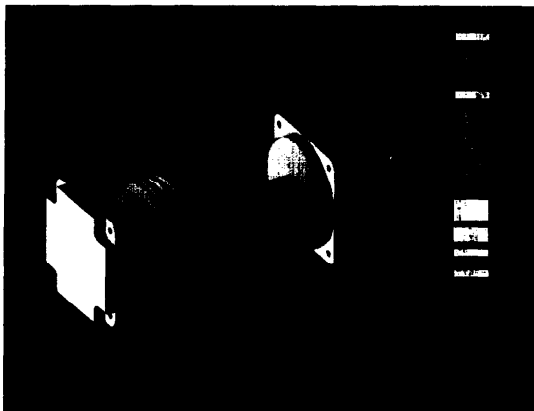


図-4 スムーズシェーディングと半透明表示
(本文 1118 頁)

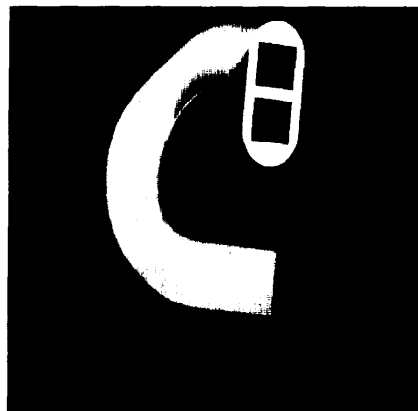


図-6 Bスプラインをトリミングして作った
マニホールド (本文 1119 頁)

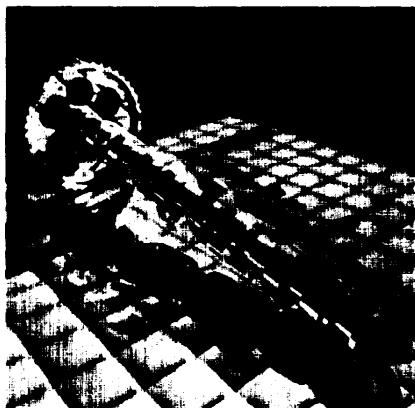


図-8 レイ・トレーシング (本文 1119 頁)



図-9(a) ラジオシティ a (本文 1120 頁)



図-9(b) ラジオシティ b (本文 1120 頁)

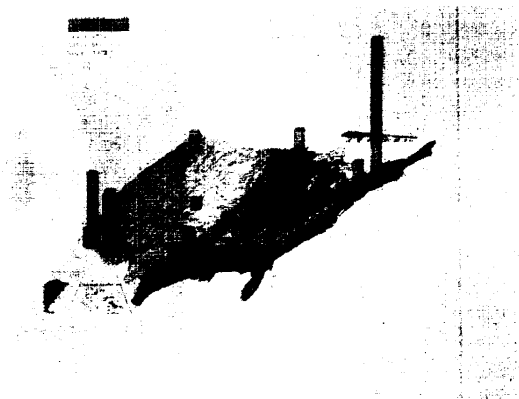


図-10 マッピング (本文 1120 頁)



図-11 アニメーション (本文 1120 頁)



図-12 分子設計 (本文 1120 頁)