

解説

6. 命令セットアーキテクチャの具体例



6.11 スーパーコンピュータ FACOM VP†

内田 啓一郎†† 坂本 一志†††

1. 設計方針

FACOM VP シリーズの命令セットアーキテクチャは、大きく分けて2種類の命令によって構成されている。一つはスカラ命令と呼ばれるもので、Mシリーズの計算機と同一の命令セットを用いている。もう一つはベクトル命令と呼ばれるもので、VP シリーズ特有の命令セットである。本稿では主にベクトル命令の命令セットアーキテクチャについて述べる。

ベクトル命令の命令セットアーキテクチャは、特に以下の点に着目して設計されている。

- (1) シンプルなハードウェアによる実現
- (2) 高性能の追及
- (3) ベクトル化率の向上

ベクトル命令は基本的に、ベクトルレジスタと呼ばれるベクトル命令専用のレジスタをオペランドとして使用する。また命令の機能から大きく2種類に分類される。一つは主記憶とベクトルレジスタとの間でオペランドの転送を行うもので、一般にアクセス命令と呼ばれる。もう一つはベクトルレジスタ内のオペランドに対し演算を施して結果をベクトルレジスタに格納するもので、一般に演算命令と呼ばれる。演算命令の代表的なものとして四則演算がある。重要な点は、アクセス命令と演算命令を組み合わせた命令、つまり主記憶内のオペランドに対し演算を施す命令は設けなかったことである。これにより、主記憶へのアクセスを行うハードウェアと演算を行うハードウェアとが独立するため、シンプルな制御が可能になる。

ベクトル命令による演算はベクトルレジスタ上のデータを対象としているため、主記憶上のデータはま

ずベクトルレジスタに格納しておく必要がある。このため大容量のベクトルレジスタを設け、さらに複数のベクトルレジスタを連結して要素数を大きくした一つのベクトルレジスタとして使用できる構造とした。ベクトルレジスタの容量はモデルにより32キロバイトから128キロバイト装備され、また要素数もそれに応じて512から2,048まで大きくできる。これにより、データをなるべくベクトルレジスタに保持させ主記憶との間のデータ転送を少なくすることが可能になり、高性能を実現している。

また、高性能化を図るために、命令の逐次処理の制限を緩和した。つまり、命令の追い越しや並列実行を可能とするために、基本的に命令の実行順序の保証を行わないアーキテクチャとした。順序保証が必要な場合はソフトウェアで逐次化命令または逐次化機能を用いる。

高性能を実現するためのもう一つの要因として、プログラムのベクトル化率（ベクトル命令で実行できる部分の比率）の向上が重要となる。このための命令及び機能をいくつか用意した。

2. 命令セット

ベクトル命令は VX 型と VR 型の二つの形式をもつ。図-1 に示すようにいずれも6バイトのコードで表される。VX 型はアクセス命令に対して、VR 型は演算命令と制御命令に対して使われる。

VX 型命令では、オペランドとして転送の対象となるベクトルレジスタまたはマスクレジスタと主記憶上

VX 型

OP	EOP	R2	R1	X2	B2	D2
----	-----	----	----	----	----	----

VR 型

OP	EOP	R2	R1	R3	R4
----	-----	----	----	----	----

図-1 命令形式

† An Example of Instruction Set Processor Architecture FACOM VP by Keiichiro UCHIDA (Supercomputer Development Dept., FUJITSU LIMITED) and Kazushi SAKAMOTO (Development Section 1, Supercomputer Development Dept., FUJITSU LIMITED).

†† 富士通(株)スーパーコンピュータ開発部

††† 富士通(株)スーパーコンピュータ開発部第一開発課

の配列をとる。配列の要素は、固定した間隔で指定される場合と、A(K(I))のように、K(I)の計算結果のリストによって間接的に指定される場合がある。後者は間接ロード/ストア命令によってアクセスされる。この場合に、K(I)の配列はあらかじめベクトルレジスタにロードしておき、このリストによって各 A(K(I))のアドレスを計算し、主記憶をアクセスする。

VX 型命令においては、R1 はオペランド転送の対象となるベクトルレジスタないしマスクレジスタの番号を指定する。R2 は、間接ロード/ストア命令ではリストの値が格納されたベクトルレジスタの番号を指定し、それ以外のロード/ストア命令では配列の要素間の距離つまりアドレスの差を与える汎用レジスタの番号を指定する。また、X2, B2, D2 は配列の最初の要素のアドレスを与える。この基本アドレスの生成はMシリーズの計算機と同様であり、X2 で指定される汎用レジスタ内のインデックスアドレスと B2 で指定される汎用レジスタ内のベースアドレスと D2 で与えられるディスプレースメントの三つのアドレス要素を加えることにより得られる。

VR 型命令において、R1 は演算結果を格納するベクトルレジスタやマスクレジスタないし浮動小数点レジスタや汎用レジスタの番号を指定する。R2/R3 は演算対象のオペランドが格納されたベクトルレジスタやマスクレジスタないし浮動小数点レジスタや汎用レジスタの番号を指定する。また R4 は、3. で述べるマスク機能を行うためのマスクレジスタの番号を指定する。

VR 型命令には、四則演算命令以外に、ベクトル化率を向上させるための命令をいくつか設けた。まず配列データの総和を求めたり、配列の中で最大値あるいは最小値をもつ要素を求めるための、マクロ命令がある。これらの命令で得られた結果は汎用レジスタや浮動小数点レジスタに格納するので、ただちにスカラ命令によって参照することができる。また、浮動小数点数と固定小数点数との間の交換命令、AND/OR などの論理演算命令、シフト命令などが設けられている。

3. アーキテクチャの機能

各命令はベクトルレジスタから読み出された複数の要素のうち、処理を行うものと行わないものとを、マスクレジスタと呼ばれるレジスタに格納されたマスクの ON/OFF のパターンによって選択することができる。これをマスク機能と呼ぶ。この機能により、IF 文

のベクトル化を行うことができる。さらに IF 文の実行を高速化するために、収集/拡散を行う命令がある。収集とはマスクが ON の要素のみを集めて圧縮した新たなベクトルレジスタを作成し、これに対して処理を行うための機能である。拡散とは圧縮したベクトルレジスタを元に戻すための機能である。特にマスクの ON の数が少ない場合には圧縮によって要素の数を小さくできるため、処理時間を少なくできる。

レジスタとしてはオペランド用のレジスタ以外に、ベクトル制御レジスタとアドレス変換レジスタを備えている。ベクトル制御レジスタは、ベクトル命令の動作を制御するためのもので、処理すべき要素数の指定、例外時の処理の指定、例外コードの表示などを行う。アドレス変換レジスタは複数の変換テーブルエントリより構成され、ベクトル命令の主記憶オペランドのアドレス変換を行うために使用される。変換テーブルエントリは、ベクトル制御命令によって設定される。

VP シリーズは高性能を優先し、オンディマンドページングは行わず、主記憶領域は JOB の開始時点で確保する方針とした。ただし多重 JOB を考慮し、フラグメンテーション回避のために、アドレス変換レジスタによるアドレス変換機構を設けた。

ベクトル命令の主記憶オペランドアクセス時には、スカラ命令と異なるアドレス変換が行われる。プログラムにより与えられた論理アドレスは、主記憶をアクセスする時点でアドレス変換レジスタ内の変換テーブルにより、実アドレスに変換される。変換はページと呼ばれる記憶領域を単位として行われる。このため論理アドレスは図-2 のように、ページ番号と変位に分けられる。ページ番号と変位のビット数は1ページの大きさによって異なり、256 キロバイトページモードのときはそれぞれ13ビットと18ビット、1メガバイトページモードのときはそれぞれ11ビットと22ビットである。

論理アドレスのページ番号が、アドレス変換レジスタの変換テーブルエントリを指定するのに使用され、該当するエントリを読み出す。変換テーブルエントリには、論理アドレスに対応する実アドレスのページ番号が格納されており、この実アドレスのページ番号と



図-2 論理アドレス

論理アドレスの変位を連結することにより実アドレスが生成される。また、上記アドレス変換過程でページごとの記憶保護機能も実行される。

次に命令の実行順序について述べる。レジスタ類に関しては、特別な場合を除いてアクセス順序は保証される。これに対し、主記憶に関しては、命令の先行実行及び並列実行を可能にするためにハードウェアによるアクセス順序が逆転することがある。順序保証が必要な場合はソフトウェアから指示を行う。

ソフトウェアで順序保証を指示するには、逐次化命令あるいはアクセス命令間の逐次処理指定機能を使用する。逐次化命令によりそれ以前と以後の命令のオペランド間のアクセスで順序が保証される。またアクセス命令では、命令コードの一部に定義された ID 部の値の等しい命令間のオペランド同士では主記憶のアクセス順序が保証される。

VP シリーズでは命令の追越しや並列実行を行うために、主記憶のアクセス順序だけでなく例外の発生順序が逆転する場合がある。同時に複数の例外が発生した場合は、あらかじめ定義された優先順位に従って最も優先順位の高い例外条件一つが報告される。またベクトル命令の演算例外においては、例外報告の禁止や演算結果の標準訂正を指定することができる。

ソフトウェアのデバッグなどのために命令を逐次的に処理するモードもある。

4. ハードウェア構成

VP シリーズの命令処理装置はスカラ命令を処理するためのスカラユニット (SU) とベクトル命令を処理するためのベクトルユニット (VU) とからなる。

図-3 に VU の構成を示す。VU はベクトルレジスタを中心に、主記憶とベクトルレジスタ間のオペランド転送のためのアクセス命令を実行するアクセスパイプと、ベクトルレジスタ間での演算を行う演算命令を実行する演算パイプとを備えている。演算パイプには、加算命令用の加算パイプ、乗算命令用の乗算パイプ及び除算命令用の除算パイプがある。

ベクトルレジスタ及びマスクレジスタは複数のバンクからなるインタリーブ構成とした。アクセスは最初のバンクから順番に行われる。各命令実行パイプごとに、最初のバンクをアクセスするタイミングが決めら

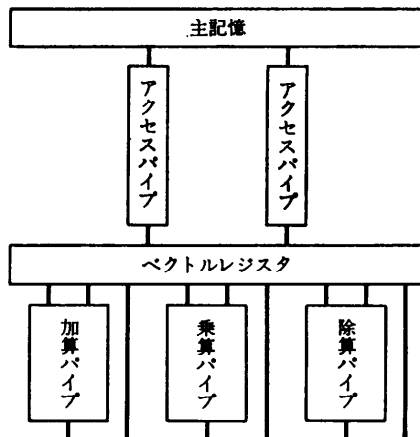


図-3 ベクトルユニットの構成

れており、このタイミングによってパイプ間のアクセスの競合の回避を行っている。一度アクセスが開始されると、それ以降は各バンクごとのアクセスはパイプ間で同期して行われるため、競合回避のための制御を行う必要がない。

アドレス変換レジスタに関しては、1 サイクルで複数の要素をアクセスする必要性から、その要素数に等しい数のアドレス変換レジスタのコピーを備えている。制御命令で変換テーブルを作成する場合は、同時に複数のアドレス変換テーブルに同一のデータが設定される。

5. まとめ

以上命令セットアーキテクチャ及びハードウェアについての概要を解説したが、VP シリーズは、命令の数を絞ったシンプルなアーキテクチャをシンプルなハードウェアで実現したことが大きな特徴といえる。

参考文献

- 1) 平栗俊男, 田畑 晃, 樋本隆光, 山口尚三: マシンサイクル 7.5 ns を達成した並列パイプライン処理方式のスーパーコンピュータ FACOM VP, 日経エレクトロニクス (1983. 4. 11).
- 2) 内田啓一郎, 田村 宏, 岡本哲郎: スーパーコンピュータ FACOM VP のハードウェア, FUJITSU, Vol. 35, No. 4 (1984).

(昭和 63 年 8 月 26 日受付)