

## 解説

### 3. ハードウェアから見た命令セットアーキテクチャ



#### 3.3 マイクロプロセッサの命令セットアーキテクチャ†

矢野 陽 一†

##### 1. はじめに

マイクロプロセッサ(MPU)の命令セットは、設計時に使用できるハードウェア技術に大きく影響されてきた。半導体技術の進歩は非常に急激である。世界最初のMPUが発表された1971年当時は1チップに2300トランジスタ程度しか搭載することができなかったが、1981年には約10万トランジスタ、そして1991年には100万トランジスタを1チップ化できそうである。これは、約35%/年の集積度の向上である。別の表現をするならば、2年ほど待てば2倍の素子を使用できる環境になることになる。したがって、命令セットの新陳代謝も激しく、ちょうど1950年代のように新規アーキテクチャが続々と発表されている。

一方、MPUの登場によりパーソナルコンピュータ(PC)が出現し年間100万台規模の生産が行われるようになった今、ソフトウェア互換性の要求も厳しい。応用プログラムの量が膨大であり多大な投資が行われている。それらのソフトウェアを守るために命令セットは簡単に変更できなくなっている。たとえば、8ビットPCの分野ではi8080とZ80、16ビットPC分野ではi8086とi80286とほぼ標準的の命令セットが決まってしまったため、この分野では新規アーキテクチャの出現はほとんどありえない。32ビットPCの分野もi80386が大きく伸びてきているのが現状である。命令セットの停滞はアーキテクチャの冒険をなくすため、この分野では革新はあまりみられない。

しかし、ワークステーションの分野はまだ流動的な状態にあり、続々と新しい命令セットが発表され活気を呈している。たとえばRISC(Reduced Instruction Set Computer)であり、1986年以降は毎年のように

新規アーキテクチャが発表され互いにしのぎを削っている。この分野では、高級言語によるアプリケーション記述、Unixオペレーティングシステムの採用、機械独立なソフトウェア開発手法、などが普及しているため、命令セットの変更が大きなインパクトを与えない。より良いコストパフォーマンスをもつものが市場をとることができるという競争原理が働いているため、研究開発に拍車をかけている。

忘れてはならないのが、シングルチップMPUと周辺制御MPUの分野である。命令セットで自由な設計ができる分野はこの二つである。シングルチップMPUは、いわゆるMPUの中で最大の出荷量を占める。1チップに各種の周辺機能を搭載し、プログラムおよびデータをオンチップのROM/RAMに格納する「クロードシステム」になっている。一方、周辺制御MPUは、グラフィックス、通信制御、ディスクの制御、信号処理、音声認識、イメージ処理、など多岐にわたっている。それぞれの分野での処理の特色にあったアーキテクチャをとることができる「専用品」となっている。

本稿では、これらのMPUの命令セットアーキテクチャの特徴を解説することにする。2.は歴史的MPUの命令セットの特徴、3.はシングルチップMPUの命令セット、4.は周辺制御MPUの命令セットの特徴を信号処理プロセッサとグラフィックスプロセッサに関連して説明する。5.はCISC・MPUの特徴、6.はRISC・MPUの特徴をそれぞれ説明する、7.はMOS技術以外的高速素子技術を使用したMPUの例を紹介する。最後に以上の命令セットを簡単にまとめることにする。

##### 2. 歴史的マイクロプロセッサ

MPUの草分は、1971年に米国インテル社が発表したi4004<sup>1)</sup>である。i4004は、2300素子、動作周波数

† Instruction Set Processor Architectures of Microprocessors by Yoichi YANO (Microcomputer Division, NEC Corporation).  
† 日本電気(株)マイクロコンピュータ事業部

0.74 MHz, という小さなものであった。その後, i8008 (1972), i8080 (1974), MC 6800 (1974), i8085 (1976), Z80 (1976) と MPU は発展していった<sup>2)</sup>わけである\*。

この間の発展を要約するならば, 電卓の制御チップから, まがりなりにも1チップでコンピュータとしての機能が実現できる MPU への進化といえることができる。

たとえば

- ポーリングから割込みへ
- オンチップスタックからメモリ内スタックへ
- 手続呼出し命令の提供
- アキュムレータから汎用レジスタへ
- ワードマシンからバイトマシンへ
- アドレス空間の 64 KB への拡張

という概念がシリコンの中に実現されていったわけである<sup>1)</sup>。

このうち, i8080 はその後の PC の出現の引金となった 8ビット MPU である。現在でも幅広い分野で使用されているが, その命令セットの特徴を簡単にまとめると

- 8ビット演算が主である。加算/減算, 論理演算, 比較, などの命令をもつが, 乗算/減算命令はない。
  - 7本の8ビットレジスタをもち, そのうち BC, DE, HL は3本の 16ビットレジスタとして使用でき, メモリアクセスは HL レジスタの指すアドレスからのみロードできる。
- と非常に簡単である。

### 3. シングルチップ MPU

上記の MPU は, MPU チップ以外に, メモリとして ROM/RAM が外部に必要であった。しかしキャッシュレジスタや電卓に応用するときには部品点数を減らし低消費電力化に図らなければならない。そこですべてを1チップに収めたシングルチップ MPU (SMC と略す) が必要とされた。

テキサス・インスツルメント社が 1974 年に開発した TMS 1000<sup>3)</sup> は, 最初の 4ビット SMC である。1KB ROM と 32B RAM を内蔵し, それに 4ビット演算器が付加されたものである。演算は 4ビット BCD をサポートしており, 電卓に専用化されていた。

TMS 1000 で特記されるべきことは, カスタム化ができるように 2種類の小 PLA を内蔵していたことで

ある。第1の PLA は出力を変換するためのもので 7セグメント LED の任意のパターンを表示できるようにするためであった。第2の PLA は命令セットを可変にするためのもので, 1K ステップという短い ROM 領域にプログラムを詰め込むためのものであった。したがって, 命令セットは固定されていない。

その後, 8ビット SMC として, ジェネラルインスツルメンツ社の PIC 1650 ファミリー<sup>4)</sup> とインテル社の i8048<sup>5)</sup> として 1976 年に導入された。応用分野も電卓から広がり, 制御分野, キャッシュレジスタ, エンジン制御, などに使用されていくことになる。

現在では, 4ビット SMC は MPU の全出荷量の約半分を占める (1985年, 全世界, 数量ベース) までに至っており, 民生機器 (例, VTR), 車載用途 (例, ダッシュボード表示制御), 通信用途 (例, ボタン電話), などに幅広く応用されている。

最近の例として日本電気の  $\mu$  PD 75000 シリーズを例にあげると,  $\mu$  PD 75108 A は 8KBROM と 256 BRAM をメモリ資源としてオンチップに搭載し, インターバル・タイマ, タイマ・カウンタ, シリアル入出力インタフェース, 割込み制御, 入出力ポート, クロック, を周辺機能としてもつ。

命令セットの特徴は, たいていの命令が1バイトで済むようにエンコードされていることや, レジスタ・バンクを複数個もつこと, そして内蔵 RAM にレジスタ・セットをマッピングしてあり, データ領域としても使用できるようにしていること, などである。

### 4. 専用プロセッサ

いままで述べたプロセッサは, すべて汎用として設計されたものである。これに対し, ある特定用途にのみ限定した MPU (コントローラと呼ぶことが多い) が 1970 年代後半から現れるようになってきた。

専用プロセッサをプログラミングの面からみると, 3種類の方式がある。

- I/O 型: CPU がコントローラの I/O ポートに書き込むことで処理を指定する
  - I/O チャネル型: あらかじめメモリに実行すべきコマンドを書いたブロックを用意し, そこへのポインタをコントローラに渡し処理を始めさせる
  - プロセッサ型: メモリにプログラムを用意し処理を指定する
- このうち, 「I/O 型」と「I/O チャネル型」では, コマンドセットを命令セットと呼ぶこともできるが, プ

\* 文献<sup>3)</sup>はこの間の事情をビビットに描写している。

プログラミングの自由度が高くないために本稿からは除外し、後者の「プロセッサ型」についてのみ説明することにする。

このタイプのプロセッサは、メモリにあるプログラムを実行することから汎用 MPU と同様の動きをするが、

- 特定用途向けの命令が用意されている
- 汎用プロセッサほどのシステム制御の機能はないという特徴がある。

#### 4.1 信号処理プロセッサ

信号処理プロセッサは、主な応用分野としてデジタル・フィルタ、高速フーリエ変換などのデジタル信号処理を念頭に置いている<sup>36)</sup>。デジタル信号処理では convolution (畳み込み演算)

$$y_n = \sum k_i x_{n-i}$$

を行うことが主である。これを高速化するために、信号処理プロセッサは、乗算器の内蔵、加算と乗算の並列動作、定数 ROM メモリの内蔵、というプロセッサ構成をもつのが一般である<sup>36)</sup>。

この分野の先駆者はインテル i2920 (1979)<sup>37)</sup> であったが、乗算器ではなくパレル・シフタのみを内蔵していたために高速化に対するメリットはそれほどなかった。その後、日本電気より発表された  $\mu$  PD 7720<sup>38)</sup> は上記の条件を満たす世界最初の信号処理プロセッサとなった。

$\mu$  PD 7720 の命令セットの特徴は

- 命令は 23 ビット固定長で 1 クロックで実行する
- 内部は 16 ビット幅構成である
- 命令は内蔵 ROM にのみ格納される
- レジスタは汎用ではない; ALU ポート、テンポラリ・レジスタに加え、乗算器ポート、シリアル I/O ポート、パラレル I/O ポート、そしてオンチップの ROM/RAM へのポインタ・レジスタ、からなる専用レジスタの集まりである。

● 命令機能は、転送、基本 ALU 演算、乗算器を使用する乗算、条件分岐 (絶対アドレス分岐)、手続呼び出し/復帰 (オンチップ・スタックのレベルは 4 レベルまで)、割込みからの復帰、からなるシンプルなセットである。

● ALU と乗算器が並列動作ができるために multiply/accumulate が 1 クロックででき、convolution を高速化できる。

となっている。したがって汎用 MPU 的な命令セットではなく、マイクロプログラマブル・マシンの命

令セットである。

この次の世代の信号処理プロセッサの代表的なものに、米国 TI 社の TMS 32010 ファミリー<sup>39)</sup> と日本電気の  $\mu$  PD 77230<sup>40)</sup> がある。

#### 4.2 グラフィックスプロセッサ

グラフィックスプロセッサは、CRT への表示機能と、ビットマップに特定の図形 (たとえば直線) を描画する機能の二つを合わせもつ MPU である。

日本電気  $\mu$  PD 7220<sup>41)</sup> は、この二つの機能を 1 チップに集積化したはじめての MPU であった。この MPU はコマンドを与えることにより処理を開始する I/O 型である。

最近汎用プロセッサ然とした機能をもつグラフィックス MPU があらわれてきた。代表的な例がテキサスインスツルメンツ社の TMS 34010 (1986)<sup>42)</sup> である。TMS 34010 は RISC 型命令セットにグラフィックス描画命令を追加した命令セットをもち、表示コントローラも内蔵している。提供されている描画プリミティブは、直線描画と矩形コピー (bitblt 機能) のみである。この点では、直線、円、楕円、文字、3 角形、台形などの豊富な描画機能をもつコントローラのほうが機能は高い。しかし TMS 34010 はそれらの描画機能のプログラマビリティが高いことを特徴としている。TMS 34010 の命令セットの特徴は、

- ビットアドレッシングを採用している。
  - グラフィックス関連命令、たとえば X-Y アドレスからメモリアドレスへの変換命令をもつ。
  - 描画機能として、bitblt 機能および関連するクリッピングの機能をもつ。
- である。

#### 5. マイクロプロセッサ

CISC (Complex Instruction Set Computer) と RISC (Reduced Instruction Set Computer) の分類ができるのは 32 ビット MPU 以降のことであろう。したがって、汎用 MPU はほとんどすべてが CISC である。

この分野の代表例は、

- i80×86 ファミリー (インテル社)
- MC 680×0 ファミリー (モトローラ社)
- NS 32×32 ファミリー (ナショナルセミコンダクター社)

などがあり、国内では

- V 60/V 70 ファミリー (日本電気)

● TRON チップ・ファミリ  
などがある。

インテル系<sup>11),12)</sup>は旧型品種からのソフトウェア互換性/移行性を重視したため、非常に複雑なアーキテクチャをもつ。i8086<sup>13)</sup>ではi8080からの移行を考え、レジスタセット、命令機能をi8080と似たものにして、アドレス空間の拡張は4個のセグメントレジスタを導入することで総計1MBまでサポートできるようになった。その後i80286<sup>26)</sup>ではセグメンテーションの本格的導入でアドレス空間を1GBまで拡張し、i80386<sup>27)</sup>では32ビット・モードの導入と32ビット長セグメントにより4GBを境界なしにアクセスできるようになった。このように発展はあるもののアーキテクチャにはあまりみるべきところはない。汎用でないレジスタ・セット、少ないレジスタ本数、セグメンテーションによるアドレス空間の分割、など、プログラミングが容易でないからである。

これに対し、他のCISC・MPUはDEC社のPDP-11/VAX-11のミニコンピュータ<sup>14)</sup>からの影響を色濃く受けている。

MC680×0<sup>14),28)</sup>は、PDP-11系のアーキテクチャを32ビットに拡張しレジスタを2倍の16本にしたものと考えられる。命令コードに余分のビットがないのでレジスタセットをアドレス系とデータ系の2組のバンクに分割することでレジスタ本数を増やした。その他にも命令機能を強化したが、アーキテクチャの基本が2組のレジスタバンクであるため、コンパイル済みコードでは片方のバンクは使い切ってしまったもの他方は余っている、という問題が起こる<sup>15)</sup>。

NS32×32<sup>16)</sup>は、反対に、VAX-11を縮小したものであると考えられる。3オペランド命令を採用せず2オペランドに限定し、汎用レジスタを8本に縮小、アドレッシング・モードにも工夫をし命令コードの縮小に努めた。その結果、きれいにまとまったアーキテクチャを実現することができたが、汎用レジスタ本数が少ないことは制限になっていることであろう。

V60/V70<sup>17)</sup>はNS32×32と同様にVAX-11からの影響を受けている。しかしレジスタ本数の拡張により、コンパイラによる大域的最適化とレジスタ割り付けを容易にしている点でより近代的な装いとなっている。

TRON チップ<sup>18)</sup>も同様にPDP-11/VAX-11からの影響を受けているが、各種のMPUの特徴を寄せ集めたような構成である。レジスタは16本、命令体

系は2オペランド型、メモリ-メモリ演算を用意し、OSサポートのためなどに複雑な命令機能をたくさん用意している。

このように、CISCアーキテクチャの「発展」は命令機能の追加と、それに関連するOSサポート、高級言語サポートの強化である。これらの姿の究極とでもいえるMPUがインテル社のiAPX432である<sup>19)</sup>。1981年という非常に早い時期に登場したこのMPUは、

- オブジェクト指向
- プロセス間通信などのOSの内蔵
- ケーパビリティ・ベース・アドレッシング方式
- ビット可変長命令体系
- レジスタレス・アーキテクチャ

などの特徴を備えていた。カーネギーメロン大学で開発されていたOSであるHydra<sup>20)</sup>やIBMシステム/38<sup>21)</sup>、マイヤーズの本<sup>22)</sup>、などからの影響を感じさせる。

## 6. RISC型マイクロプロセッサ

さて、RISCである。

1981年のPattersonの論文<sup>23)</sup>により有名になったRISCは、

- シンプルな命令セット
- 1命令1クロックの処理
- ロード/ストアアーキテクチャ
- パイプライン処理による高速化

などの特徴をもつ。どのような命令セット/命令数をもつものをRISCと呼ぶか、という議論がなされた時期もあった<sup>4),7)</sup>が、現在では1クロックで終了しない命令をもとうが、命令数が100を超えようが、RISC的発想にもとづいて設計されたコンピュータをRISCと呼ぶことになっているようである。

RISCの発想の源泉はCray-1<sup>29)</sup>にあるといわれる<sup>4)</sup>。その後にはIBM801ミニコンピュータ<sup>5)</sup>を経て、カリフォルニア大学バークレイ校(UCB)のRISC-Iプロジェクト<sup>3)</sup>、スタンフォード大学のMIPSプロジェクト<sup>6)</sup>とMPUの分野に広がってきた。

現在、RISCの商用MPUには、代表的なものとして次の3種類がある：

- サンマイクロシステムズ、SPARC<sup>8)</sup>
- ミップスコンピュータ、R2000/R3000<sup>9)</sup>
- モトローラ、MC88000<sup>10)</sup>

それぞれ、10~20VAX-MIPS(DEC社のVAX11/

表-1 代表的 RISC マイクロプロセッサの比較

会社名	サンマイクロシステムズ	ミップスコンピュータ	モトローラ
製品名	SPARC/MB86900 <sup>9)</sup>	R2000 <sup>9)</sup>	MC88100/200 <sup>10)</sup>
アーキテクチャの特徴	レジスタウィンドウ	ストリームライン処理	CPU/FPU の同時並行処理
チップ構成	CPU G/A 外付け MMU 外付け Weitek FPU	R2000 CPU R2010 FPU 外付けキャッシュメモリ	88100 CPU+FPU 88200 キャッシュ+MMU
レジスタ数	120 本 32 本×8 ウィンドウ	32 本	32 本
テクノロジー	1.5 μm CMOS G/A	2.0 μm CMOS	1.5 μm CMOS
周波数	16 MHz	16 MHz	20 MHz
トラジスタ数	5 万 tr	10 万 tr	16 万 5000 tr
チップサイズ	—	8.5 mm×10.0 mm	10.92 mm×10.92 mm
性能	10 MIPS	10 MIPS	14 MIPS

G/A ゲートアレイ  
CPU 中央処理ユニット  
FPU 浮動小数点演算ユニット  
MMU 仮想記憶管理ユニット

780 を 1 MIPS としたときの相対性能比) の性能をもつ (表-1)。

RISC では命令数が少ないので命令セットの特徴を説明することは難しい。しいて言うならば、命令セットの特徴はパイプライン制御に関連する条件分岐の方式により分類できる。

SPARC<sup>9)</sup> は UCB 派である。レジスタウィンドウ方式を採用し条件フラグをもつ。ディレイド分岐を採用するが、次命令の実行をするかどうかを条件分岐命令で制御できる。

MIPS R 2000/3000<sup>9)</sup> はスタンフォード派である。単一レジスタセット (32 本) をもち、ウィンドウ方式はとらない。条件フラグはもたず、またパイプラインインタロックはソフトウェアが解決する。ディレイド分岐を採用している。

MC 88100<sup>10)</sup> はクレイ派であろう。条件フラグをもたない。レジスタセットは単一であり、ディレイド分岐方式である。

このように、RISC アーキテクチャは命令セットについての特徴よりは、パイプライン方式と分岐制御方式の選択により平均命令実行クロック数 (CPI: Cycles Per Instruction) が決まり、それにより性能が決まる。RISC の次の性能改善目標は、CPI のより一層の短縮と浮動小数点演算機能の高速化による Cray-1 クラスのコンピュータであろう。

## 7. 高速素子の採用

以上説明した MPU は、すべて MOS 技術により製造されたものである。その間でも、pMOS 技術 (例 i 4004)、シリコン・ゲート nMOS 技術 (例 i 8080)、CMOS 技術 (例 i 80386) と技術は発展してきた<sup>11)</sup>のである。

しかしより高速の MPU を実現するために、ECL (Emitter-Coupled Logic) 技術や GaAs (ガリウム砒素) 技術など汎用大型機やスーパーコンピュータに使用される高速素子<sup>30)</sup>を使用しようとする試みがでてきた。特に RISC アーキテクチャではその簡単なため使用するゲート数が比較的少なくても実現できるので、真剣に討論されている。これらの素子は CMOS に比べてゲート遅延が 1 桁以上小さいためクロック周波数を上げられるので、高性能 MPU を実現できる。

高速素子使用の代表的な例を、国際固体回路学会 (ISSCC: International Solid-State Circuit Conference) に投稿された論文から選んだものを表-2 に示す。

ECL 版<sup>23)</sup>は IBM 801 RISC の命令セットを実現したものである。この MPU は相当複雑な論理回路が必要のためクロック周波数自身は低いようにみえる。しかし IBM 801 を 1 チップに搭載した点が評価される。

GaAs 版<sup>24)</sup>はスタンフォード MIPS に似たアーキ

表-2 高速素子技術を採用したマイクロプロセッサの例

素子技術	ECL	GaAs	ジョセフソン
発表年	ISSCC 1986	ISSCC 1988	ISSCC 1988
内容	32ビット RISC <sup>31)</sup>	32ビット RISC <sup>34)</sup>	4ビットスライス <sup>33)</sup>
発表会社	IBM	テキサス・インスツルメント	富士通
動作周波数	16 MHz	200 MHz	770 MHz
ゲート規模	不明	1万2000ゲート	1841ゲート
チップサイズ	14.5 mm×16.1 mm	11.3 mm×10.5 mm	5.0 mm×5.0 mm
設計ルール	2.0 μm カスケード ECL	2.0 μm GaAs	2.5 μm ジョセフソン
命令セット	IBM 801 ミニコンピュータ	スタンフォード MIPS 似	AMD 2900 シリーズ似

テクニカを GaAs 技術で実現した例である。200MHz という超高速クロックを達成している。

ジョセフソン版<sup>25)</sup>は、AMD 2901 に似た4ビットスライス MPU を実現した例である。770 MHz という桁違いに高速なインプリメンテーションである。

これらの MPU が実現できた背景には、もちろん、RISC 型命令セットであったために1チップ化できた

ことがあげられる。もっとも高速クロックを実現したとしてもそれをワークステーションなどの装置として組み立てるには解決しなければならないいくつかの難しい問題点がある。

8. おわりに

以上、MPU の命令セットの特徴を簡単に説明し

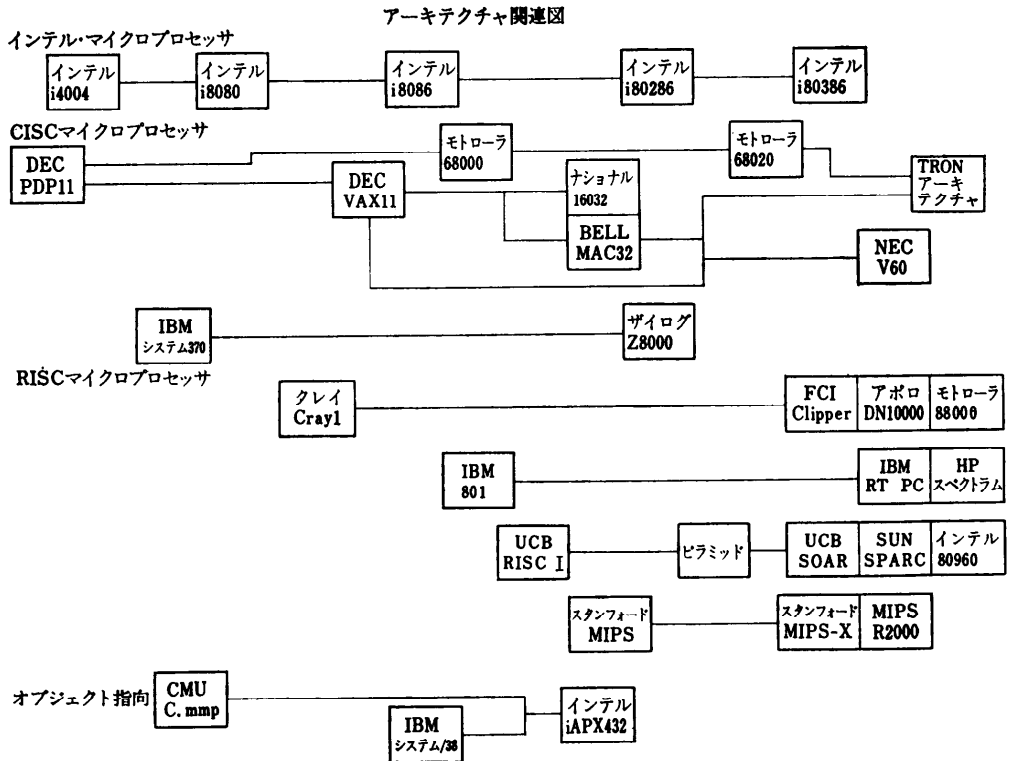


図-1

た。これらを大きく分類するならば MPU の命令セットは次の 4 種類のグループにわかれるのではないだろうか。

●マイコン型：小型のチップで実現する 8080 タイプの命令セットおよびその派生である。4 ビット、8 ビット、16 ビットの MPU に多く、シンプルなハードウェア構成とそれがプログラムから可視になっていることが特徴である。

●ミニコン型：DEC 社のミニコンの命令セットの影響を受けたものである。16 ビット、32 ビットの MPU の命令セットに多い。汎用レジスタおよびきれいな命令セットをもつことを特徴としている。

●RISC 型：大量の汎用レジスタをもつ stream lined 命令セットをもつ。

●研究室型：研究室からそのまま出てきたような命令セットをもつ MPU であり、データフロー型イメージ処理プロセッサ  $\mu$  PD7281<sup>32)</sup>、英 Inmos 社 Transputer<sup>33)</sup>、米 Intel 社の iAPX 432<sup>19)</sup> などの実例がある。

もちろん、上記の分類にもいくつかの例外はある。しかし興味深いことは、大型計算機の命令セットに影響を受けたアーキテクチャがあまりないことである。

最後に、汎用の 32 ビット MPU の命令セットの関連図を示す。この図は命令セットアーキテクチャの影響関係を年代順に示したものである (図-1)。

### 参 考 文 献

- 1) Noyce, R. N. and Hoff, M. E.: A History of Microprocessor Development at Intel, IEEE MICRO, pp. 8-21 (Feb. 1981).
- 2) 嶋 正利：わが青春の 4004, 岩波書店 (1987).
- 3) Patterson, D. A. and Sequin, C. H.: RISC I: A Reduced Instruction Set VLSI Computer, Proceedings of the 8th International Symposium on Computer Architecture, pp. 443-457 (May 1981).
- 4) C. ゴードン・ベル：コンピュータの発展過程から見た RISC マシン, 日経コンピュータ, 1986. 7. 21 号, 93-100 ページ (1986).
- 5) Radin, G.: The 801 Minicomputer, Symposium on Architectural Support for Programming Languages and Operating Systems, pp. 39-47 (Mar. 1982).
- 6) Hennessy, J., Jouppi N., Basket, F. and Gill, J.: MIPS: A VLSI Processor Architecture, Proceedings of the CMU Conference on VLSI Systems and Computations, pp. 337-346 (Oct. 1981).
- 7) Bernhard, R.: More Hardware Means Less

- Software, IEEE Spectrum, pp. 30-37 (Dec. 1981).
- 8) Garner, R. B. et al.: The Scalable Processor Architecture (SPARC), Digest of Papers, COMPCON '88 Spring, pp. 278-283 (Mar. 1988).
- 9) Chow, F., Himelstein, M., Killian, E. and Weber, L.: Engineering a RISC Compiler, Proceedings of the COMPCON '86 (Mar. 1986).
- 10) Motorola Semiconductor: Technical Summary: MC 88100 32-bit Third-generation RISC Microprocessor, Motorola (1988).
- 11) Bell, C. G., Mudge, J. C. and McNamara, J. E.: Computer Engineering: A DEC View of Hardware Systems Design, Digital Press (1978)
- 12) Myers, G. J. Yu, A. Y. C. and House, D. L.: Microprocessor Technology Trends, Proceedings of the IEEE, pp. 1605-1622 (Dec. 1986).
- 13) Morse, S. P., Pohlman, W. B. and Ravenel, B. W.: The Intel 8086 Microprocessor: 16-bit Evolution of the 8080, IEEE COMPUTER, Vol. 11, pp. 18-27 (June 1978).
- 14) Stritter, E. and Gunter, T.: A Microprocessor Architecture for a Changing World: The Motorola 68000, IEEE COMPUTER, Vol. 12, pp. 43-52 (Feb. 1979).
- 15) Auslander, M. and Hopkins, M.: An Overview of the PL. 8 Compiler, Proceedings of the Symposium on Compiler Construction, SIGPLAN Notices, Vol. 17, No. 6 (June 1982).
- 16) Kohn, L.: A 32-bit Microprocessor with Virtual Memory Support, Digest of Technical Papers, ISSCC (1981).
- 17) 佐藤他：仮想記憶管理機構と浮動小数点演算機構を内蔵した 32 ビット・マイクロプロセッサ V 60, 日経エレクトロニクス, 1986. 3. 24 号, pp. 199-240 (1986).
- 18) 坂村他：TRON 仕様に基づき拡張性を重視した 32 ビット MPU の基本アーキテクチャ, 日経エレクトロニクス, 1987. 10. 5 号, pp. 165-179 (1987).
- 19) Rattner, J. and Lattin, W.: Ada Determines Architecture of 32-bit Microprocessor, Electronics, pp. 119-126 (Feb. 24, 1981).
- 20) Wulf, W. et al.: HYDRA: The Kernel of a Multiprocessor Operating System. Communication of the ACM, Vol. 17, No. 6, pp. 337-345 (June 1974).
- 21) Soltis, F. G.: Design of a Small Business Data Processing System, IEEE COMPUTER, Vol. 14, No. 9, pp. 77-93 (Sep. 1981).
- 22) Myers, G. J.: Advances in Computer Architecture, John Wiley & Sons (1978).
- 23) Buckley, F. et al.: A Bipolar 32-bit Processor Chip, Digest of Technical Papers, ISSCC (1986).

- 24) Whitmire, D. A., Garcia, V. and Evans, S.: A 32-bit GaAs RISC Microprocessor, Digest of Technical Papers, ISSCC (1988).
- 25) Kotani, S. et al.: A Josephson 4-bit Microprocessor, Digest of Technical Papers, ISSCC (1988).
- 26) i80286
- 27) 杉原: メモリ管理ユニットを内蔵した 32 ビットマイクロプロセッサ 80386, 日経エレクトロニクス 1985. 11. 4, pp. 275-310 (1985).
- 28) マグレガ: 互換性を保ちつつ性能向上を図った 32 ビットマイクロプロセッサ MC 68020, 日経エレクトロニクス (9. 24 1984).
- 29) Russel, R. M.: The CRAY-1 Computer System in Computer Structures: Principles and Examples, pp. 743-752, McGraw-Hill (1982).
- 30) Electronics, Feb. 10, 1986, p. 9 (1986) など.
- 31) Texas Instruments: TMS 1000/1200: Chip Architecture and Operation, in Computer Structures: Principles and Examples, pp. 587-601, McGraw-Hill (1982).
- 32) Nukiyama, T. et al.: A VLSI Image Pipeline Processor, Digest of Technical Papers, ISSCC (1984).
- 33) INMOS Finally Unveils the 32-bit Transputer, Electronics (Oct. 7, 1985) など.
- 34) Gruppuso, F. M.: PIC 1650: Chip Architecture and Operation, in Computer Structures: Principles and Examples, pp. 602-609, McGraw-Hill (1982).
- 35) Stamm, D. et al.: A Single-chip, Highly Integrated, User Programmable Microcomputer, Digest of Technical Papers, ISSCC (1977).
- 36) 丸田, 西谷: シグナルプロセッサとその応用, 昭晃堂, 昭和 63 年 (1988).
- 37) Single-chip nMOS Microcomputer Processes Signals in Realtime, in Microprocessors and Microcomputers, Electronics Magazine Books, McGraw-Hill (1981).
- 38) Kawakami, Y. et al.: A Single-chip Digital Signal Processor for Voiceband Applications, Digest of Technical Papers, ISSCC (1980).
- 39) Magar, S. S. et al.: A Microcomputer with Digital Signal Processing Capability, Digest of Technical Papers, ISSCC (1982).
- 40) Kawakami, Y. et al.: A 32-bit Floating Point CMOS Digital Signal Processor, Digest of Technical Papers, ISSCC (1986).
- 41) Oguchi, T. et al.: A Single-chip Graphic Display Controller, Digest of Technical Papers ISSCC (1981).
- 42) キルブリュー: TMS 34010 グラフィクスシステムプロセッサ, 日経バイト (Feb. 1987).  
(昭和 63 年 10 月 5 日受付)