

解説

2. DSP の応用例



2.2 DSP のコーデックへの応用†

河井 正彦††

1. ま え が き

音声 CODEC の原点は 1960 年代中継伝送路の経済化を目的として実用化された非直線 (対数圧伸) PCM 方式である。以来、4 KHz 帯域のアナログ音声信号を 8 KHz サンプリング 8 ビット符号化して 64 Kbit/s のデジタル信号とする A/D、D/A 変換器として、多重化装置、デジタル交換機加入者回路、デジタル電話器など、通信網のデジタル化の進展にともない、ネットワークのいたるところで使用されている。

音声あるいは音声帯域信号 (モデム信号、単一周波信号、PB 信号など) のデジタル化において、64 Kbit/s PCM はいかなるネットワーク構成においても十分な伝送品質を備えているが、デジタル伝送路の有効利用あるいはサービスの多様化に対応するため、1980 年代なかばから各種高能率音声符号化方式が実用化されてきた。現在、4 KHz 音声帯域信号を 32 Kbit/s に符号化する ADPCM (Adaptive Differential PCM) 方式と 7 KHz 広帯域信号を 64 Kbit/s に符号化する SB-ADPCM (Sub-Band ADPCM) 方式が標準化されている。前者はおもに専用線を用いた企業内通信あるいは国際通信に用いられ、後者はテレビ会議用高品質音声通信に用いられている。さらに 16 Kbit/s 符号化方式の標準化が進められている。これらの高能率音声符号化方式はデジタル信号処理によりアナログ信号の冗長性を除去するとともに高集積回路技術の進展により実現可能となったものであり、符号化アルゴリズムは直線 PCM あるいは非直線 PCM からの D/D 変換アルゴリズムとして演算精度も含めてビットレベルの記述で規定されている。ハードウェアとしては、汎用 DSP あるいは DSP 構成の専用 LSI が主である。

本稿では高能率符号化方式におけるデジタル信号処理技術について概説し、DSP を用いた CODEC の具体例として、PCM CODEC、高品質 CODEC および 32 Kbit/s、16 Kbit/s の低ビットレート CODEC について示す。

2. CODEC の構成とデジタル信号処理

高能率音声符号化の基本的信号処理技術には、音声信号の統計的モデルとしての AR (Auto-Regressive) または ARMA (AR Moving Average) 過程に基づいた線形予測分析と予測残差信号の量子化処理がある。また時間的処理単位では、サンプルごとに処理を行う逐次処理方式とフレーム単位で処理を行うフレーム処理方式があり、これらは符号化ビットレートによって適用領域が異なるとともに演算規模も大幅に異なる。以下この二つの方式の基本的な信号処理について説明する。

(i) 逐次処理方式

逐次処理方式の代表例は図-1 に示す ADPCM 方式である。この方式は逐次形適応予測器と適応量子化器で構成され、符号器は復号器と同一構成の局部復号器を含んでいる。これにより符号器では、符号化出力から復号した信号を入力に戻して (フィードバック)、符号化誤差の累積を防いでいる。逐次形適応予測器は全極形および全零形の伝達関数で表され、タップ係数は逐次予測誤差電力を最少とするように傾斜法により逐次更新される。予測器を構成する予測フィルタには

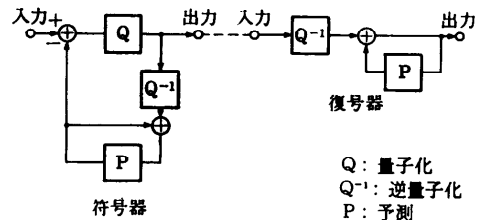


図-1 ADPCM の構成

† DSP Implementations of Speech Coders by Masahiko KAWAI (Transmission Systems Division Telecommunications Group, Oki Electric Industry Co., Ltd.)

†† 沖電気工業(株)伝送無線事業部

一般的にトランスバースフィルタが用いられている。全極形逐次予測器では次数制限なしに安定な逐次制御を可能とし高予測利得を得る方式が提案されている¹⁾。

適応量子化器は、Jayant, Goodman などによって提案された量子化特性を逐次適応制御する方法が^{2),3)}用いられている。また統計的性質の異なる音声およびモデム信号に対して適応速度の異なる二つの量子化スケール係数を用いて量子化特性を改善した DLQ (Dynamic Locking Quantizer) アルゴリズム⁴⁾が用いられている。

これらの信号処理はすべてデジタル演算によって行われるが、演算誤差は 16 ビット程度であり、演算形式も固定小数点演算が主である。

(ii) フレーム処理方式

フレーム処理方式の代表例として図-2 に適応予測符号化方式 (APC) の構成を示す。この方式も基本的に適応予測器と量子化器とから構成されるが、処理が数 10 msec ごとのフレーム単位に行われる。ここでは音声信号の声道モデルとして、フレーム内定常性に基づいた AR モデルを仮定した音声信号スペクトル分析および声帯モデルとしての音源信号のスペクトル分析が行われ、前者は短時間予測分析、後者は長時間予測分析に対応する。

短時間予測分析法としては、自己相関法、共分散法、格子法、最大エントロピ法などがある。自己相関法では、相関係数を行列要素とする Toeplitz 行列で表される Yule-Walker の方程式を解いて分析を行っている。この場合 Toeplitz 行列の正定値性が保証されているのでその逆行列が存在し、解の安定性が保証されている。Yule-Walker 方程式の解法として再帰的に解く Levinson-Durbin 法が DSP に適しているため一般的に用いられ、予測誤差フィルタはトランスバースフィルタで実現される。しかし、分析次数が高くなるとともに精度が悪くなることが知られてお

り、これに対して前向き予測誤差と後ろ向き予測誤差を用いた誤差評価関数に基づいて再帰的に解く格子法、最大エントロピ法 (Burg 法) は比較的少ないデータで安定した解が得られる。この場合予測誤差フィルタは格子形フィルタで実現される。

長時間予測分析法では音源信号すなわち予測誤差信号に含まれる有声音のピッチ周波数分析が行われる。これには通常、自己相関法あるいは変形相関法、AMDF (Short-Time Average Magnitude Differential Function) 法などが用いられている。

以上の信号処理には加減乗除算を含むためその演算精度は音声品質に多大な影響を与える。また演算規模も逐次処理方式に比較して倍以上必要とされることから 10 MFLOS (Mega Floating Operation Per Second) 以上の処理能力をもつ第二世代 DSP が用いられている。

ハードウェアの構成としてチャンネル単位での処理を行うパーチャンネル CODEC と多重化された多数のチャンネルを共通に処理するマルチチャンネル CODEC がある。また布線論理 LSI により実現している例もあるがほとんどが汎用 DSP あるいは DSP 形の専用 LSI が用いられている。DSP の選択あるいは設計にあたって、演算精度の確保と 1 サンプル区間または 1 フレーム区間内のダイナミックステップの処理のため種々の工夫が行われている。

3. 応用例

(1) PCM CODEC

従来 64 Kbit/s 非直線 PCM (CCITT G. 711) はアナログ MOS 技術により逐次比較形 A/D, D/A 変換器とスイッチキャパシタフィルタを 1 チップ上に構成した単一チャンネル LSI CODEC を用いてきた。この 64 Kbit/s PCM 符号化がネットワークのデジタル化の基盤技術であった。最近 D70 デジタル交換機の加入者回路の経済化を目的として、より集積度の高いデジタル CODEC が実用化された^{5),6)}。これはオーバサンプル形 A/D, D/A 変換器とプログラマブル DSP を用いたデジタルフィルタを 1 チップ上に構成した信号処理 CMOS-VLSI で SLP (Subscriber Line Interface Processor) と呼ばれている。SLP の信号処理フローを図-3 に示す。A/D, D/A 変換器のサンプリング周波数は 2 MHz で、PCM 入出力の 8 KHz サンプリングとの間で量子化雑音の低減と各

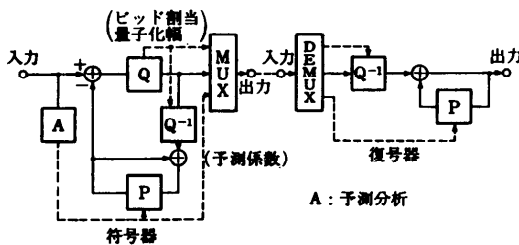
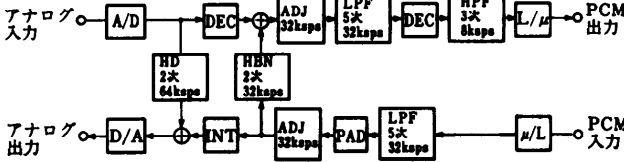


図-2 APC の構成



DEC; 間引きフィルタ, INT; 補間フィルタ
ADJ; 周波数特性補正フィルタ PAD; 利得調整 PAD

図-3 SLP 信号処理フロー

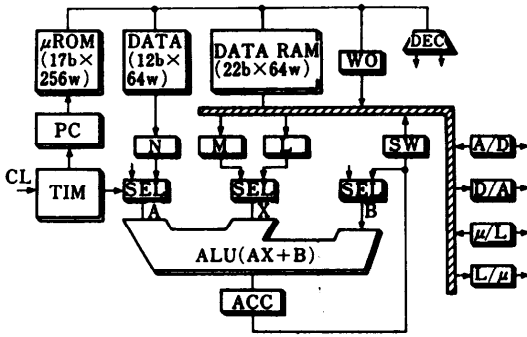


図-4 DSP 構成

種信号処理量を考慮して間引きと補間を行っている。CODEC として必要なチャンネルフィルタ, リニア- μ law 変換のほかに加算回路として必要な 2 線終端回路, 2 線 4 線変換平衡回路, レベル調整, 周波数特性補正回路および呼出信号送出時のオフフック検出のためのリングトリップ回路が含まれており, これらはすべて DSP により処理されている。DSP の構成を図-4 に示す。ALU はデジタルフィルタの高速処理とハード量を考慮して積和形が用いられている。命令 ROM, DATA ROM, DATA RAM の語長および容量とも最適化された専用 DSP 構成 CODEC である。LSI チップの大きさとしては $\Delta\Sigma$ 形 A/D, D/A 変換器, PLL (Phase Locked Loop), 基準電圧発生回路などを含めて 1.5 μ CMOS プロセスで 6.45 \times 6.47 mm である。+5 V 単一電源で消費電力は動作時 125 mW 非動作時 35 mW⁷⁾ である。なお高耐圧回路対応の STC-LSI (Subscriber-Line Termination Circuit) と合わせて 2 チップで加入者回路の BORSCHT (Battery-feed, Overvoltage-Protection, Ringing, Supervision, Codec, Hybrid, Test) 機能を実現している。

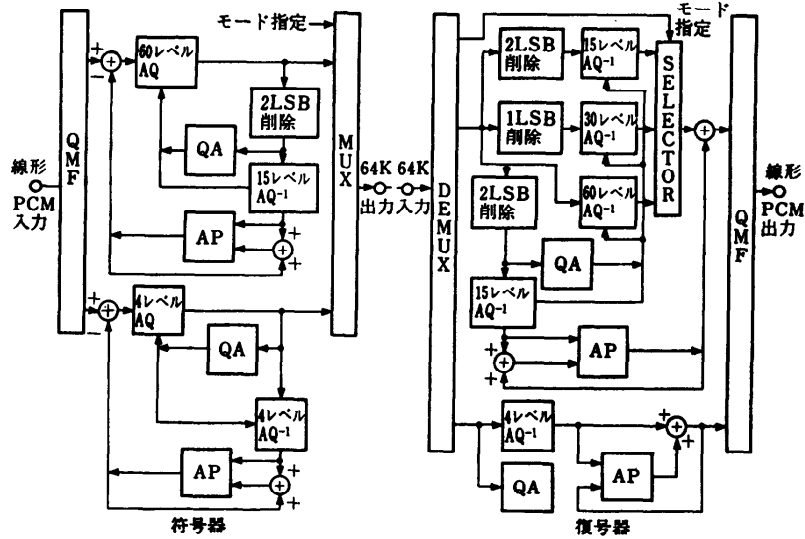
(2) 高品質 CODEC

テレビ会議用音声, 会議電話, 拡声放送などに適用できる高品質音声符号化方式として 7 KHz 広帯域信

号を 64 Kbit/s に符号化する CCITT 勧告 G. 722 が標準化されている。図-5 にこの方式の構成を示す。50 Hz~7 KHz 帯域信号を 16 KHz でサンプリングした線形 PCM 信号が 24 次の FIR (Finite Impulse Response) フィルタで構成された QMF (Quadrature Mirror Filter) で 4 KHz を境にした低群と高群に帯域分割され, 8 KHz 間引きサンプリングにより低域変換される。低群および高群はそれぞれ ADPCM により低群 6 ビット, 高群 2 ビットに符号化された後, 多重化され 64 Kbit/s となる。適応量子化器は低群 60 レベル, 高群 4 レベルで, 適応予測器は 6 次の零適応予測器と 2 次の極適応予測器で構成されている。復号器では 64 Kbit/s の信号を低群, 高群に分離しそれぞれ ADPCM 復号化される。適応逆量子化器は低群用に 60 レベル, 30 レベル, 15 レベルの 3 種が用意されておりモード切替信号により一つが選択される。復号された低群および高群の信号は 16 KHz で補間サンプリングされた後 QMF で復波, 加算され線形 PCM 信号を再生する。この符号化方式では会議システムの適用を考慮して音声信号と同時に 8 K または 16 Kbit/s の低速データを伝送するモードもありこのとき音声の符号化速度はそれぞれ 56 Kbit/s, 48 Kbit/s となる。このため低群の ADPCM 符号器では 6 ビット符号の上位 4 ビットを用いた局部復号を行うことにより, モード切替時の音声劣化を抑えるエンベデッド ADPCM 方式となっている。

CODEC の入出力信号は 14 ビット精度以上の 2 の補数形式である。演算処理は固定小数点で定義されており, 各種 DSP で容易に実現できるものとなっている。QMF の演算において各フィルタの係数は 13 ビット精度で, 積和演算結果は 24 ビット精度としている (24 ビット未満は切捨てでも四捨五入でも良い)。ADPCM CODEC での内部変数はすべて 16 ビット表示で行い, 16 ビット \times 16 ビットの乗算は乗算結果を 15 ビット右シフトの操作により上位 16 ビットを得ている (下位ビットは 0 をつめる)。また加減算ではオーバフローおよびアンダフローに対する処理を行っている。

アルゴリズムの確認と, 異なる DSP (ハードウェア) 間での相互接続を保障できるようにするためデジタルテストシーケンスが準備されており, これにより勧告の記述に対する一致が確認できるが, 異なる DSP の演算形式による QMF での演算誤差を考慮し



AQ: 適応量子化器 AQ⁻¹: 適応逆量子化器 QA: 量子化器適応制御
 AP: 適応予測器 QMF: 直交ミラーフィルタ

図-5 64 Kbit/s 高品質 CODEC の構成

表-1 64 Kbit/s 高品質 CODEC の DSP 実現例

パラメータ	(文献) DSP 名	DSSP-1 ⁸⁾	MB 87064 ⁹⁾¹⁰⁾	MN 19011 ¹¹⁾	TMS 32010 ¹²⁾
乗算器		12E6×12E6→12E6	16×16→26	20×20→32	16×16→32
RAM		18b×512W 18b×4kW (外部)	16b×128W×2 16b×1024W (外部)	16b×256W 16b×512W	16b×144W
ROM		32b×4kW	24b×1024W	32b×2kW	16b×4kW (外部)
マシンサイクル		50 nS	100 nS	200 nS	200 nS
I/O		シリアル×2 18bパラレル	16bパラレル	シリアル×2 パラレル	16bパラレル
素子数		280 KTr	91 KTr*	191 KTr	55 KTr
デバイステクノロジー		1.2μCMOS	2.3μCMOS*	2μCMOS	3μNMOS
チップサイズ		9.22mm×9.61mm	9.5mm×9.6mm*	10.5mm×8.7mm	50 Kmil ¹⁾
ピン数		127	42	84	40
消費電力		700 mW	300 mW	150 mW	900 mW
チップ数/CODEC		1	2	2	2

注) *印は MB 8764 の値

て QMF をバイパスして試験することとしている。

CCITT 勧告 G. 722 CODEC の実現例を表-1 に示す。

(3) 低ビットレート CODEC

(i) 32 Kbit/s ADPCM CODEC

デジタル回線の効率的、経済的使用を目的として 4 KHz 音声帯域信号を 32 Kbit/s に符号化する

CCITT 勧告 G. 721 が標準化されている。図-6 にこの方式の構成を示す。符号器は入力信号としての 8 ビット非直線 PCM 符号を 14 ビット線形 PCM 符号に変換する非線形・線形変換器、適応予測器、適応量子化器および FSK モデムのキャリア信号とマーク/スペースの変化点を検出するトーンおよび変化点検出器とから構成される。一方復号器は適応逆量子化器、適

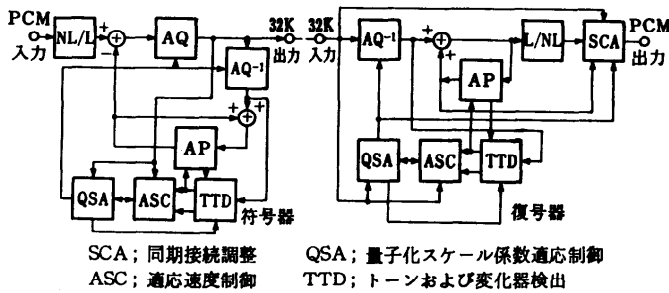


図-6 32 Kbit/s ADPCM CODEC の構成

応予測器, トーンおよび変換点検出器, および同期接続調整器から構成される。適応予測器は6次の零適応予測器と2次の極適応予測器で構成されている。適応量子化器はDLQアルゴリズムを用いており、非線形量子化特性を有する適応量子化器、量子化スケール係数の適応制御部、二つの量子化スケール係数の適応速度を制御する適応制御部とから構成されている。

これらの演算にあたって各変数の語長および演算形式が詳細に規定されており、1ビットから最大19ビットまで各種語長が用いられ、また演算形式では補数表現、絶対値表現の固定小数点演算および浮動小数点演算が使用されている。とくに浮動小数点演算は演算精度を必要とする適応予測器および適応量子化器における対数変換に使用されている。表-2にこの方式の演算規模を示す。符号器、復号器ともにトータルステップ数は約800で、そのうちシフトとジャンプ操作が半分以上を占めている。アルゴリズムのハードウェア

実現に際しては第一世代の汎用DSPで可能であるが経済性、低消費電力化を目的として多くのDSP形式の専用LSIが作られている。これらの例を表-3に示す。表中のMSM 6981はG.721では伝送できない9600bpsの音声帯域モデム信号の伝送を可能とする方式で勧告G.723のNoteに記述されており、通信当事者間の合意により用いることができる。またマルチチャネル処理方式では

125μs間で8チャネルの多重処理を行うDSP形専用LSIが開発されている^{15),16)}。

(ii) 16 Kbit/s CODEC

各種方式の16 Kbit/s音声CODECが、デジタル専用線の有効利用やデジタル移動通信および衛星通信のための帯域圧縮用に実用化されている。CCITT

表-2 G.721 GODECの演算規模

Operation	符号器	復号器
Multiplication	9	9
Arithmetic Operation	151	156
Shift	207	216
Logical Operation	158	170
Jump	259	271
Table Read	2	2
Total	786	824

表-3 32 Kbit/s ADPCM CODECのDSP実現例

パラメータ	(文献)	13) 18)	14)	1)
	DSP名	μPD 3370	MB 8764	MSM 6981
乗算器		8b×8b→16b	16b×16b→26b	16b×16b→23b
RAM		16b×32W	16b×128W×2 16b×1024W(外部)	16b×64W×2
ROM		16b×128W 26b×1024W	24b×1024W 24b×1024W(外部)	16b×2kW 48b×512W
マシンサイクル		200 ns	125 ns	200 ns
I/O		シリアル	16bパラレル	シリアル 16bパラレル
素子数		60.1 KTr	91 KTr	96 KTr
デバイステクノロジー		2.5 μCMOS	2.3 μCMOS	2 μCMOS
チップサイズ		7.4mm×8.2mm	9.5mm×9.6mm	8.3mm×6.0mm
ピン数		28	88	42
消費電力		90 mW	300 mW	75 mW
チップ数/CODEC		2	2	2

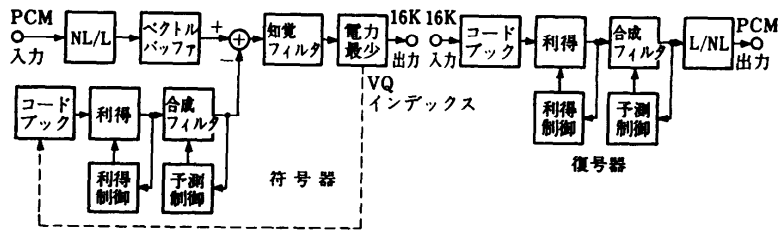


図-7 LD-CELP CODEC の構成

でも標準化作業が行われており処理遅延の少ない LD-CELPTM (Low-Delay Code Excited Linear Prediction) 方式が検討されている。この方式の構成を図-7 に示す。入力信号は非直線 PCM からリニア PCM に変換され 5 サンプルを一つの音声ベクトル単位として 32 音声ベクトルがバッファに蓄えられる。符号器は短時間予測として 50 次の全極形予測器、音源信号としての 1024 種類のコードから構成される音源コードブック、量子化雑音をマスキングする 10 次の知覚フィルタから構成される。この方式の特長は、コードブックより選択した音源コードおよび音源利得のコード番号を伝送することである。このコード番号は ABS (Analysis by Synthesis) 法にもとづいて、入力信号と再生信号の誤差を知覚フィルタによって重み付けし、この重み付け誤差電力が最少となるように決定する。全極予測器の適応制御は再生信号を用いたバックワード形適応制御で、20 msec のハミング窓を用いた自己相関法により 5 msec ごとに更新される。一方知覚フィルタは入力信号を用いたフィードフォワード形の 10 次 LPC 分析によって全極形予測器と同一の周期で決定される。コードブックは 1024 のコードベクトル、アドレスインデックス 10 ビットで構成されるが、コードブックサーチを簡単にするため二つのコードブックに分けられている。一つは Shape コードブックと呼ばれ 7 ビットのアドレスインデックスをもち、128 のコードベクトルで構成される。二つ目は、Gain コードブックと呼ばれ 3 ビットのアドレスインデックスをもち零を中心に正負対称な 8 つのスケラ値をもつ。コードブックサーチは基本的にすべてのコードに対してサーチするが、このとき全極形予測器と知覚フィルタの従属によって得られる伝達関数のインパルス応答を用いて演算の簡略化を図っている。この CODEC の演算規模は 10 MFLOPS 以下で、DSP 2 ないし 3 個で実現されるといわれているが、詳細なハードウェア構成はまだ報告されていない。

4. あとがき

高能率音声符号化は DSP の進歩によって複雑かつ膨大な信号処理が可能となったため実用化可能となったといえる。32 Kbit/s CODEC は第一世代レベルの DSP により、また 16 Kbit/s CODEC は第二世代レベルの DSP によって実現されてきた。開発の過程をみると、実用化の初期は汎用 DSP が用いられ、その後需要の増大にともない、経済化低消費電力化を目的としてより微細な LSI プロセスを用いた専用 VLSI 形 LSI による実現へと変化してきたといえる。今後さらには低ビットレートへ向かって複雑なアルゴリズムの開発とこれを実現するための LSI が DSP 技術と ASIC 技術などにより、より短い期間で開発されていくものと思われる。

DSP の CODEC への応用設計の面で、個々の詳細については筆者の浅学のため十分な解説といえない点をご容赦いただきたいとともに、それぞれの参考文献と高能率音声符号化の DSP への適応が適切にまとめられている参考文献(18)を参照していただきたい。

最後に、資料提供などご協力いただいた皆さまに深謝いたします。

参考文献

- 1) Hosoda, K. et al.: A 32 Kbit/s ADPCM Algorithm Having High Performance for Both Voice and 9.6 Kbit/s Modem, IEEE Journal on Selected Areas in Communications, Vol. 6, No. 2, pp. 262-273 (Feb. 1988).
- 2) Jayant, N. S.: Adaptive Quantization with a One-Word Memory, B. S. T. J. Vol. 52, pp. 1119-1144 (Sep. 1973).
- 3) Goodman, D. J. and Wilkinson, R. H.: A Robust Adaptive Quantizer, IEEE Trans. Com., Vol. 10 M-23, pp. 1362-1365 (Nov. 1975).
- 4) Petr, D. W.: 32 Kbit/s ADPCM-DLQ Coding for Network Applications, IEEE, GLOBECOM

- pp. 239-243 (Dec. 1982).
- 5) 内村他: デジタル処理形 PCM-CODEC-LSI, 信学会研究会資料, SSD 85-3 (1985).
 - 6) Kimura, T. et al.: A Dual-Chip SLIC Using VLSI Technology, IEEE, GLOBECOM '87, pp. 1766-1770 (1987).
 - 7) 田原他: デジタル交換機用高集積加入者回路LSI, 沖研究開発, Vol. 55, No. 4, pp. 105-110 (昭和63年10月).
 - 8) Kaneko, T. et al.: A 50 ns Floating-Point Signal Processor VLSI, IEEE, ICASSP 86, pp. 401-404 (1986).
 - 9) Tomita, Y. et al.: An Implementation of the 64 Kbps Audio Codec Based on CCITT Recommendation G. 722, IEEE GLOBECOM '87, pp. 463-467.
 - 10) 雁部他: 汎用DSPをベースとしたDSP ASICの開発について, 信学会論文誌 A Vol. J72-A, No. 2, pp. 188-197 (1989年2月).
 - 11) 藤本他: 64 Kb/s 高品質音声コーデック, 信学会春季全大 B-531 (昭和63年).
 - 12) Tourneur, Le. et al.: Implementation of the 7 KHz Audio Codec and its Transmission Characteristics, IEEE GLOBECOM '86, pp. 605-609 (1986).
 - 13) Nishitani, T. et al.: A CCITT Standard 32 Kbit/s ADPCM LSI Codec, IEEE Trans. Acoust., Speech, Signal Processing, Vol. ASSP-35, pp. 219-225 (1987).
 - 14) Matsumura, T. et al.: VLSI DSP (MB 8764), Based Adaptive Speech CODEC, IEEE, Proceedings of ISCAS 85, pp. 1121-1124 (1985).
 - 15) Beatty, J. D. et al.: Custom VLSI Design of a Single Chip Multi-Channel ADPCM Processor, IEEE, ICASSP '87 Vol. 1, pp. 479-482 (1987).
 - 16) Song, M. S. et al.: A VLSI for 32 Kbps ADPCM Transcoding, IEEE 1985 Custom Integrated Circuits Conference, pp. 296-299.
 - 17) CCITT SGXV Contribution No. D1 Description of 16 Kbit/s Low-Delay Code-Excited Linear Predictive Coding (LD-CELP) Algorithm (Mar. 1989).
 - 18) Taka, M. et al.: DSP Implementations of Sophisticated Speech Codecs, IEEE Journal on Selected Areas in Communications Vol. 6, No. 2, pp. 274-282 (Feb. 1988).

(平成元年9月6日受付)