

解 説

1. DSP の特徴と基礎理論



1.1 DSP の現状と動向†

持 田 侑 宏††

1. DSP とは

DSP (デジタル信号処理プロセッサ) は、マイクロプロセッサに代表されるいわゆるプログラム制御型プロセッサの一種である。DSP は通信システムのデジタル化の流れの中でより高度なサービスを提供するためのキーデバイスとして、近年急速に発展してきている^{1)~4)}。すなわち通信における情報としてデジタル伝送を行うことが一般的になると、信号がデジタルの形になっていることを利用して、なんらかのより高度なサービスを加えようという試みがなされるようになる。これを通常デジタル信号処理という概念でとらえている。すなわち、図-1 に示すように、デジタル信号処理とは自然界に存在する音声、イメージ、動画像などの各種の信号源に対して、変復調、帯域圧縮、合成、認識などのさまざまな処理をデジタル的に行うことであり、それを実現するデバイスが DSP ということになる。

ところで DSP は自然界の信号を処理することを目

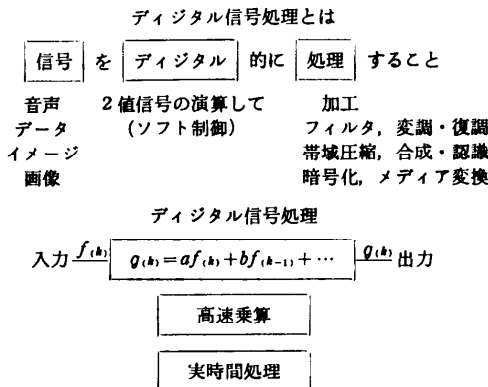


図-1 デジタル信号処理とは

的としているため、それに起因する特徴をもっている。DSP が他のプロセッサと比べて異なっている大きな点として、

- ① リアルタイム性の追求
- ② 乗算機能の高速化

の2点をあげることができる。

リアルタイム性とは、文字どおり、入力されてくる信号を滞ることなく加工して出力することである。たとえば音声の処理においては電話品質の 4 kHz をカバーするには 8 kHz のサンプリング、コンパクトディスク並みの音質を確保するためには 50 kHz 程度というように、用途によって差はあるものの、なんらかのサンプリング周期があり、そうした時系列の信号の入力されてくる速度に見合った出力を発生していく。

8 kHz サンプリングされた音声に対して、帯域圧縮などの処理を行うような場合には通常、1秒間に百万回以上の処理が必要になることが多い。通常 DSP の処理速度を表す単位として、1秒間に何百万回の処理を行えるかという見方で MOPS: Mega Operation Per Second という単位を用いるが、音声処理に対しては 1 MOPS 以上の処理が必要ということになる。これを実現するためにはプロセッサのハードウェア的な速度、いわゆるマシンサイクルを早くすることが望ましいことはいままでもないが、同時に信号処理で要求される処理を行う効率ということが重要になる。他方、デジタル信号処理で必要となる処理を分析してみると、信号処理の基本演算の多くが

$$g(k) = af(k) + bf(k-1) + \dots$$

というような累積乗算に帰着されることが多い。基本的には乗算が他の加減算と同等程度に高速にできることが望まれるということになる。

すなわち、DSP とは累積乗算が高速にできる処理効率のよい特殊なプロセッサということができる。

これらの要件を満足するために、それぞれのプロセッサで独自の工夫をこらしている。効率のよい処理を

† Recent Progress of Digital Signal Processors by Yukou MOCHIDA (Fujitsu Limited Transmission Division).

†† 富士通(株) 伝送事業部

実現するために広く用いられる代表的な手段として下記にあげるようなことがある。

① ハーバードアーキテクチャの採用

多くの DSP では、命令を格納するメモリ（通常は ROM）と演算のデータを格納するメモリ（通常は RAM）を独立の空間に割り当て、同時に並行してアクセスするといういわゆるハーバードアーキテクチャをとっている。これにより、命令の読み出し、解読という内部のハードウェア処理を命令の実行と並行して行うことにより、処理の効率をあげている。これは多くの通常のマイクロプロセッサと大きく異なっている点であり、DSP では基本的には1マシンサイクルごとに一つの処理ができるという特徴がある。逆に、こうした構成をとっているため、処理を行いながら、その結果に応じて自分自身のプログラムを書き替えていくというような処理は実行しにくくなる。

② 演算処理のパイプライン化

先に述べた累積乗算を効率よく実行するためには図-2 に示すような演算部でパイプライン的に処理することが多い。すなわち、たとえば累積乗算を行う場合

- (1) 演算データのレジスタへの置換
- (2) 乗算

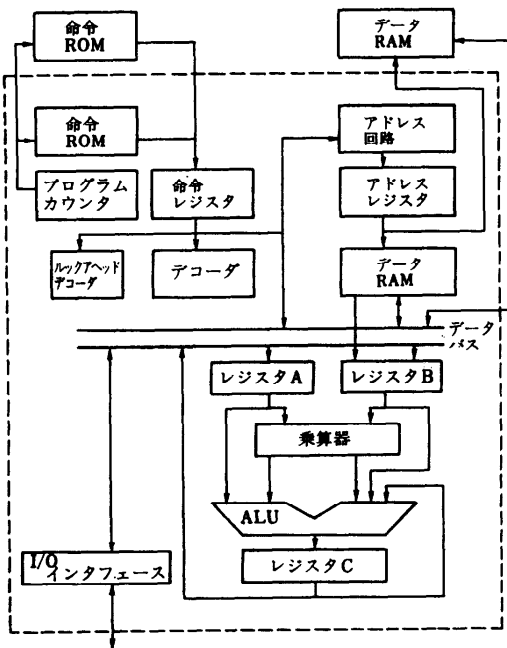


図-2 DSP の演算部

(3) 乗算結果の足し込み

といった一連の処理をパイプライン的に行えるようになっている。このため多くの DSP では演算のためのデータとその結果を格納するアキュムレータを別のレジスタとしてもつような構成が多い。

③ 水平型命令

たとえば②項のパイプライン化処理を実現するためにはそれを指定するための命令構成上の工夫が必要になる。そのため、DSP では一般的に一つの命令でいくつかの処理を並記できるようにしてある水平型構成をとることが多い。これも、一つの命令で原則として一つの処理を行わせる垂直型をとる汎用マイクロプロセッサと大きく異なる点である。水平型の構成方法は、命令のビットをフィールド区分して並列に記述するやり方や、並列性の高い命令を一つの命令名として用意するやり方など各デバイスでそれぞれの工夫がある。プログラム機能のサポートをどうするかということ、たとえば高級言語記述に対するコンパイラの可能性などとの関連をどう考えるかが一つのポイントとなる。

④ メモリ高能率アクセス

信号処理では多くのメモリをアクセスすることが必要であり、データの取扱いが処理のクリティカルパスにならないような構成をとる工夫も必要になる。多くの DSP では、データの保持のために、内蔵の RAM をもっているが、これを2面構成したり2ポートさらには3ポート構成にするという工夫をすることも多い。また、画像処理などメモリアクセスの仕方の特徴のあるものは、その処理に適した特殊なメモリアクセス方式をもっているものもある。また、メモリを巡回的にアクセスすることを容易にするリングアクセス機能というようなメモリアクセス上のいろいろな配慮もされている。

以上のように特徴をもつ DSP に対してプログラミングを行うことは必ずしも容易ではない。オフラインベースのソフトウェア、シミュレータ、さらにはリアルタイムの動作をベースにした動作確認できるようにしたシミュレータをサポートしている品種が多い。DSP の命令体系そのものをみると現状ではそれぞれの DSP が独自の命令構成をもっているため、品種ごとにプログラミングノウハウも微妙に異なる。それを解決する手段として、高級言語からのクロスコンパイラを用意したもの、各種の応用に汎用に使える処理ルーチンをマクロ的にもてるように工夫したものな

ど、いろいろな設計が行われているが、今のところ統一的なプログラミング概念が成立するまでには至っていない。

2. DSP の動向

デジタル信号処理技術が実際の各種のアプリケーションに適用されるようになり、やがて1チップのプロセッサが誕生するようになったのは1970年代の末期から1980年代初頭にかけてである。当初はビット数もメモリ数も少なく、演算精度も特定の応用を意識したり、ハードウェアの制約からくる特殊なビット長のものがつくられたが、やがて16ビットの固定小数点をもつDSPが主流となり、汎用DSPとしての位置づけが確立していった。これを通常第一世代のDSPと呼んでいる⁶⁻⁷⁾。それまでのDSPが必ずしも体系的にしっかりとした土台がつけられていなかったのに対し、第一世代のDSPの登場によって初めてプロセッサとしての明確な位置づけを得るようになった。これにより、DSPのファームウェアあるいはそれを効率的に開発していくための開発環境の整備といったことが広く行われるようになった。次章にさらに具体的にみていくように第一世代のDSPはもっともDSPの特徴の表面をうちだしたプロセッサであり、現在でももっとも広く実用されている。

第一世代のDSPの開発が一段落したあと、その最大の難点であった16ビットという演算語長の制限からくる演算精度の限界を克服する手段として、ビット長の拡大・浮動小数点化が図られるようになった。そしてやがて32ビットの浮動小数点をベースとしたDSPが1980年代の後半各所で開発された。これを通常第二世代のDSPと呼んでいる⁸⁾⁻¹⁰⁾。こうした高演算精度で高機能のDSPが実用化された背景には、CMOS半導体技術の急速な発展と密接な関係がある。今日、第二世代のDSPに属する製品のほとんどが、 1.5μ 以下の微細CMOS技術によっている。現在各所で第二世代のDSPの開発の報告が一段落した感があるが、まだ経済的効果を期待するところで十分成熟した段階ではない。多くは新しい応用のアルゴリズムの早期実現を図る道具として使われている面が強い。また、第二世代のDSPの多くは固定小数点による演算機能も合わせもっている。経済的な効果を出すために、浮動小数点機能を除いたチップを合わせてもち、アルゴリズム確定時には固定小数点版を利用したり、あるいは浮動小数点のビット数を少なくして低価格化

を図るといった路線をとっているものも多い。量産を指向した実用化という観点からは、第二世代DSPをベースとした簡易バージョンが次の世代の主流になっていく可能性も強い。

第二世代のDSPの登場により、一部の高度なイメージ処理などのいくつかの応用分野を除いて、多くの応用に対して十分演算精度的な要望に応えられるデバイスが提供されるようになった。これにより、第二世代のDSPに至るまで続いたDSPの高機能化、さらに高速化の動きはある意味で終わり、新しい展開へ向けての転期を迎えている。

その一つの動きとしては、先に述べた第二世代DSPのビット精度の最適化というような考えをさらに推し進めて用途に適合した専用のDSPを開発していくという考え方である。こうした動きの主流として第二世代のDSPなどの、既存のDSPをベースにした専用化を考へることが行われており、これを近年流行になっているASIC (Application Specific Integrated Circuit) という概念を結びつけてDSP ASICなどと呼んでいる。これについては5. で具体的な例をみていく。

他方、第二世代のDSPまでの発展においては汎用DSPという位置づけはありながらも、その主なるねらいは各種の音声信号の処理にあったのに対し、その他の分野の応用を中心に意識したDSPの展開も注目されはじめている。その主な動きが動画像の信号処理をねらったものであり、特にこれらはVSP (Video Signal Processor) と呼ばれ、一つの独立した分野を形成しつつある。VSPに属するデバイスの学会レベルの発表は1980年代後半のデジタル信号処理の大きなテーマの一つとなっており、現在もまだ多くの発表が行われている。

3. 第一世代 DSP

第一世代のDSPでは、先にDSPの特徴として述べた信号のリアルタイム性に非常に強い主眼があり、並列処理性・パイプライン性をいろいろな形で特徴づけるとともに、当時の半導体プロセスのテクノロジーを最大限に生かした高速性が競われた。そのアーキテクチャは各社できざまになっている。表-1に主な第一世代のDSPを示す。DSPとしての特徴を生かすという面からは、プログラムの容易性がいろいろな形で犠牲となる。しかし、それまでの初期の段階のプロセッサと比べると、ソフトウェアの体系化という観点

表-1 主な第一世代の DSP

形式		μ PD 7720 (NEC)	TMS 320 C 25 (TI)	MB 8764 (富士通)	DSSP-1 (NTT)	MSM 6992 (沖)	
項目							
デバイス技術		3 μ m CMOS	1.8 μ m CMOS	2.3 μ m CMOS	1.2 μ m CMOS	2 μ m CMOS	
端子数		28 pin DIP	68 pin PLCC	88 pin PGA	127 pin PGA	132 pin PGA	
命令実行時間/処理能力		244 nsec	100 nsec/10 MIPS	100 nsec/10 MIPS	50 nsec/ 40 MFLOPS	100 nsec/ 20 MFLOPS	
語長		16 bit 固定	16 bit 固定	16 bit 固定	12E6 浮動	12E6 浮動	
乗算器/ALU		16 \times 16 b \rightarrow 31 bit 16 bit ALU	16 \times 16 b \rightarrow 32 bit 32 bit ALU	16 \times 16 \rightarrow 27 bit 26 bit ALU	12E6 MPY 12E6 ALU	12E6 MPY 12E6 ALU	
メモリ	データメモリ	内部	128W \times 16 bit (RAM) 512W \times 13 bit (ROM)	544W \times 16 bit (RAM)	128W \times 16 bit \times 2 (RAM)	512W \times 18 bit (RAM)	128W \times 22 bit \times 2 (RAM)
		外部	—	128 kW \times 16 bit	1 kW \times 16 bit	4 kW \times 18 bit	64 kW \times 22 bit
	命令メモリ	内部	512W \times 23 bit (ROM)	4kW \times 32 bit (ROM)	1 kW \times 24 bit	4 kW \times 32 bit	1 kW \times 32 bit
		外部	—	128 kW アドレス空間	1 kW \times 24 bit	4 kW \times 32 bit	16 kW \times 32 bit
アドレッシング		ポインタ, リング	直接, 間接, 相対, ビットリバース	直接, インデックス, 仮想シフト	直接, インデックス, モジュロ	直接, インデックス	

もプロセッサという位置づけから強く認識されるようになってきている。第一世代の DSP として、早い時期に実用化された μ PD 7720 では命令体系を工夫し、かつ、並列性をプログラマに十分に意識させながら、並列処理の内容を二つの命令の中に書き込んでいくというスタイルをとっている。また、世界的にもっとも広く用いられている TMS320 シリーズではマイクロプロセッサのアセンブラ言語に近い形の命令セットを提供している。また MB 8764 では、データの転送と ALU での演算処理という二つの機能に分けて、これらの処理を並記するという折衷的な方法がとられている。

処理速度的には 1 MOPS 以上のものが中心で 10 MOPS の実現ということが初期の時代にはもっとも強い要求になっていた。現在ではほぼ製品開発という意味では成熟期に入っているが、一部で最新の半導体テクノロジーを用いた 20 MOPS 以上の能力をもつものも発表されている。また、一部に 16 ビット固定小数点と同等または少し高精度をねらった浮動小数点 DSP や、ビット長が特定用途をねらって変則的になっている製品もあるが、これらも第一世代 DSP の一部と考えられる。たとえば 12E6 (仮数部 12 ビット、指数部 6 ビット) のデータ語長をもつ DSSP-1 などがある。

第一世代 DSP の多くは、音声高効率符号器、モデム、音声合成などの音声処理を主なる用途として開発されたものが多い。処理速度的にも 8~16 kHz サンプルング周期程度のものの実時間処理が手ごろにでき

るレベルになっている。音声の用途の場合にも、多くの例で演算精度の十分な検討が必要になる。演算途中でダイナミックレンジをとるためのデータシフト (桁合せ) や桁落ちによる演算精度の問題などがいろいろと問題になる。しかし、経済的に考えると最適に適用できる用途も多く、実用化という観点からは現在もっとも広く使われているデバイスである。

4. 第二世代 DSP

第二世代の DSP は 32 ビットの浮動小数点演算、それに対応する整数演算機能を有することを特徴としていることはすでに述べたが、もう一つの特徴として高機能処理能力の付加ということがあげられる。第二世代の DSP も第一世代の DSP の基本的概念は継承されており、リアルタイム処理の能力を主眼としておいている。しかし同時に汎用マイクロプロセッサに近いような高度な条件・判断の機能を加えられているものも多い。DSP がこうして単純計算を力づくでやる高速演算処理ハードウェアから、高機能処理プロセッサへと進展したことにより、DSP のソフトウェア的な面の重要性が増してきている。各種製品においてソフトウェアのプログラミング性の向上、ソフトウェア資産の活用方法などの考え方をチップそのものの能力とともに考え方を明らかにしてきている。

表-2 に主な第二世代の DSP を示す。第二世代の DSP としてもっとも早く発表された DSP-32 では、

表-2 主な第二世代の DSP

形式			DSP 32 (AT&T)	μ PD 77230 (NEC)	MB 86232 (富士通)	MSP 92 (三菱)	DSP 96001 (モトローラ)
項目							
デバイス技術			1.5 μ m CMOS	1.5 μ m CMOS	1.2 μ m CMOS	1.3 μ m CMOS	HC MOS
端子数			40 pin DIP/ 100 pin PGA	86 pin PGA	208 pin PGA	40 pin OPZ/ 124 pin PGA	163 pin PGA
命令実行時間/処理能力			250 nsec/8 MFLOPS	150 nsec/13 MFLOPS	75 nsec/13 MFLOPS	150 nsec/13 MIPS	75 nsec/40 MFLOPS
語長			24E8 浮動	24E8 浮動	24E8 浮動(IEEE)	24E8 浮動(IEEE)	24E8 浮動(IEEE)
乗算器/ALU			24E8 MPY 40 bit ALU	24E8 MPY 47E8 ALU	24E8 MPY 24E8 ALU	24E8 MPY 24E8 ALU	24E8 MPY 24E8 ALU
メモリ	データメモリ	内部	512W \times 32 bit \times 2 (RAM)	512W \times 32 bit \times 2 (RAM) 1 kW \times 32 bit (ROM)	512W \times 32 bit (RAM)	256W \times 16 bit (RAM)	512W \times 32 bit \times 2 (RAM) 512W \times 32 bit \times 2 (ROM)
		外部	14 kW \times 32 bit	4 kW \sim 8 kW	64 kW \times 32 bit	64 kW \times 16 bit	4 GW \times 32 bit
	命令メモリ	内部	512W \times 32 bit	2 kW \times 32 bit	1 kW \times 32 bit (ROM)	1 kW \times 16 bit (ROM)	512W \times 32 bit (RAM) 32W \times 32 bit (ROM)
		外部	14 kW \times 32 bit	4 kW 以下	64 kW \times 32 bit	64 kW \times 16 bit	4 GW \times 32 bit
アドレッシング			16 bit アドレス ALU	直接, インデックス, モジュロ, 相対	直接, インデックス, 仮想ソフト		直接, インデックス

アセンブラ言語レベルの命令体系をもつものの、その体系をきわめてC言語とあわせることにより、C言語記述に近いイメージでプログラミングできるようにしている。 μ PD 77230 では、言語のサポートのほかに、アセンブラ言語をベースにプログラムのマクロ化を図る工夫がこらされていて、ソフトウェアの蓄積が図れるように意図している。また MB 86232 ではC言語のコンパイラをつくることを前提に、アセンブラ言語体系を汎用マイクロプロセッサのイメージに近いものとしようとの配慮を図っている。

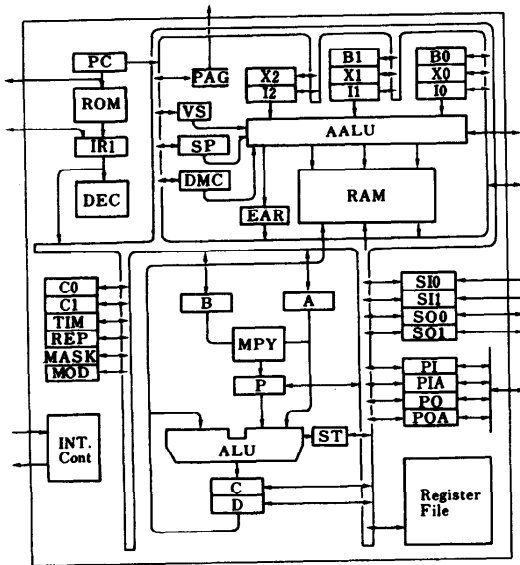
他方、ハードウェア的にみると、高集積化技術の前進により、演算精度や高機能処理機能だけでなく、実行速度の上昇やメモリ容量の増加も著しい。第一世代の DSP が1 MOPS 以上であり、10 MOPS 動作の実現が大きな目標であったのに対し、第二世代の DSP では、5 MOPS 以上が実現されており 20 MOPS を実現するものも報告されている。メモリサイズも第一世代の、256 ワード程度から 1k ワードを超える RAM を内蔵するものもでてきている。これらは、データ語長が 16 ビットから 32 ビットと増加していることを考えれば、ハードウェア技術の著しい進歩の結果に負うことが大きいことがよく分かる。32 ビット浮動小数点の採用の大きな理由はこれまでのデジタル信号処理アルゴリズムの開発において、演算途上のダイナミックレンジや演算精度のとりあつかいがきわめて難し

く、限られたハードウェア語長の中でいかに精度の高い演算を行うといういわば本質的でない面で多大の努力が払われてきたことと比べると格段の進歩といえる。実際 32 ビットの浮動小数点演算を行えば音声を中心とした DSP のきわめて多くの応用において、精度的な問題は無視することができるようになったといっても過言ではない。

ところで 32 ビットの浮動小数点とは IEEE の標準フォーマットなど、何種類かの書式がある。現在報告されているチップでの書式の選択はさまざまになっている。たとえば、先に述べた DSP-32 や μ PD 77230 では単純な 2 進表現を採用して純粋な計算における演算精度をあげようという方向をとっており、MB 86232 では、標準的な演算に対しては IEEE の形式に従うようにしている。なお μ PD 77230 は IEEE 形式への変換もサポートしている。このようなデータの取り扱いには DSP の応用においては実質的な精度では問題にはならないが、互換性などを考えた場合、演算の形式のなんらかの標準化という考えの必要性もあろうかと思われる。ブロック構成図を図-3、命令一覧を表-3 に示す。

最新の第二世代の DSP の例として MB 86232 について、その概要をみている。

MB 86232 では、第二世代の DSP の基本機能である、32 ビットの浮動小数点 (24E8 の IEEE 標準形式



PC~DEC インストラクション関連レジスタ
 C0~MOD 制御関係レジスタ
 PAG~EAR アドレス関連レジスタ
 MPY 乗算器
 X2~I0 インデックスレジスタ
 AALU アドレス演算回路
 SIO~POA I/O レジスタ

図-3 MB 86232 のブロック図

に単独) 演算機能をもっているが、同時に 24 ビットの整数、32 ビットの固定小数点も扱えるようになっている。これにより、浮動小数点演算を使ってアルゴリズムの開発を行い、将来の小型化を目指して処理の最適化を図るときには、整数演算機能を用いるというような使い方もできる。

その他にも MB 86232 はいろいろな特徴をもっている。その主なものをみると下記のような点があげられる。

① 大容量の RAM

512 ワードの 32 ビット構成の 3 ポート RAM を内蔵させることにより、32 ビットの浮動小数点データを一つのマシンサイクルでメモリから同時に 2 回読み出し、かつ一つのデータを書き込むことができる。これにより先に述べた主演算のパイプライン処理の RAM アクセスネックが生じないようにしてある。また 64K ワードの大容量 RAM をチップに外付けて、内蔵 RAM と同様にアクセスできるようにしてあり、マイコン並みの処理も可能にしてある。

② 豊富なアドレッシング機能

①項のデータの取扱いを容易にさせる柔軟なメモリアクセスのためのアドレス発生機能をもっている。(表-1 に機能の全容を示す)

③ 外部インタフェース機能

数多くのデータを効率よく入出力できるように 16 ビットの平行 I/O ポートと入出力 2 本ずつのシリアルポートをもつ。これらは外部 RAM アクセス用のポートとは独立して設けてある。

④ 高速動作

13.3 MHz のマシンサイクルを有し、多くの命令が 1 マシンサイクルで実行できる。

⑤ 複合命令記述

先にも述べたように、並列処理性による処理の効率

表-3 命令一覧

演算	サイクル数	固	整
NOP	No operation	1	○
ADD	a+A→a	1	○
SUB	a-A→a	1	○
ADX	a+A+ca→a	1	○
SBX	a-A-ca→a	1	○
MLS	A×B→P ※1	1	○
MLU	A×B→P ※2	1	○
MSM	a+PL→a, A×B→P	1	○
MSP	PL→a, A×B→P	1	○
SMP	a+PL→a	1	○
MRD	a-PL→a, A×B→P	1	○
AND	a A→a	1	○
ORA	a A→a	1	○
EOR	a A→a	1	○
NOT	a→a	1	○
ABS	a →a	1	○
ADL	a+PL→a	1	○
ALC	a+PL+ca→a	1	○
ADH	a+PH→a	1	○
AHC	a+PH+ca→a	1	○
NEG	-a→a	1	○
NEX	-a-ca→a	1	○
CMP	a-A	1	○
FCP	a-A	2	○
FAD	a+A→a	2	○
FSB	a-A→a	2	○
FML	A×B→P	2	○
FMS	a+P→a, A×B→P	2	○
FMR	a-P→a, A×B→P	2	○
FAB	a →a	2	○
FSM	P+a→a	2	○
FSP	P→a, A×B→P	2	○

a: C または D

演 算	サイク ル数	固	整
LSR	logic SR	1	○
ASR	arith SR	2	○
LSL	logic SL	1	○
ASL	arith SL	1	○
ROR	rotate R	1	○
ROL	rotate L	1	○
CIF	int→float	2	○
CFI	float→int	2	○
CXF		3	○
CFX		3	○
FDV	a/A→a	27	○
FNE	-a→a	2	○
REV	bit reverse	1	○
RND		1	○
INC	c+l→a	1	○
DEC	a-l→a	1	○
TRC	C→a	1	○
TRD	D→a	1	○
TRA	A→a	1	○
TNA	-A→a	1	○
TPH	PH→a	1	○
TPL	PL→a	1	○
ACZ	a+cd→a	1	○
TRP		1	○
TST	a∧A	1	○

固：固定小数点モード時
整：整数モード

群	命 令 内 容
0	2重転送命令 (LAB, LAC, LAD, LASC, LASD, LCSC, LDSD) 単純転送命令 (MOV)
1	3重転送命令 (LABSA, LABSB, LABSC, LABSD, LADSC, LACSD, DABSC, DABSD)
2	イミディエイト置数 (LDI, IALB) モード設定 (STMH, STML, CLMH, CLML) レジスタファイル操作 (WFWF, WFRF, RFRF) レジスタ間交換 (CHG)
3	イミディエイト演算 (ANI, ORI, ADI, AIC) イミディエイト置数 (LIA, LIB, LIC, LID, LIPH, LIPL)
4	ク リ ア (CLRO, CLRI) セ ッ ト (SET) アドレスレジスタ加算 (ADR) アドレスレジスタ間論理演算 (ANR) リポ ー ト (REP) スタック操作 (PUSH, POP) シフトローテーション (LSR, ASR, LSL, ASL) ノーオペレーション (NOP)
5	分 岐 (BRIF, BRUL) サブルーチン分岐 (BSIF, BSUL, RTIF, RTUL) 条件付転送 (LDIF, LDUL) 割り込みからの復帰 (RIIF, RIUL, IRET)

化とプログラムの複雑化を防ぐための工夫として、一つの命令を演算系とそれ以外にわけ二つのフィールドを意識すればよいようになっている。

たとえば、

ADDD: LABSC \$5, \$6

と記述すると、

1. A+D→D
2. RAM の 5 番地の内容→A
3. RAM の 6 番地の内容→B
4. C→X2 内の値の RAM の番地

処理ができるようになっている。

⑥ 信号処理に適した命令の強化

さらに実時間処理の効率化プログラム開発を容易にするため

- 次の命令を繰り返す Repeat 命令

● 割り込み処理を容易にするレジスタの退避関連命令

- 条件付処理命令

● 実時間デバックを容易にする特殊なデバック用の命令を設けている。

命令の一覧を表-3 に示す。

5. 専用 DSP

第二世代の DSP 以後の動きとして、用途への専用化を図ったチップの開発は一つの方向と考えられる¹⁵⁾。これは、汎用 DSP のパワーアップと同時に、デジタル信号処理の応用方式の実用化の進展にともない、ものによっては専用化による経済性の追及も重要になってきたことによる。

ところで、こうした専用 DSP 化の一つの動きとして、第二世代を中心とした汎用 DSP のアーキテクチャ、ソフトウェア資産を継承した専用化ということが広く考えられる。これを DSP ASIC などといているが、こうした動きの例として、MB 86232 に対して 24 ビットの浮動小数点コア DSP である MB 86220 を考え、これを主演算部をコアにして同じアーキテクチャの DSP ASIC の開発をユーザに対して開放するというような、DSP ASIC 開発手法を広く展開して専用化を図る方法などが行われるようになってきている。

また、後述する 8k/16kbps の音声符号器用の DSP ASIC として開発された MB 87528 は MB 86232 をベースとした例として報告されている。

6. DSP の応用

デジタル信号処理はもともと音声への応用を主たる領域としてとらえて進展してきた。その初期においては簡単な音声合成や認識さらにモデム信号処理が主な領域となっていた。モデムは DSP が機能的に発展した応用面の展開として重要なものとなった。その後、音声符号器への適用も行われるようになり、通常の 64 kbps (8 kHz サンプリング 8 ビット非直線符号化) の PCM 信号に対して、半分の情報量で同等に近い音声伝送を行う 32 kbps ADPCM, 同じ 64 kbps で 7 kHz の帯域の音声の伝送を行う帯域分割型 ADPCM による高品質音声 CODEC などの実用化が展開されており、この領域における第一世代の DSP の適用もさかんに行われている。これらの符号化技術は伝送路の効率使用だけでなく、音声蓄積技術へも適用されている。さらに、伝送路のエコー信号を除去するエコーキャンセラ、室内の音響的なエコーを除去する音響用エコーキャンセラ、無伝送時に検出して、伝送路の有効利用を図る DSI などにも応用されるようになった。さらに、DSP を波形処理の一部のやり方として扱う μ - Σ 型アナログデジタル変換技術、ISDN のベーシック伝送のための伝送路インタフェースの波形処理技術などにも DSP 技術が広く使われるようになってきている。

さらに音声以外の領域として、波形等化技術などの通信技術の応用ばかりでなく、ロボット制御、イメージ信号の処理、画像解析、医療機器への応用などいろいろな考えられている。動画画像処理も将来の大きな

テーマとして成果が期待されている。

また、少し先にはこれらの新しい DSP の応用の広がりを融合した技術、たとえば画像 \leftrightarrow 音声間の情報の変換などのメディア変換、自動翻訳や高度な画像技術や音声理解というようなより高度な応用への展開が期待される。

7. DSP の今後の展開

DSP のさらなる展開として先にあげた画像を指向した VSP と呼ばれるプロセッサも広く報告されるようになってきている^{16)~21)}。表-4 に主な VSP を示す。画像処理に対する DSP は画像の処理に適したいろいろの工夫が必要になる。まず第一に音声に比べて 1000 倍レベルの情報量をもつ画像信号をリアルタイムで処理するためにはどうするかということがある。これに対しては VSP 自身の処理能力の増強と、並列展開によるシステム展開などいろいろな方法がある。VSP の報告が出されるようになってからすでに 3 年程度になってきているが、最初の時期は画像信号の標準方式である NTSC 信号用サブキャリア部分の 3 倍である 14.3 MHz を処理単位としてパイプライン的に画像処理を行うことを考えたプロセッサが中心であったのに対し、処理速度を 40 MOPS 程度まであげた高速プロセッサの報告が次第に多くなってきている。画像処理では帯域圧縮アルゴリズム (たとえばベクトル量子化、DCT (Discrete Cosine Transform)、動き補償方式) などに適した機能プロセッサ構成、さらには情報的に 2 次元の配列をもつ画像データのメモリアクセスの工夫など独特の工夫が必要になる。

表-4 主な動画画像処理用 DSP

形式		Video Signal Proc. (三菱)	Video/Image Signal Proc. (NEC)	BiCMOS Signal Proc. (NEC)	Microprogrammable Signal Proc. (NEC)	Video Signal Proc. (SONY)	
項目							
命令実行時間/処理能力		50 ns	25 ns	5 ns (pipeline clock)	70 ns	50 ns (20 MHz sampling)	
語長		24 bit 固定	16 bit 固定	16 bit 固定 (冗長 2 進)	16 bit 固定		
乗算器/ALU		24×24→47 bit 24 bit ALU	16×16 bit 20 bit ALU	16×16 bit (冗長 2 進) 35 bit ALU (冗長 2 進)	16×16 bit 16 bit ALU	12×10 b→18 b 12 b + 12 b→12 b / 20 b + 18 b→20 b	
メモリ	データメモリ	内部	512W×24 b×2 (dual-port RAM)	128W×16 b×2	無	32W×16 b×2 (2 PORT RAM) 128W×16 b (ROM)	無
		外部	16 MW×24 bit	1024×1024 (2次元アドレス)	無	無	無
	命令メモリ	512W×48 bit (RAM)	512W×32 bit (RAM)	無	無	無	

さらに将来の方向ではより高度な DSP 応用システムの展開として、DSP をアレイ状に配列した並列プロセッサシステムの構築など新しい構成の研究が期待される。こうしたより高度な信号処理に対しては、ソフトウェアの効率的実施の重要性もますます増加していく。並列システムを効率よく動作させるための高級言語サポートの研究なども行われている。

また DSP のもう一つの展開として、完全なプログラム型 DSP からの展開なども注目される。データフロー型の DSP やさらにはニューラルネットワークと模擬した DSP などとも考えられる。狭義の DSP からデジタル信号処理のいろいろな分野への関わり、相互依存も注目されている。

参 考 文 献

- 1) 小野定康: DSP の発展, 信学会第 1 回デジタル信号処理シンポジウム講演論文集 (1986. 11).
- 2) Mochida, Y. et al.: A High PERFORMANCE LSI Digital Signal Processor for Communication, IEEE J. SAC-3-2, pp. 347-356 (1985).
- 3) 丸田, 西谷: VLSI シグナルプロセッサの発展, 信学会誌, Vol. 71, No. 3, pp. 278-286 (1988. 3).
- 4) 持田, 雁部: 最新の VLSI プロセッサ技術, 信学会論文誌 (1989).
- 5) Nishitani, T. et al.: A Single-Chip Digital Signal Processor for Telecommunications Applications, IEEE J. of Solid-State Circuits SC-16, pp. 372-376 (1981).
- 6) Kikuchi, H. et al.: A 23 k Gate CMOS DSP with 100 ns Multiplication, Proc. ISSCC 83 (1983).
- 7) Hagiwara, Y. et al.: A Single Chip Digital Signal Processor and Its Application to Real-Time Speech Analysis, IEEE Trans., ASSP-31 (1983).
- 8) 96-bit General-Purpose Floating-Point Digital Signal Processor (DSP), Motorola Semiconductor technical data (1988).
- 9) Abiko, S. et al.: Architecture and Applications of a 100 ns CMOS VLSI Digital Signal Processor, Proc. ICASSP, 86 (1986).
- 10) Simar, R. et al.: A 40 MFLOPS Digital Signal Processor, Proc. ICASSP 87 (1987).
- 11) Boddie, J. R. et al.: A Floating DSP with Optimizing C compiler, Proc. ICASSP, pp. 2009-2012 (1988. 4).
- 12) Kawakami, Y. et al.: A 32 b Floating Point CMOS Digital Signal Processor, Proc. ISSCC 86 (1986).
- 13) 雁部, 池沢他: 32ビット浮動小数点信号処理プロセッサ FDSP-4 の開発, 信学技報, CAS 87-135 (1987).
- 14) Komori, S. et al.: A 40 MFLOPS 32-bit Floating-Point Processor, Proc. ISSCC 89 (1989).
- 15) 雁部, 藤井: 汎用 DSP をベースにした DSP ASIC の開発について, 信学会論文誌 A, Vol. J72-A (1989).
- 16) 津田: デジタル信号処理・DSP 技術, テレビジョン学会誌 (1989).
- 17) Yamashina, M. et al.: A Realtime Microprogrammable Video Signal LSI, Proc. ISSCC 87 (1987).
- 18) Nakagawa, S. et al.: A 50 ns Video Signal Processor, Proc. ISSCC 89 (1989).
- 19) Kikuchi, K. et al.: A Single-Chip 16 bit 25 ns Realtime Video/Image Signal Processor, Proc. ISSCC 89 (1989).
- 20) Yamashina, M. et al.: High-Speed Signal Processors, Proc. ISSCC 89 (1989).
- 21) Kosugi, Y. et al.: A Realization of MC/DCT by Video Signal Processors, Proc. SPIE Vol. 1001 Visual Communications and Image Processing 88 (1988).

(平成元年 7 月 31 日受付)