

解説



テスト容易化設計技術の汎用 VLSI への適用†

高田 正日出†† 黒部 恒夫††

1. はじめに

プロセス技術の進歩にともなう VLSI の集積度の向上は著しく、DRAM やマイクロプロセッサといった汎用 VLSI にその影響が大きく現れている。たとえば 32 ビットマイクロプロセッサでは、V80 とか 80486 という 100 万トランジスタクラスの VLSI がすでに開発・市販されている。このような大規模な汎用 VLSI においては、いかに設計すべきかという問題に加えて、いかにテストすべきかが大きな課題となっており、さまざまなテスト容易化手法が試みられている。本文では、汎用 VLSI のテストの問題点を概観するとともに、実際に適用されているテスト容易化手法について解説する。

2. 汎用 VLSI のテストにおける 課題と問題点

汎用 VLSI のテストにおける課題を要約すると、次の 2 点となる。

- (1) 市場不良率を最小とする。
- (2) テストコストを極力低くする。

標準品とも呼ばれる汎用 VLSI の市場不良率は、それをを用いる装置のコスト・信頼性に直接反映するため、その低減に対するユーザの要求は非常に強い。製造時の歩留りを 100% とすればテストは不要となるが、現実には不可能でありテストが必要となる。したがって市場不良率を下げるために、歩留りを向上させ、テストの品質を向上させる（故障検出率を上げる）ことが、汎用 VLSI の供給者の責務となる。しかし一方では、テストのために費やすコストには制約があり、妥当なコストで妥当な故障検出率のテストを行うことが肝要である。

(メモリ)

汎用メモリはほぼ 3 年に 4 倍の割合でビット容量が増大しており、微細化の最先端にある DRAM では、現在、16 Mb DRAM が開発段階にある。VLSI メモリにおけるテストの課題としては、ビット容量の増加にともなうテスト時間の長大化およびこれによるテストコストの大幅な上昇がある。たとえば、1 Mb DRAM を Marching パターンを用いて、サイクル時間 $T_c = 200$ ns でテストすると、約 2 秒かかる。実際のメモリチップのテストでは、さらに複雑なテストパターンを種々のタイミング条件、バイアス条件を組み合わせてテストするため、100 秒以上のテスト時間となる。メモリの基本的なテストパターンには、Checker-board, Marching, Galloping や Walking などのパターンがあり、メモリのビット容量を N とすると、前 2 者が N に、後 2 者が N^2 に比例してテスト時間が長くなる。1 Mb 以上のメモリでは、Galloping や Walking のようなパターンはテスト時間がかかりすぎるため、実用上使えなくなりつつある。

テスト時間の長大化に対する解決策としては、現在、(i) テストパターンの簡略化、(ii) メモリテストによる複数チップの並列テスト、(iii) テスト容易化設計技術のメモリへの導入などを組み合わせた方法が用いられている。このうち、(i) は不良検出率の低下を招く、(ii) はテスト装置のコスト増を招くとともに、並列テストするチップ数に限界があるなどのために、(iii) のテスト容易化設計技術がテスト時間の短縮、さらには、テストコスト削減のために必須技術となりつつある。

(プロセッサ)

マイクロプロセッサのような汎用 VLSI の特徴はメモリのように規則的な構造をとらず、さまざまなタイプの機能ブロックから構成され複雑な動作をすることである。したがって、あるきまったアルゴリズムでテストすることは不可能であり、各 VLSI ごとにテ

† Design for Testability of General Purpose VLSI by Masahide TAKADA and Tsuneo KUROBE (NEC Corporation).

†† 日本電気(株)

ストパターンを作成することが必要となる。テストパターンを得るもっとも単純で従来から行われてきた方法は、対象とするLSIの動作仕様を確認するテストパターンを流用することである。しかし、そのようなパターンを作ることで自体がVLSIに対しては非常に困難な問題となっている。たとえ作れたとしても、テストパターン量が一般に膨大となるためテスト時間が長くなりそのままでは使えない。また、このようなパターンの有効性を確認するために、故障シミュレータを用いることが望ましいが、数十万トランジスタを超えるVLSIに対しては現状の故障シミュレータでは無力である。

自動でテストパターンを発生するツールを用いることも考えられるが、順序回路に適用するのは困難である。また、双方向トランスファゲートやCMOS回路のスタックオープン故障の扱いを苦手としており、マイクロプロセッサにはそのままではまったく適用できない。

このような状況を打破するためには、設計の初期段階からテスト容易化技術の適用を考慮することが必要となる。

3. メモリへのテスト容易化技術の適用例

メモリへのテスト容易化設計技術としては、大きく分けて、(i)チップ内における複数ビットの並列テストと(ii)オンチップ組み込み自己テスト(BIST)の2方式がある。前者は主にテスト時間の短縮化を、後者はテスト容易化を狙った方式であるが、ともに、テストコストの削減につながる。

3.1 オンチップ複数ビット並列テスト方式^{1),2)}

複数ビット並列テストはメモリセルアレーを複数のブロックに分割し、各ブロックに同時にデータの書き込みおよび読み出しを行う方式である。データの比較は、各ブロックから同時に読み出された複数ビットの

データを論理処理によって1ビットに変換し、テスト側で期待値との一致・不一致を判定する。たとえば、1Mbのメモリにおいて、ビット構成が1M×1bであっても、テスト時に256K×4b構成にすることにより、256Kbのメモリと同時の時間でテストできることになる。図-1に、1Mb DRAMに最初に導入された4ビット並列テストのブロック構成を示す。テストイネーブルTE信号に電源電圧以上の高電圧を加えると、並列テスト動作を行う。つまり、入力データD_{in}信号に“1/0”を与えると、4ビットの分割ブロックにデータ“1/0”が並列に書き込まれる。データ出力は4ビットの読み出しデータがすべて“1/0”なら、出力データD_{out}ピンに“1/0”を出力する。もし、1ビットでも異なるデータが読み出される場合には、D_{out}は高インピーダンス状態となる。

この並列テスト方式は4Mb DRAMでは、テスト用に余分な信号ピンが不要で、基準信号の特殊なタイミングで並列テスト動作に入れるロジック方式が実用化されている³⁾。また、テスト結果の判定には、高インピーダンス出力をなくすために、“1/0”の書き込みデータにかかわらず、読み出しデータがすべて一致していれば“1”を、異なるデータが読み出される場合には“0”をD_{out}に出力する方式が採用されつつある。このテスト方式では、テスト時間はセルアレーのブロック分割数に比例して短縮するが、同時にブロック分割による信号配線領域の増大を招くため、実用的には16分割程度が限度となる。

3.2 ワード線一括並列テスト方式⁴⁾

ワード線一括並列テストとはワード線につながる多数のメモリセルを同時に選択して、ワード線単位に並列テストする方式である。図-2に示すように、ワード線WLごとを選択されたメモリセルにテストデータを同時に書き込み、全ビットの書き込み終了後、ワー

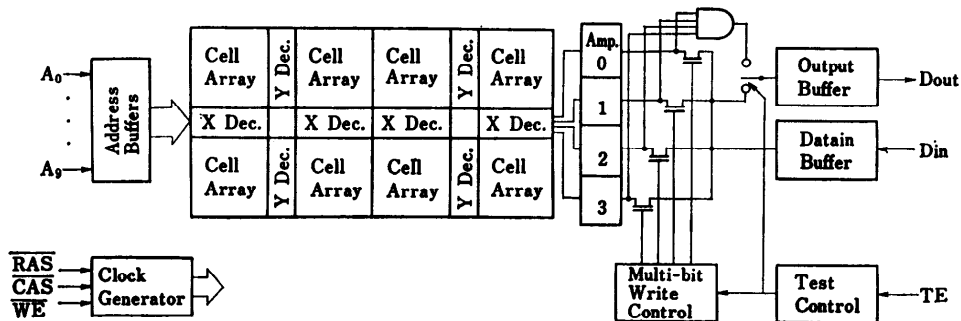


図-1 1Mb DRAMの4ビット並列テストブロック構成¹⁾

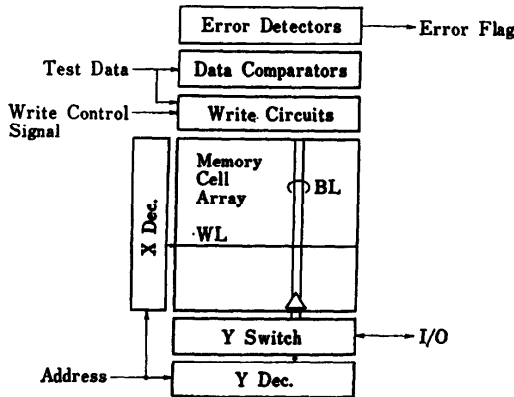


図-2 ワード線一括並列テストを採るメモリのブロック構成

ド線単位に読み出しデータと期待値とを一括して比較し、ビット不良をテストする。この方式では、ワード線につながるメモリセルの数だけテストの並列化が達成され、通常のメモリに比べてテスト時間は数百分の一に減少する。しかし、ワード線一括テストはメモリ動作として、ランダムアクセスではなく、ワード線単位の並列書き込み・読み出し動作を用いるため、メモリセル間のダイナミックなエラー検出ができない欠点がある。今後、シリアルアクセス動作のみを用いる大容量メモリにおいては、有効な時間短縮テストとなるであろう。なお、本テスト方式を 16 Mb DRAM へ搭載した例では、テスト回路の面積オーバーヘッドは 1% 以下と小さい⁶⁾。

3.3 BIST 方式

BIST 方式とはメモリチップ自身に自己テスト機能をもたせ、チップ外部からテスト開始信号を入力するだけの簡単な操作で、チップ自身のテストを自動的に行わせる方式である。BIST 付きメモリはテストの機能の一部をチップ上に有する。したがって、メモリボード上に組み込まれた多数のチップを同時に簡単にテストすることにより、テスト時間の短縮およびテストコストの削減が実現できる利点がある。

BIST 回路は基本的には、テスト用のメモリアドレスを発生するアドレスカウンタ、テストデータを発生するデータ発生回路、テストデータとメモリからの読み出しデータを比較するデータ比較回路

および BIST 回路を制御するテストクロック発生回路とからなる。自己テスト開始信号が印加されると、BIST 回路が動作しテストを実行する。自己テスト中に検出したエラーは Error フラグで表示される。

汎用メモリに最初に BIST 回路が搭載された例は、1987 年の ISSCC で発表された 4 Mb DRAM がある⁶⁾。このメモリのブロック構成を図-3 に示す。搭載されたテストは Checkerboard パターンによる Scan Write/Read テストで、自己テストと 16 ビット並列テストを組み合わせるにより、チップ自身のテスト時間を短縮している。BIST 回路のチップ全体に占める面積オーバーヘッドは 1% 以下と小さい。しかし、このメモリはテストパターンが Checkerboard パターン固定であるため、デコーダ不良やメモリセルのパターンセンシティブ不良が十分に検出されない欠点がある。

テストパターンを可変にできる BIST 回路を搭載したメモリは、1989 年の ISSCC で発表された 16 Mb DRAM (図-4) がある⁷⁾。このメモリでは、一連のテスト手順をマイクロコード化してマイクロプログラム (μP) ROM に内蔵し、この ROM から出力される信号をもとに自動テストを実行し、動作不良を外部に知らせる BIST 方式を用いている。この 16 Mb DRAM のブロック構成を図-5 に示す。ROM のサイズは $18 \times 10 b$ の大きさで、Marching テストと Checker-

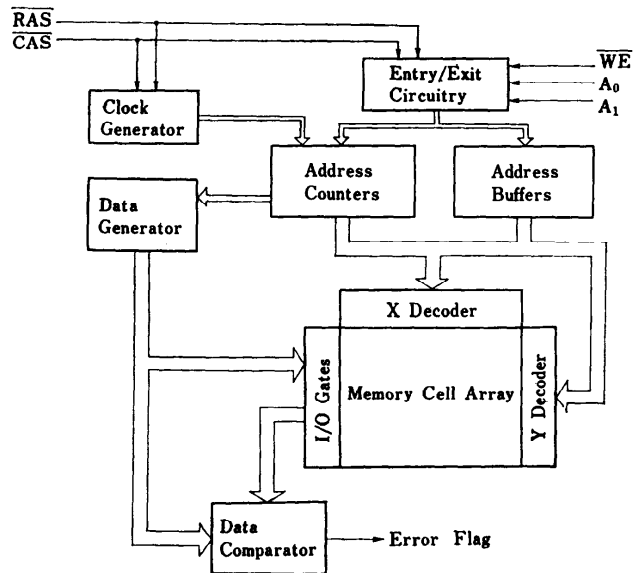


図-3 BIST 機能付き DRAM のブロック構成

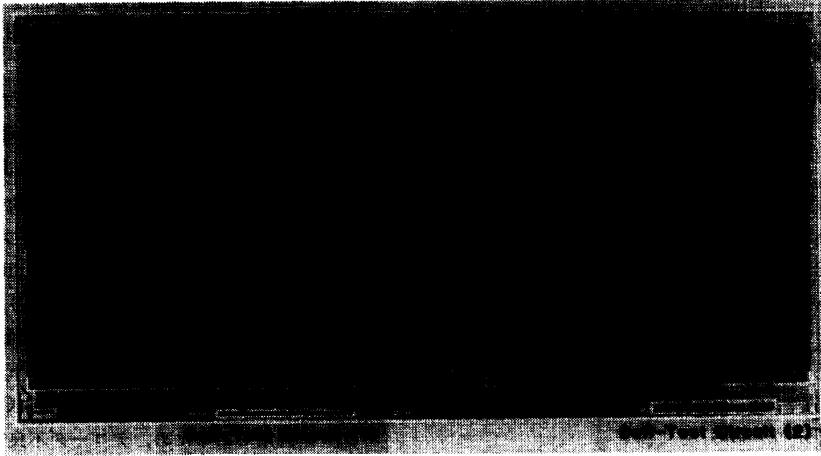
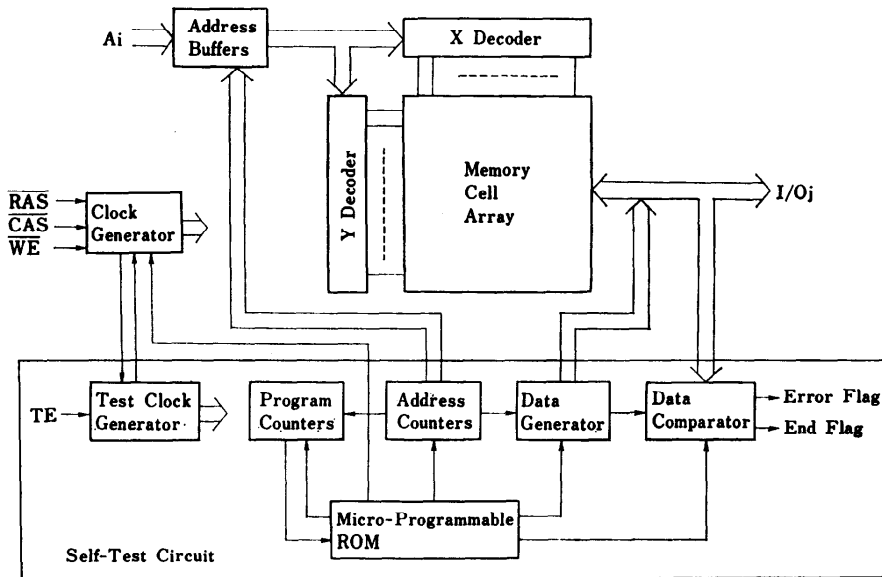


図-4 BIST 機能付き 16 Mb DRAM チップ

図-5 μ P-ROM による BIST 機能を有する DRAM のブロック構成

board パターンによる Scan Write/Read テストの手順が記憶されている。BIST 回路の面積オーバーヘッドは 1% 以下であり、通常動作におけるアクセス時間の遅れも無視できるレベルである。 μ P-ROM による BIST 方式は、ROM サイズを増やすことにより、任意のテスト手順かつ複数の異なるテスト手順を搭載できる利点があり、今後の大容量メモリの BIST 方式として最適である。

4. プロセッサへのテスト容易化技術の適用例

マイクロプロセッサのテスト容易化技術としては、機能ブロック単位の分割テストが主流となっている。これは VLSI を取扱いやすい単位に分割することにより、テストを単純化しその困難さを軽減している。また、これに BIST を組み合わせることによりテス

ト効率を上げることも行われている。具体的な例を、テスト容易化技術の進歩に合わせて説明する。

初期のマイクロプロセッサは4ビットであり、用途は主に電卓で機能が単純でありテストも容易ではあったが、当初からテスト容易化の工夫がなされていた。その大半は、テスト用の外部端子を追加して、可制御性・可観測性を改善することを目的としていた。

ROM がプロセッサに組み込まれるようになると、ROM データを内部バスを介して外部に読み出してテストする ROM ダンプモードが広く適用されるようになった。また、RAM が組み込まれるようになると、RAM を他の部分から切りはなして独立にテストする工夫も行われた。

ROM, RAM といったメモリだけでなく、機能ブロック単位の分割を徹底して行い、VLSI のテストを機能ブロック個々のテストに置き換えることが行われている。たとえば ImPP⁸⁾ では、チップを10個の機能ブロックに分割し、図-6の斜線に示す付加バスによって各機能ブロックを独立にテスト可能としている。外部入出力端子数と各機能ブロックの入出力端子数の違いの整合はスタックを利用することによって行っている。

BIST をはじめてとり入れた汎用プロセッサは、MC 6804 P2 であり⁹⁾、チップを機能ブロック単位に分割し(図-7参照)、個々の機能ブロックのテスト順をスタートスモール(ある機能ブロックをテストするときに一緒に動作させる必要のある機能ブロックは、それ以前にテストされている)とし、そのテスト結果

を S.R. (シグナチャレジスタ) で圧縮し、結果をあらかじめ求めておいた値と比較するというものであった。テストプログラムは ROM に格納され、その一部はユーザテスト用に解放されていた。この手法の拡張を68020にみる事ができる¹⁰⁾。

BIST を用いた興味深い例に 80386 がある。図-8に示すように、三つの大きな PLA と CROM に対しテストパターン発生器として LFSR とバイナリカウンタを用い、テスト結果圧縮器として別の LFSR を用いる並列の組み込み自己テストを適用している。圧縮された4つのテスト結果はさらに圧縮されて EAX レジスタに格納される(ユーザはこのレジスタの内容を読み出すことができる)。このようにして並列テストを行うことによりテスト時間を大幅に削減し、またしらみつおしのテストを行うことにより、ほぼ100%の故障検出率を達成している¹¹⁾。80386 ではほかに TLB (translation lookaside buffer) に別のテスト容易化技術を適用しているが、チップの残り半分の回路については特別なテスト容易化機能を付加せず、人手

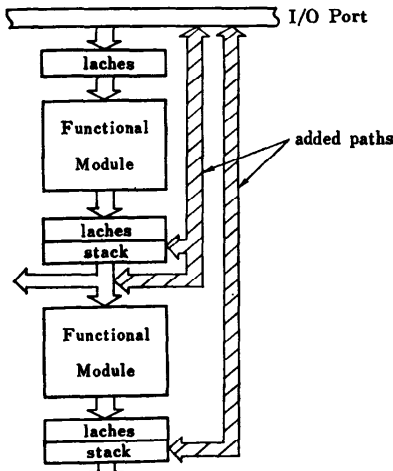


図-6 ImPP のテスト容易化回路

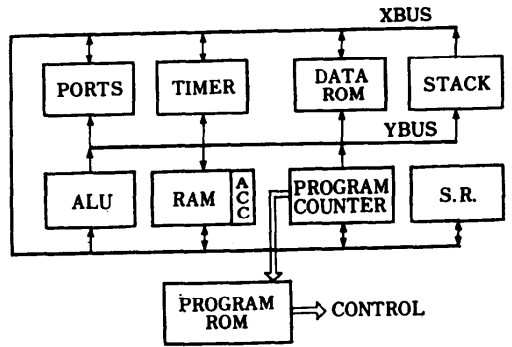


図-7 MC 6804 P2 機能ブロック図

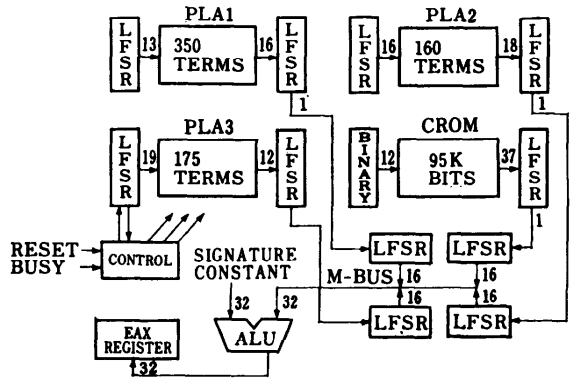


図-8 80386 における BIST

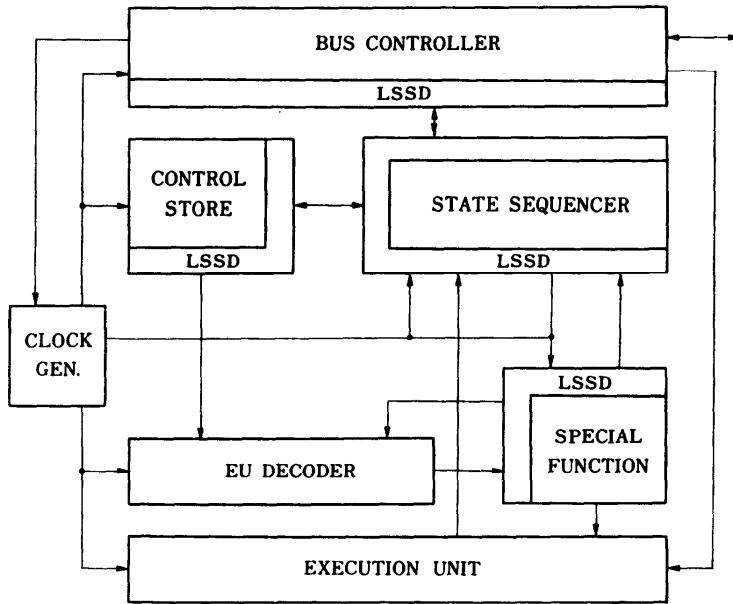


図-9 Micro/370 における LSSD

でテストパターンを作成している。妥当なコストで実現可能なテスト容易化技術が見つからなかったためである。

スキャン方式を適用した例としては Micro/370 がある。スキャン方式としての LSSD テストに加えて、クロックジェネレータの直接的な波形のモニタリングによるテストおよび制御ユニットと実行ユニットに対する機能テストが併用された¹²⁾。LSSD テスト用に、処理速度の低下と面積のオーバーヘッドを極力少なくするため、L1 をダイナミックレジスタ、L2 をスタティックレジスタとするダブルラッチ設計が行われている。LSSD チェインは全部で4つあり、これらは主要な機能ブロックを独立にテストするための分割用のアバダとして使われている(図-9 参照)。スキャン方式は高故障検出率を保証し、故障診断を可能にするというメリットにもかかわらず、マイクロプロセッサへの適用例は少ない。Micro/370 においても部分適用にとどまっている。これはチップ面積に及ぼす影響とタイミング設計上の制約の問題に加えて、従来のマイクロプロセッサがダイナミック回路構成をとることが多く、スキャンパスを適用すると処理スピードに及ぼす影響が大きくなると予測されたためである。しかし、100 万トランジスタを超える VLSI では、消費電力を低減する必要からスタティック回路構成をとることが多くなると予想され、スキャン方式の全面適用は困

難としても部分的に使われるケースが増えると思われる。

5. おわりに

汎用 VLSI に対してテスト容易化技術がいかに適用されているかについて述べた。まだ完成された技術とはいいがたく、さらに多くの研究・試行錯誤が必要であるが、汎用 VLSI のテストにはもはや欠くことのできないものとなっている。また、VLSI 自身のテストだけでなく、VLSI を含むボードおよびシステムのテストも問題となっている。バウンダリスキャン¹³⁾のようにこれをサポートするテスト容易化技術をいかに汎用 VLSI に取り込むかも大きな課題となる。

参考文献

- 1) Inoue, Y. et al.: An 85 ns 1 Mb DRAM in a Plastic DIP, ISSCC Digest of Technical Papers, pp. 238-239 (Feb. 1985).
- 2) Kumanoya, M. et al.: A 90 ns 1 Mb DRAM with Multi-Bit Test Mode, ISSCC Digest of Technical Papers, pp. 240-241 (Feb. 1985).
- 3) Mashiko, K. et al.: A 90 ns 4 Mb DRAM in a 300 mil DIP, ISSCC Digest of Technical Papers, pp. 12-13 (Feb. 1987).
- 4) Inoue, J. et al.: Parallel Testing Technology for VLSI Memories, ITC 1987 Proceedings, pp. 1066-1071 (Sep. 1987).
- 5) Arimoto, K. et al.: A 60 ns 3.3 V 16 Mb DRAM, ISSCC Digest of Technical Papers, pp. 244-245 (Feb. 1989).
- 6) Ohsawa, T. et al.: A 60 ns 4 Mb CMOS DRAM with Built-in Self-Test, ISSCC Digest of Technical Papers, pp. 286-287 (Feb. 1987).
- 7) Takeshima, T. et al.: A 55 ns 16 Mb DRAM, ISSCC Digest of Technical Papers, pp. 246-247 (Feb. 1989).
- 8) Nukiyama, T. et al.: A VLSI Image Pipeline Processor, ISSCC Digest of Technical Papers, pp. 208-209 (Feb. 1984).
- 9) Kuban, J. and Bruce, B.: THE MC 6804 P 2 BUILT-IN SELF-TEST ITC 1983 Proceedings, pp. 295-300 (1983).

- 10) Kuban, J. and Salick, J. : Testability Features of the MC 68020, ITC 1984 Proceedings, pp. 821-826 (1984).
- 11) Gelsinger, P.G. : Built in Self Test of the 80386, ICCD 1986 Proceedings, pp. 169-173 (1986).
- 12) Hao, H.H. et al. : Micro/370 : A 32-bit Single-Chip Microprocessor, IEEE J. of Solid-State Circuits, Vol. SC-21, No. 5, pp. 733-740 (1986).
- 13) JTAG Boundary-Scan Architecture Standard Proposal Version 2.0 (1988).
- 14) Yamaguchi, N. et al. : A Self-Testing Method for Modular Structured Logic VLSIs, ICCAD-84 Proceedings, pp. 99-101 (1984).
- 15) Nozuyama, Y. et al. : Design for Testability of A 32-bit Microprocessor, The TX 1, ITC 1988 Proceedings, pp. 172-182 (1988).

(平成元年 8 月 17 日受付)
