

解説

マイクロプロセッサにおける
テスト容易化設計†

古 屋 清竹

1. はじめに

論理回路の高集積化にともなって、効率のよい（すなわち、故障検出率が高く、系列長の短い）テストを過大な時間をかけずに生成するのが困難になってきた。また、テストの実施に関しても、高価な自動テスト装置（ATE）を長時間使用することによるコストの上昇や、最新の高素子のスピードに ATE の性能が追いつかないといった問題が深刻になっている。そのため、あらかじめ論理設計の段階からテストの生成と実施を容易化するための手段を講じておくテスト容易化設計（DFT=Design For Testability）が取り入れられてきた^{1),2)}。このことは論理回路のテスト問題が、テストパターン生成プログラムの作成に携わる少数のスペシャリストの問題から、多くの回路設計者に係わる問題となったことを意味する。

マイクロプロセッサのテストに関しては、初期の集積度の低いものでは、命令レベルの機能をチェックする機能検査によってもある程度の故障検出率を期待することができた。しかし、最近の 100 K トランジスタ以上の集積度をもつ VLSI プロセッサでは、命令に対する論理が深度化したために、テスト容易化設計を前提とした構造検査が不可欠となっている。

テストの本来の目的は個々の製品テストであり、設計検証とは分けて考えるのが望ましい。しかし、試作段階または生産の初期には、シミュレーションなどによる設計検証の不完全さを補うために、物による設計確認も必要である。また、アルゴリズムに生成されたテストベクトルはタイミングの確認にはほとんど効力がないので、量産時にも設計検証用のシミュレーションデータがテスト入力の一部として用いられている。

したがって、テスト容易化設計においても、製品テストと設計確認の両方を考慮する必要がある。

本稿では、テスト容易化設計の一般的な方策、および DFT 技術のマイクロプロセッサへの適用法や現状について述べる。また、テスト容易化設計の自動化について述べる。

2. テスト容易化設計の方策

テスト容易化によるメリットとしては、故障検出率の向上、テスト生成時間（計算機コスト）の低減、テスト実施時間（テストコスト）の低減、および設計ミス の早期発見と故障分解能の向上による開発期間の短縮などが期待される。一方、付加コストとしては、エリアオーバーヘッドとそれともなう歩留りの低下、ピンオーバーヘッド、および動作速度の低下があげられる。

与えられた VLSI 回路に対して、どのようなテスト容易化手法を適用すべきかは、原理的にはこれらのメリットと付加コストとの兼ね合いから決定すればよい。しかし、各項目の評価自体に多くの労力を要するのに加えて、一元的な評価関数に置き換えるのはさらに困難である。したがって、実際には一定の方針に基づいてテスト容易化設計を進めて、各評価項目が満足されたならば、それを採用することになる。

VLSI 回路に対してテスト容易化設計を適用するための手順は、一応、次のように考えることができる。

- (1) 被検査ブロック (BUT) への分割。
- (2) 各 BUT に対して適用する DFT 技術の決定。および、各 DFT 技術に固有なハードウェアの付加。
- (3) BUT の分離、すなわち各 BUT の可検査性（可制御性と可観測性）を確保するためのハードウェア付加。
- (4) テストの実施方法の決定。

マイクロプロセッサはもともといくつかの論理ブロックから構成されているので、(1)での分割は通常それに従えばよい。(2)における選択肢としては、アル

† Design For Testabilities of Microprocessors by Kiyoshi FURUYA (Department of Electric and Electronic Engineering, Faculty of Science and Engineering, Chuo University).

竹 中央大学理工学部電気・電子工学科

ゴリズミックに生成したテストベクトルを加える通常の方法、全数テストやランダムテストによる BIST, および PLA, RAM などの回路構造に固有なテスト容易化手法などがある。(3)は、既存レジスタやラッチのスカンレジスタ化、およびスカンレジスタやバスとの接続をもつマルチプレクサの挿入によって達成される。典型的には、順序回路の状態 FF や論理ブロックの境界が対象となる。また(4)では、テストの制御を外部テスト、マイクロプログラム、または付加ハードウェアによりどのように分担させるかが問題となる。

3. DFT 技術のマイクロプロセッサへの適用

これまでに、MC 68020³⁾ とそのコプロセッサである MC 68851 PMMU⁴⁾, Micro/370⁵⁾, i80386⁶⁾, 第2世代の VAX⁷⁾, TX 1⁸⁾, Gmicro/200⁹⁾ など代表的なマイクロプロセッサのテスト容易化設計が報告されている。本章では、基本的な DFT 技術を実際にマイクロプロセッサに適用する際の一般的な考え方とこれらのマイクロプロセッサに採用された特徴的な技術について述べる。文献2)にも PLA を中心とした解説があるので参照されたい。

3.1 スキャンバス方式

スキャンバス方式は本来、順序回路を組合せ回路に落としてテストするために考案されたものであるが、マイクロプロセッサでは可検査性を確保するため

に、さらに多くのレジスタにスカン機能を付加する必要がある。しかし、すべてのスカンレジスタを1本のチェーンにつなぐと、スカン時間が長くなるという問題が生じる。そのため、付加ピン数を増やすことなく、スカンバスを分割する方策が必要となる。

68851 では、図-1 に示すように、外部データバスから 28 ビットパラレルバスをとおしてアクセスされる SIA (Scan Interface Accumulator) を設けて、そこからスカンバスを四方に延ばすことによりこの問題を緩和している。

TX 1 では、2本の内部データバスをもつことを利用して、一方のバスの各1ビットから入力し、他方のバスの対応するビットに出力する 29本のスカンチェーンを構成している。全体の4/5にあたる1660個のFFがいずれかのスカンチェーンに含まれている。そのうち、200個は状態FFであり、残りは可検査性の低いレジスタである。スカンチェーンを29本に分けたことによって、もっとも長いものでも64FFとなり、スカンタイムは1/26に減少している。

並列スカン方式では、多くのレジスタを内部バスに接続すると、バスの負荷が増大して動作速度の低下を招く。そのため、Gmicro/200では、専用の検査バスを設けて、並列スカン実現している。並列スカン機能は、制御レジスタ、ユニット間信号の源となるレジスタ、およびROM, CAM, PLAの入力/出力レジスタに対して付加している。

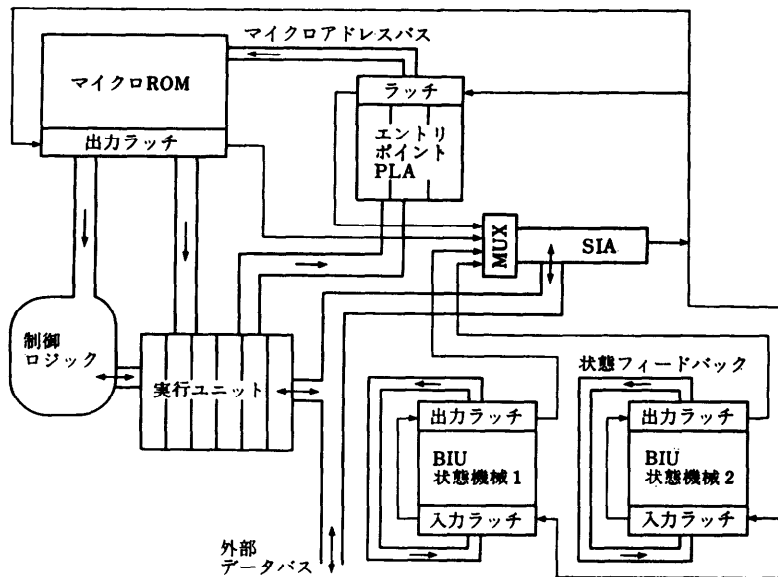


図-1 MC 68851 のスカンバス

スキャン FF の論理構成は、通常はシステムクロックの単相/多相によって制約を受ける程度であるが、使用環境によっては工夫が必要となる。Micro/370 では、制御部のテストには伝統的な LSSD を用いているが、バスコントローラに対しては、スキャンレジスタにおけるタイミング遅延の増加を最小化するために、ダイナミックラッチ L1 とスタティックラッチ L2 からなる修正ダブルラッチを用いている。

可観測性を改善する別な方法として、信号をバスバッファを介して内部バスに引き出すのも有効である。ただし、バスを駆動できるような大きなバッファを用いる必要により、エリアオーバーヘッドとバス速度の低下をとらなう。したがって、信号線数が多い場合にはさらにマルチプレクサを付加して、それをバス幅にまで絞る必要がある。

3.2 ROM のテスト

16 ビット以上のマイクロプロセッサではほとんどがマイクロプログラム制御方式を採用しており、マイクロ ROM やナノ ROM のテストが問題となる。

68020 以前の 68000 フェミリでは、通常の方法でフェッチした命令コードによりマイクロマシンだけを動作させ、ナノ ROM 出力をアドレスバスをとおして観測するアプローチをとっていた。しかし、ナノ ROM 出力がバスを駆動するように作られていなかったために、最大クロックでテストできなかった。またこの方法では、PLA、マイクロ ROM、およびナノ ROM を一つの大きな順序回路として扱うために、テスト系列の作成が困難であった。さらに、マイクロコードを変更した場合にはテスト系列をつくり直す必要があった³⁾。

68020 ではそのため、テスト時にはデータパッドから NMA (Next Microcode Address) バスに直接アドレスを注入する方法をとっている。μROM とナノ ROM はともに NMA によってアドレスされ同じ空間にある。これらは合わせて 116 本の出力線をもつため、テスト用に付加された 4:1 の MUX をとおしてから内部の BC バスに接続されている。出力応答は BC バスからさらに、アドレスバス、アドレス出力レジスタをとおして、アドレスパッドから観測される。

VAX でもこれと同様に、通常はコプロセッサとのインターフェースや割込み用のピンをとおして、外部からアドレスを注入している。

μROM の入力は機械語命令のデコード論理 (たいていは PLA) の出力ともなっているため、スキャン

バスを有効に利用できる場所である。また、μROM 出力にある MIR にスキャン機能を付加すれば、その出力値を観測できるだけでなく、テスト用に任意のマイクロ命令を設定することができる。

68851 では実際に、このようなアプローチをとっている (図-1 参照)。テストパターンとしては、10 本のアドレス線に対して、11 ビット LFSR をシミュレートし、最上位ビットを無視することによって得られた疑似ランダム系列を用いている。各マイクロアドレスの読出しを 2 回ずつ行っているが、単なる全数パターンと比べてどの程度有効かはテスト実施経験により判断するしかない。μROM 出力のラッチ (220 ビット) には、外部から SIA をとおして、スキャンボックスと呼ばれるテスト用のマイクロ命令を注入することができる。制御部、EU、および RPT (Root Pointer Table) のテストに約 600 個のスキャンボックスを用いている。

μROM のアドレス線は通常 10~12 本程度なので、BIST にも適している。全数パターンの発生にはマイクロアドレスカウンタをそのまま用いることができる (80386, TX 1)。

Gmicro/200 では、μROM を自動の連続読出しと BIST の両方でテストすることができる。μROM は 135 ビット×4バンク構成となっており、並列に読み出された 4バンクのうち 1バンクだけがバンクセクタをとおして MIR にストアされる。そのため、ROM アドレスレジスタとバンクセクタ制御回路に自動更新機能を付加している。また、連続読出しを行うために、MIR の内容を検査バスに引き出すための 5:1 セクタと自動更新機能をもった制御回路を付加している。Gmicro/200 では、常に次アドレスを指定するマイクロプログラム方式をとっているため、μROM アドレスレジスタはカウンタよりもエリアオーバーヘッドの小さな LFSR に修正している。

3.3 PLA のテスト

PLA には、各種のテスト法を適用できる。

68020 には 4つのエントリ PLA といくつかのレジデュアル制御用 PLA がある。他の回路からの分離は、それ自身に分岐するテスト用のマイクロ命令を実行させることにより実現している。テストベクトルはテストから命令パイプをとおして加えている。エントリ PLA の出力はいずれも 11 ビットであり、1本の NMA バスを形成している。そのため、これらの PLA の出力応答に対しては、共通の LFSR によるシグネ

チャ解析を適用している。シグネチャは一つの PLA のテストを終えるごとに読み出される。また、これらのエントリ PLA のうち 2 個については、入力をそれぞれ単一のレジスタから受け取っており、全数テストが容易なので、テストパターン生成に LFSR を用いた BIST も可能にしている。

二つの大きなレジデュアル制御用 PLA (ALU 用およびパレルシフト用) の出力は通常、7:1 MUX をとおして 75 本に減らされている。テストモードではさらに、テスト用に付加した 4:1 MUX を用いて、他の小さな PLA 出力と合わせてバス幅にまで本数を減らし、ROM の場合と同じ経路をとおして、アドレスパッドから出力を取り出している。PLA に対するテスト生成は、トランジスタが付加されるような故障モデルの必要性を見いだせなかったという理由で、単一縮退モデルに基づいている。これは、マスク PLA の製造法によっては、正当な故障モデルと考えられる。

68851 は 3 個のエントリポイント PLA: A 0, A 1, A 2 をもつ (図-1 参照)。A 2 は通常入力を EU コマンドレジスタから出力されるスタティックバスから受け取る。このバスはまた、A 0, A 1 と近い位置にある。そこで、A 0, A 1 の入力に MUX を挿入し、これら 3 個の PLA を同じ入力空間において、同時にテストしている。テスト生成はやはり単一縮退モデルによる。

80386 では、PLA についても ROM と同様に BIST を採用している。3 個の大きな PLA に対しては、それぞれに付加したテスト用 LFSR により発生した疑似ランダムパターンを入力として、全数テストを行っている。出力応答はやはりそれぞれに専用の多入力 LFSR により圧縮している。それら多入力 LFSR の出力は直接アクセスできないので、おのおのの 1 ビットをさらに、バスとの接続をもつそれぞれ別な 16 ビット LFSR に入力している。これらの LFSR に蓄えられたシグネチャは、ALU によりオンチップの基準値と比較され、結果はユーザビジブルなレジスタに格納される。

TX1 では、PLA の全数テストは時間がかかりすぎる (2^{23} サイクル) のと、設計検証に役立たないという理由で、PLA に固有なテスト容易化手法が適用されている。OR アレイおよび AND アレイに対しては、それぞれ一本の積項線および入力線だけを活性化するための論理を付加している。出力応答の圧縮は、OR アレイに対しては出力値を、AND アレイに対し

ては積項線の値の EXOR をとったものを LFSR に加えることにより行っている。積項線の活性化機構を付加したために、そのチャージ/ディスチャージ時間が 20% 増加したが、PLA 全体としては仕様を満たすよう設計されている。

3.4 CAM のテスト

近年の高性能マイクロプロセッサには、命令キャッシュ、オペランドキャッシュ、TLB (Table Lookaside Buffer) などの CAM が内蔵されている。

68020 の命令キャッシュのテストは、それ本来の機能を利用している。RTE (Return From Exception) 命令によりキャッシュのテストモードに入ると、フェッチが行われる。入力データは強制的にプログラムカウンタに入れられ、次のキャッシュへのアクセスに用いられる。アクセスがミスしたら、タグの書き込みと、テストから供給されたベクトルのデータフィールドへの書き込みが行われる。アクセスがヒットした場合には、データフィールドが読み出される。テスト系列には、RAM 用の任意のものを使用できる。

68851 の ATC (Address Translation Cache) には LRU (Least Recently Used) 制御回路が付属しており、そのテストは困難である。そのため、エントリを一意的に選択するためのデコーダを付加して、ATC を通常の CAM, RAM としてテストできるようにしている。このデコーダはまた、CAM のすべてのワードラインをアサートするためのバルクロードと呼ばれる機能をもっており、CAM のテストに必要なオールヒットを実現している。

Gmicro/200 のオペランドキャッシュのテストでは、通常の三つの動作モードに加えて、置換ポインタで指定したエントリの読み出し、およびアドレスアレイの読み出しの二つの動作モードを用意している。前者は通常動作モードを組合せにより実現しているが、後者には付加検査回路が用いられており、エントリ方向でなく、ビット方向の 1 列を読み出すことによってハードウェアオーバーヘッドを小さくしている。他の CAM も同様な方法でテストしている。

3.5 実行ユニットのテスト

実行ユニット (EU) はもともと可制御性・可観測性がよいこと、および完全な構造化テストはコストがかかりすぎることから、主として機能テストが適用される。また、EU は仕様要求がきびしいために、大部分はマニュアル設計されるので、設計の確認もテスト容易化設計の重要な目標となる。

Micro/370 では、EU はフルカスタム設計のマクロであり、EU デコーダは二つの PLA によって実現されている。これらに対しては機能テストが適用されているが、EU デコーダについては、第 2 層メタル上のテストポイントから出力を観測することが可能である。データバスは設計が難しいので、テストチップを作ってデバッグとテスト方法の評価を行っている。

TX1 では、マニュアル設計された ALU、パレシフタ、レジスタファイルなどのマクロブロックのテストをより構造的に行っている。付加回路としては、それぞれマクロブロックの入出力制御信号とマイクロ命令を注入するための 2 本のスキャンバス、タイミング回路、および MIR 出力にマイクロ命令を必要とするとき以外は無効にするためのマスク回路を設けている。

TX1 ではまた、レジスタファイルを RAM としてテストするために BIST を用いている。これは、 μ ROM と MIR の間にマルチプレクサを挿入して、マイクロ命令の 2 ビットおよび 3 ビットからなる二つのフィールドに全数パターンを注入するものであり、チェックパターンは ROM に記憶している。

3.6 テストの制御

68020 の場合のように、特定の命令またはマイクロ命令を実行させることによってテストモードに切り換える方法では、MIR を自由に操作できなくなるという不利がある。より構造的なテストを行うには、テスト専用のピンが必要となる。

たとえば Gmicro/200 では、チップの動作を一斉に停止させるための TFRZ (Test Freeze) 信号など 5 本

のテスト用ピンを用いている。また、詳細なテストモードを指定するための 8 ビットのテスト専用レジスタを検査バスに付加している。

BIST は ATE の介入をほとんど必要としない反面、BUT の入力線数に対してテスト時間が急激に増大する。したがって、BIST の利点を生かすには、ATE からの完全なオフライン化や、他のテストとの並列化が重要となる。TX1 のテストでは、通常の ATE を用いた場合、途中で 2~3 秒のディスクアクセスを必要としている。ATE の特性まで考慮するのはテスト容易化設計をさらに煩雑にするが、そうした時間を BIST に割り当てるのも一つの方法である。

4. テスト容易化設計の自動化

VLSI 回路に DFT 技術を適用するには、個々の技術の適用条件やメリットとコストなどに関する知識が必要であり、多くの DFT 技術から適切なものを選択して過不足なく組み合わせるのは容易でない。そのため、テスト容易化設計の自動化または支援ツールが要望されている。このようなツールは、機能を強化するために DFT 技術の追加や修正が常に要求されるので、AI 技術を応用した知識ベースシステムとして実現するのが有利である。

テスト容易な VLSI チップを設計するエキスパートシステムとしては、南カリフォルニア大学で開発された TDES (Testable Design Expert System) がよく知られている¹⁰⁾。TDES は、機能ブロックレベルの回路を対象とし、与えられた回路をグラフモデルに変

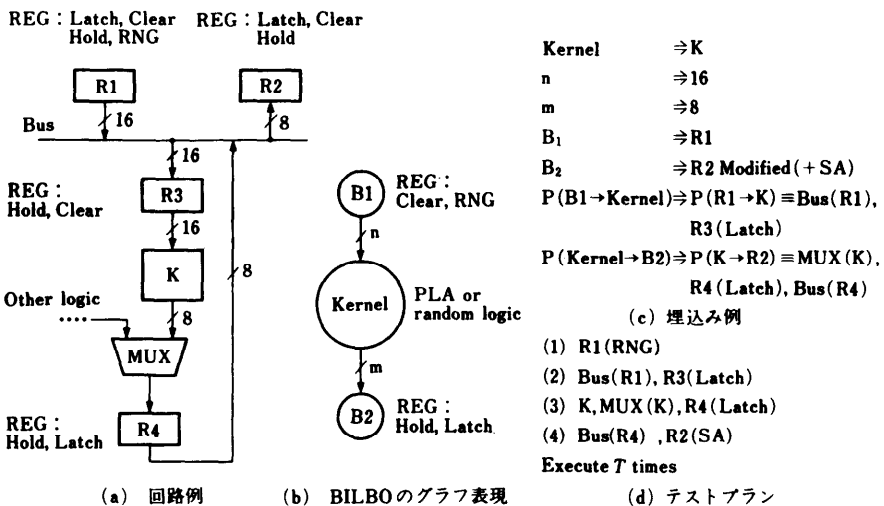


図-2 TDES による DFT 技術の埋め込み

換する。また、各 DFT 技術をテンプレート (グラフの表現)、テストプラン、および評価尺度をスロットとするフレームとして表現し、DFT 技術の適用をグラフの埋め込みに対応させている。いくつかの代案から解を選択するための評価尺度としては、エリアオーバヘッドやテスト時間などの局所的な尺度、どのレジスタを修正すれば複数の回路ブロックのテストに共用できるかといった全体的な尺度、および入出力ピン数やテスト生成の必要性などの DFT 技術の特性に関係する尺度を用いている。

対象回路の例を図-2(a)に、BILBO のグラフ表現を図-2(b)に示す。TDES では、BUT をカーネルと呼んでいる。図-2(b)における枝は、対象回路におけるデータを変更することなく転送できるバス (I-バス) に対応させられる。レジスタ、バス、MUX、ALU などが I-バス上の要素となり得る。

カーネルを K とするとき、生成器 B1 に対しては R1, R3 が、圧縮器 B2 に対しては R2, R3, R4 が候補となる。ここでは簡単に、修正の少ないレジスタを選ぶことにすると、図-2(c)の埋込みが得られる。また、テストプランは図-2(d)のようになる。テストのパイプライン化については文献 11) で定式化されている。

TDES のほかにも、知識の表現法などを工夫したエキスパートシステムが開発されている^{12), 13)}。しかし、いずれも実用に至っていないのが現状である。

5. あとがき

マイクロプロセッサにテスト容易化設計が取り入れられてきた背景の一つには、それに対する信頼性要求がきびしくなってきたことがある。すでに 2 重系を構成するための比較機能を内蔵したマイクロプロセッサが登場しているが、今後の集積度の向上によってもたらされるハードウェア量の余裕は、より多くがフォールトトレランスの強化に向けられるものと予想される。したがって、オンライン誤り検出機構や再試行のためのレジスタ再設定機構などのフォールトトレランス機能と、付加ハードウェアをうまく共有することがテスト容易化設計の一つの課題となるであろう。

テスト容易化設計の支援ツールは、開発の期間とコストに対する制約がきびしい ASIC から次第に実用に供されていくであろう。

参 考 文 献

- 1) Lala, P. K. 著, 古屋, 玉本訳: フォールトトレランス入門, オーム社 (1988).
- 2) 笹尾 勲: VLSI における回路設計方式—PLA を中心に, 情報処理, Vol. 28, No. 5, pp. 613-622 (1987).
- 3) Kuban, J. and Salick, J.: Testability Features of the MC 68020, 1984 ITC, pp. 821-826 (Oct. 1984).
- 4) Giles, G. and Scheuer, K.: Testability Feature of the MC 68851 PMMU, 1986 ITC, pp. 408-411 (1986).
- 5) Shin, F. W. et al.: Testability Design for Micro/370, A System/370 Single Chip Microprocessor, 1986 ITC, pp. 412-418 (1986).
- 6) Gelsiger, P. P.: Design and Test of the 80386, IEEE Design & Test, Vol. 4, No. 3, pp. 42-50 (1987).
- 7) Bhavsar, D. K. and Miner, D. G.: Testability Strategy for a Second Generation VAX Microprocessor Chip, ITC, pp. 818-825 (1987).
- 8) Nozuyama, Y., Nishimura, A. and Iwamura, J.: Design for Testability of a 32-bit Microprocessor, the TX 1, ITC, pp. 172-182 (1988).
- 9) 荒川, 岩崎, 山口, 西向井, 川崎, 稻吉: VLSI プロセッサにおける検査容易化設計法, 信学技報 R 88-28, pp. 29-34 (1988).
- 10) Abadir, M. S. and Breuer, M. A.: A Knowledge-Based Systems for Designing Testable Logic, IEEE Design & Test, Vol. 2, No. 4, pp. 56-68 (1985).
- 11) Abadir, M. S. and Breuer, M. A.: Constructing Optimal Test Schedules for VLSI Circuits having Built-in Test Hardware, FTCS-16, pp. 165-170 (1986).
- 12) D'Souza, D. F.: A Knowledge Representation Scheme for DFT, 1988 ITC, pp. 631-641 (1988).
- 13) 古屋, 小口, 篠田: テスト容易化設計技術の自動埋込みのための知識ベースシステム, 信学論 (A) Vol. J72-A, No. 8, pp. 1205-1212 (1989).

(平成元年 8 月 2 日受付)