

解説

メモリにおけるテスト容易化設計法†



玉本 英夫†

1. ま え が き

半導体集積化技術の進歩はめざましく、集積回路の集積度は飛躍的に増加しつつある。この傾向がもっとも顕著に現れているのは半導体メモリ（以下メモリ）である。このため、記憶容量の増加にともなうテスト時間の増大と、微細化にともなう従来の縮退故障ではカバーできない故障の発生が問題になってきている。

また、一つのチップに多くの機能を実現できるようになり、論理回路だけでなくメモリも含む IC チップが多く作られている。このメモリは埋込み型メモリと呼ばれているが、I/O ピンのみを用いてのテストは難しく大きな問題になっている。

これらの問題に対処しテスト容易化を図るために、なんらかの方策を考えなければならない状況になっている。すでにいくつかの解決の試みがなされているが、大きく分けて三つに分類できよう。①効率のよいテストパターンの開発、②アクセス回路に修正を加えて、複数ビットを並列にテストする機構の開発、③組込みテスト方式の開発、である。①による解決は、すでに限界にきているといつてよい。②、③による解決が現在のところ一番現実的であり、有望であろう。

本文では、まずメモリテストの問題点を明らかにし、次いでこの問題点を解決するために提案されたテスト容易化方式を②、③の方法を中心に紹介するとともに、今後の動向を考察してみる。

なお、以下では特に断わらないかぎり記憶容量 N ビット、1ビット/アドレスのメモリを仮定する。

2. メモリテスト

2.1 故障モデルと検出条件¹⁾

メモリの基本構成図を図-1 に示す。機能的に、ア

ドレスデコーダ（以下デコーダ）、メモリセルアレー（以下セルアレー）、読出し・書込み回路、その他の回路に分けられる。

故障に関しては多くのモデルが提案されているが、ここでは多くのモデルを包含すると思われるモデルとその故障の検出条件を紹介する。

2.1.1 デコーダ²⁾

デコーダは、論理アドレス（アクセスのために印加するアドレス）を物理アドレス（メモリセルの物理的位置）に写像する装置である。正常なデコーダでは、論理アドレスと物理アドレスとが一対一に対応している。故障が発生するとこの対応が崩れる。その崩れ方によって、無選択故障（選択されない物理アドレスが存在する）、誤選択故障（論理アドレスと物理アドレスとの対応が変化する）、多重選択故障（一つの論理アドレスに複数個の物理アドレスが対応する）に分類できる。以下、デコーダの故障を DF で表す。

これらの故障は、論理アドレスと物理アドレスの対応関係を、メモリセルへの書込みデータと読出しデータとの比較をとおして調べることによりテストできる。

2.1.2 セルアレー

メモリセル（以下セル）は、0 または 1 のデータを記憶する回路である。したがって機能をテストするには、各セルに 0 および 1 を書き込みそれを読み出せばよいように思われる。しかし、多数のセルが接近して配置されているために特有の故障が発生する。

(1) 縮退故障 (SAF) セルの内容が 0 または 1 に固定する故障。各セルに 0 と 1 を書き込み、それを読み出すことによってテストできる。

(2) カップリング故障 (CF) セル C_i の内容によって、あるいは内容が変化することによって、別のセル C_j の内容が変化する故障。前者を静的 CF (SCF)、後者を動的 CF (DCF) という。 C_i に 0 (1) を書き込んだ後 C_j の内容を変化させ、その後 C_i の内容を読み出すことによりテストできる。

† Design for Testability in Memories by Hideo TAMAMOTO
(Department of Electronic Engineering, Mining College,
Akita University).

† 秋田大学鉱山学部電子工学科

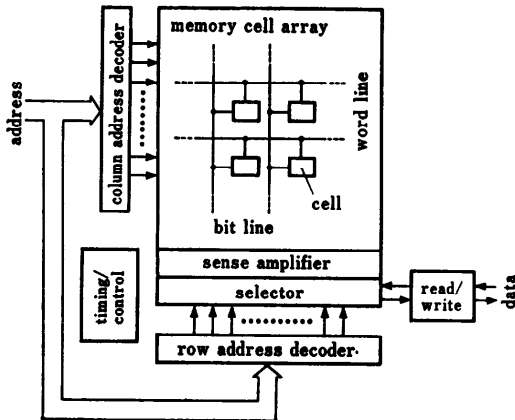


図-1 メモリの基本構成図

(3) パターンセンシティブ故障 (PSF) ある注目しているセル (以下注目セル) の内容が、他のいくつかのセル (近傍セルと呼ぶ) に記憶されているデータのあるパターンによって、あるいはあるパターンと近傍セルの中の1個のセルの内容の変化によって、変化する故障。前者を静的 PSF (SPSF), 後者を動的 PSF (DPSF) という。物理的に一番近い上下左右の4個のセル (隣接近傍セルと呼ぶ) からの影響を考慮する場合が多い。注目セルに 0(1) を書き込んだ後近傍セルにデータを書き込み、その後注目セルの内容を読み出すことによってテストできる。

表-1 各種テストパターン (N は記憶容量)

分類	テストパターン名	アクセス回数	主なテスト目的
N 系	チェッカボード	$4N$	・メモリセルの縮退故障 ・隣接近傍セル間のパターンセンシティブ故障*
	マーチング	$14N$	・アドレスデコーダ故障 ・メモリセルの縮退故障 ・カップリング故障
$N^{1.5}$ 系	シフトダイアゴナル	$4N^{1.5}$	・アドレスデコーダ故障 ・メモリセルの縮退故障 ・カップリング故障
	バタフライ	$8N^{1.5} + 2N$	・アドレスデコーダ故障 ・メモリセルの縮退故障 ・同一行・列間のカップリング故障
N^2 系	ウォーキング	$2N^2 + 6N$	・アドレスデコーダ故障 ・メモリセルの縮退故障 ・カップリング故障
	ギャロッピング	$4N^2 + 2N$	・アドレスデコーダ故障 ・メモリセルの縮退故障 ・カップリング故障

注) * 隣接近傍セルのデータがすべて 0, あるいは 1 を仮定。すべての組合せを考えた場合は, $160N$ のパターン²⁾ が知られている。

読み出し・書き込み回路, その他の回路の故障は, セルアレーの故障と等価とみなすことができる。

2.2 テストパターン²⁾

メモリの機能テストのために, 表-1 に示すような各種テストパターンが考えられている。これらのテストパターンは, アクセス回数が $N, N^{1.5}, N^2$ のいずれに比例するかによって分類される。それぞれ, N 系, $N^{1.5}$ 系, N^2 系と呼ぶ。違いは CF, PSF の影響をどの範囲で考えるかによる。

16Mビットの場合, アクセス時間を 100ns とすると, テスト時間は, N^2 系のギャロッピングでは約 3.6年, $N^{1.5}$ 系のバタフライでは約 15.3 時間, N 系のマーチングで約 23.5 秒になる。 N^2 系, $N^{1.5}$ 系では実施不可能であり, N 系でも許容範囲を超えている。

3. 複数ビット並列テスト方式

1ビット/アドレスのメモリでは, 通常, 1回のアクセスでは1ビットのデータの書き込みあるいは読み出ししかできず, これがテストの高速化の障害となっている。

Saluja らは, デコーダに修正を加え, テスト時に複数ビット同時書き込みの可能な方式を提案した³⁾。故障として4個の隣接近傍セルによる SPSF を仮定している。テスト時には行・列アドレスデコーダの入力のうち下位の2本だけが有効になり, 一時に各デコーダの出力の 1/4 ずつをアクティブにできる。行・列アドレスの下位2ビットを適当に決定することにより, 記憶容量に関係なく 168 回の書き込み操作ですべての活性化パターンの印加を可能としている。デコーダに修正を加えていない通常のメモリの場合, 約 $9N$ 回の書き込み操作が必要であることが示されており, 大幅な書き込み操作回数の削減が可能となる。

読み出し操作に関しては, 同時に読み出したセルの内容が出力端子にいかにも現れてくるかによって, 取扱いが異なる。不明であるとすると同様読み出しは不可能であり, 読み出し操作回数は通常のメモリの場合と変わらないことになる。同時に読み出したセルの内容の OR あるいは AND の形で現れるとすると, 読み出し操作回数は $(16N + 256)$ 回になることが示されている (通常のメモリの場合は $32N$ 回)。

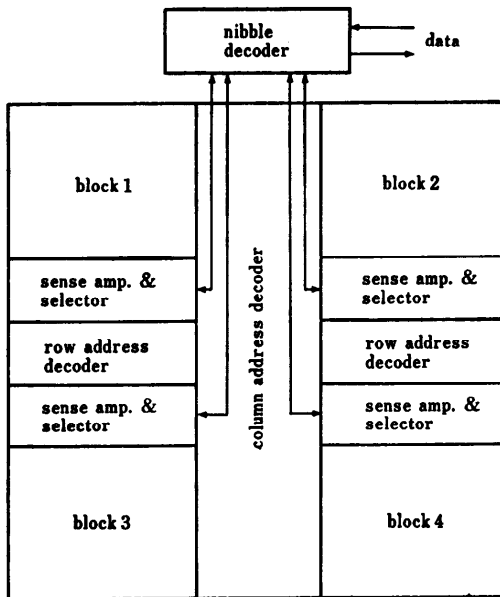


図-2 大容量メモリの構成

読出し操作回数については高々 1/2 の削減しか見込めないことになる。

Saluja らの方式は複数個のセルの同時書き込みを考案した点で画期的であったが、デコーダに大幅な修正を加えなければならないことが大きな欠点である。

日高らは、同様の考え方を実現性を考慮して検討している⁴⁾。大容量のメモリは、通常、図-2 に示すようにいくつかのブロックから構成されている。読み出し時には、各ブロックからの 1 ビットデータがラッチされた後、ニブルデコーダで 1 ビットを選択し外部に出力する。書き込み時には、入力データがニブルデコーダで選択されたブロックに書き込まれる。このような動作を考えて、若干のハードウェアを付加することにより、テスト時に同一データ（1 ビット）を同時に各ブロックに書き込み、また各ブロックからのデータ（1 ビット）を同時に読み出して比較する方式を提案している。比較した結果は、出力端子 D_{out} に次のように出力される。

- a) すべてが“H”のとき $D_{out} = \text{“H”}$,
- b) すべてが“L”のとき $D_{out} = \text{“L”}$,
- c) これ以外のとき $D_{out} = \text{“Hi-Z”}$ 。

各ブロックの読出しデータがすべて“H”，すべて“L”，これ以外を出力端子で判定できることになる。ブロック数を k とすると、 N ビットのメモリを N/k ビットのメモリとしてテストすることができ、テ

スト時間の短縮を図ることが可能となる。各ブロックは独立にテストされるので、CF や PSF のようなセル間の干渉故障を取り扱う場合、書き込みデータは一つのブロックについてのみ考慮すればよい。

このような方式は実現性と有効性を考えた場合に都合がよく、JEDEC (Joint Electron Device Engineering Council) で標準化が図られている⁵⁾。検討されている内容は、①テストモードと通常モードの切替え方式、②テスト結果の出力方式、③同時にテストする並列ビット数、などである。

①については、テストモードに入るとき、通常使わない順序で信号を入力する方式（ロジック方式）、特定の端子に電源電圧以上の電圧を加える方式（スーパーボルテージ方式）が議論されている。なお、日高らの方式ではテストモード端子 T_E を設けている。

②については、複数のメモリセルからの読出しデータがすべて“1”か“0”のとき“1”を、そうでない場合は“0”を出力端子に出力する方式（一致/不一致方式）、複数のメモリセルからの読出しデータがすべて“1”なら“1”を、すべて“0”なら“0”を、そうでない場合は“Hi-Z”を出力端子に出力する方式（1/0/Hi-Z 方式、日高らの方式と同一）、出力端子には 1/0/Hi-Z 方式と同一の信号を出力、テスト時に不要な端子に複数のメモリセルからの読出しデータがすべて“1”か“0”のとき“Hi-Z”を、そうでない場合に“0”を出力する方式（2出力方式）、入力端子から期待値を与え、複数のメモリセルからの読出しデータがすべて期待値と一致していれば期待値を、一つでも期待値と逆のものがあれば期待値と逆のデータを出力端子に出力する方式（期待値比較方式）、などが議論されている。

③については、4, 8, 16 のいずれでもよいとしている。

なお、JEDEC での議論の詳細については、文献5)を参照されたい。

4. 組込み自己テスト方式

3. の複数ビット並列テスト方式では、外部に通常のテスト装置を必要とする。また、テスト時間を考えた場合、アクセス回数が $1/(\text{定数})$ になるだけなので、大幅な短縮は期待できない。さらにテスト容易化を図るためには、別の発想のアプローチが必須であろう。

一般に論理 IC のテスト容易化設計法として組込み自己テスト方式（以下 BIST）が注目されている⁶⁾。

BIST の利点としては、次の2点が考えられよう。

① チップの外部にテスト装置が不要、あるいは簡単なテスト装置だけで済むので、多数のチップの同時並列的なテストが可能になる。このため、テスト時間を製造と出荷の間の時間遅れの形で吸収できる。

② チップ内の任意の場所に観測点や制御点を設けることができるので、外部のテスト装置では困難あるいは不可能な方法でテストができる。このため、効率のよいテストを実施でき、テスト時間を大幅に短縮することが可能になる。

メモリに関しても、上記①、②の発想に基づき各種 BIST が提案されている。

4.1 ①の発想の BIST

樹下は、チップ内部にテスト系列発生回路と応答の圧縮回路および判定回路を組み込む方式を提案した⁷⁾。メモリは内部機構が比較的単純なためにテスト入力に規則性の強い系列を用いることができ、これにともない規則性の強い応答を得ることが可能である。したがって、テスト系列発生回路も圧縮回路も比較的簡単な構成で実現できる。故障としては、SAF, PSF, DF を仮定している。SAF と DF の検出のためには系列長 $2N^2$ のテスト系列、PSF の検出のためには系列長 $320N$ のテスト系列を用いる。いずれの場合も応答は1ビットに圧縮され、判定結果が外部に出力される。テスト入力系列長については特に短縮が図られておらず、①の立場の BIST といえよう。

樹下らはこの考え方をさらに発展させ、マイクロ符号化 ROM にテストの手続きを書き込んでおき、テスト時にその内容に従ってテストを実行する方式を提案した⁹⁾。基本構成図を図-3 に示す。テスト時には制御回路からテスト系列を印加し、応答を圧縮回路で圧縮する。圧縮した値と ROM に書き込まれている期

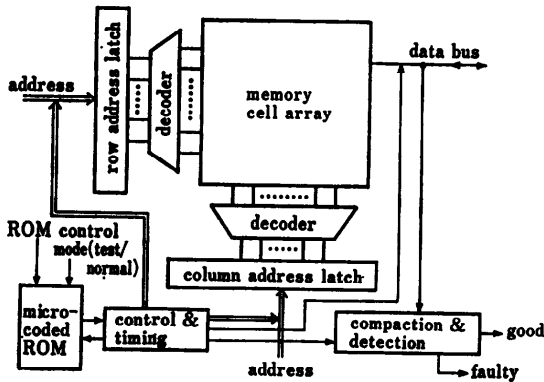


図-3 マイクロ符号化 ROM を用いた BIST⁹⁾

待値とを比較して良・不良の判定を行い、結果を出力する。故障としては、SAF, PSF (の特殊なもので隣接近傍セルのデータの1の個数に依存して注目セルの内容が変化する故障)、DF を仮定している。SAF と PSF は系列長 $3N \sim 9.5N$ のテスト系列で、DF は系列長 $5N$ のテスト系列でテストできることが示されている。また、マイクロ符号化 ROM の内容についても具体的な検討がなされており、 N に関係なく3325ビットになる。

4.2 ②の発想の BIST

メモリの基本動作を考えてみよう (図-1 参照)。論理アドレスを印加すると行デコーダで1本のワード線が選択され、これにつながるすべてのセルが読出しあるいは書き込み可能な状態になる。次に列デコーダとセレクトタによって1本のビット線が選択され、前に選択されたワード線との交点にあるセルに対して書き込みあるいは読出しの操作が行われる。セレクトタとセルアレーの間のビット線で信号の制御と観測を行えば、1本のワード線につながるすべてのセルに対して一度にデータを読み出し、また書き込むことが可能になる。

この考えに基づき、玉本らは1本のワード線につながるすべてのセルを一度にテストの対象にできる方式を提案した⁹⁾。基本構成図を図-4 に示す。ビット線観測・制御装置を付加することにより、テスト時には1本のワード線につながるすべてのセルに同時に書き込みおよび読出しができる。テスト系列発生器からテスト系列を印加して応答を圧縮回路で圧縮し、その結果をもとにして良・不良の判定を行う。基本的な考え方は複数ビット並列テスト方式と類似しているが、テスト装置を内蔵している点、並列度が大幅に増えている点が大きく異なる。故障としては、SAF、隣接近傍セル間 PSF を仮定している。セルアレーが $\sqrt{N} \times \sqrt{N}$ に配置されているとすれば、テスト系列長は $302\sqrt{N}$ になる。通常メモリで同様の故障を仮定した場合、系列長 $160N$ のテストが必要なので¹¹⁾、大幅にテスト時間を短縮できることになる。この方式は BIST によって初めて可能になっており、②の立場の BIST といえよう。

Sridhar は、同様の発想の方式を提案している¹⁰⁾。列レコーダの前、あるいは内部でビット線に PSA (Parallel Signature Analyzer) を付加し、テスト時に複数個のセルに同時にデータを書き込み、また読み出すことを可能にしている。PSA には、スキャンモ-

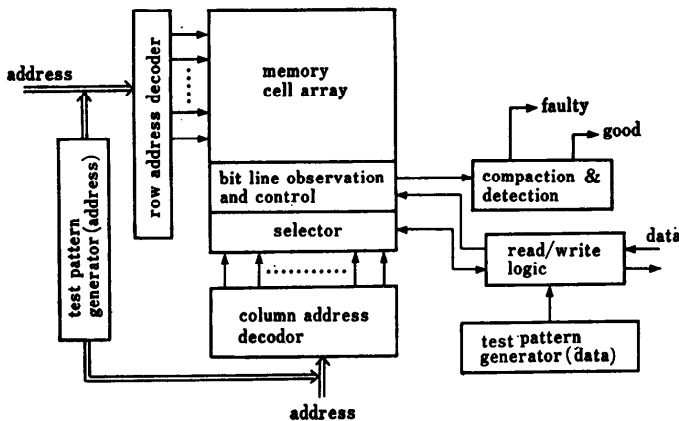


図-4 1ワード線上の複数のセルのテストを行う BIST¹¹⁾

ド、ライトモード、シグナチャ/リードモードの三つのモードがある。スキャンモードで外部から書き込みデータをスキャンインし、ライトモードでそのデータを複数のセルに書き込み、シグナチャ/リードモードで複数のセルのデータを読み出すと同時に圧縮を行いシグナチャを求める。テスト終了時のシグナチャはスキャンモードでスキャンアウトし、外部で期待値と比較する。アドレスは外部から印加する。テスト系列としては、チェッカボード、マーチング、ウォーキングなどの従来のアルゴリズムの利用を考えている。PSA に接続されるビット線の本数を p 本とすると、 N ワード、 d ビット/アドレスのメモリを考えた場合、 N 系、 N^2 系のテストは系列長をそれぞれ $1/F$ 、 $1/F^2$ ($F=p/d$) に短縮できる。

4.3 埋込み型 RAM の BIST

埋込み型RAM の特徴は、① I/O ピンから直接書き込み操作、読み出し操作をすることができない、②比較的小容量である(数十 kB 以下)、③複数ビット/アドレス構成になっている、④他の構成部分のテストも考慮する必要がある、などであろう。①からは BIST が必須であること、②からは従来のテスト系列を用い特に高速化を図らなくてもよいこと、④からはテスト方式を他の構成部分と共通にできれば都合がよいこと、などがいえる。

論理 IC に対する BIST では、LFSR (Linear Feedback Shift Register) を擬似ランダム入力発生器および出力のシグナチャ解析器として用いることが多い⁶⁾。しかし、一般にメモリではテスト入力系列としてランダムパターンを用いる方法は有効でないといわれており¹³⁾、LFSR でアドレス、データともに発生す

る方式はほとんど提案されていない。

Sun らは、アドレスレジスタ、入力レジスタ、出力レジスタに修正を加え、テスト時にアドレスレジスタを LFSR に、入力レジスタをカウンタに変更してテストを行う方式を提案している¹¹⁾。基本構成図を 図-5 に示す。修正アドレスレジスタ (LFSR) でアドレスを発生し、修正入力レジスタ (カウンタ) で書き込みデータを発生してテスト入力系列とする。応答は比較器で期待値 (書き込まれたデータ) と比較し、良・不良の判定を行う。各レジスタはスキャンモードをもっており、これ

を用いてテスト装置用のテスト入力とメモリテストの初期値をスキャンインし、また応答をスキャンアウトすることができる。

同様の方式 (アドレスを LFSR で発生、応答を比較器で比較) が Nicolaidis によっても提案されている¹²⁾。二つに分けられた各ブロックに同じテスト系列を加え、二つのブロックからの応答を互いに比較する。

Jain ら¹³⁾、および Dekker ら¹⁴⁾は、アドレスをカウンタで発生し、応答を並列入力の LFSR で圧縮する方式を提案している。

アドレス生成にカウンタ、LFSR のいずれを用いるかについては、LFSR のほうがハードウェア量が少なく済む^{11),12)}、LFSR ではすべて 0 のパターン発生するのに付加回路が必要である¹⁴⁾、LFSR では PSF をテストしにくい¹³⁾、などの指摘がある。応答の圧縮については、比較器のほうがカバレッジが優れてい

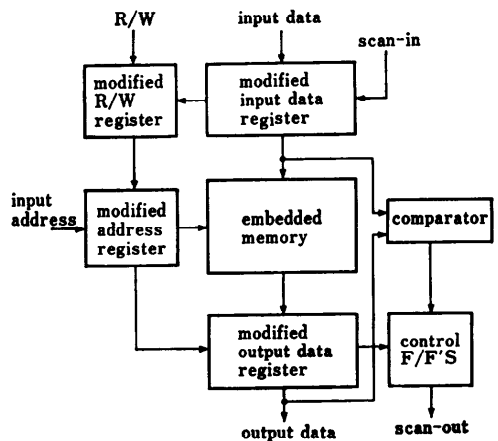


図-5 埋込み型 RAM の BIST¹¹⁾

る¹¹⁾, LFSR のほうがハードウェア量が少なくて済み動作も速い^{13),14)}, などの指摘がある。

テスト入力系列としては、いずれもマーチング、あるいはその変形、チェッカボードなど従来のパターンを用いている。

山田らは、埋込み型 RAM のような小容量のメモリでは、テスト入力系列にランダムパターンを用いてもテスト時間に関して許容範囲内で良好なテストのできることを示している¹⁵⁾。テスト入力系列の発生、応答の圧縮のいずれにも LFSR を利用できるため、他の構成部分と同一のテスト方式の適用が可能となる。

5. 今後の動向

以上、メモリのテスト容易化設計法を紹介してきた。さまざまな立場からさまざまな方式が提案されている。どの方式が本命であるかは、簡単には判断できない。メモリ本来の設計にあまり変更を加えたくないとすると、3.の複数ビット並列テスト方式が有効である。テスト時間の大幅な短縮を図りたいとすれば、4.2.2の複数ビットの同時テストを行う BIST が有効である。

テストは、製造時、受入れ時、実装後の三つの場面で行われる。「RAM 本来の機能からみれば、やはりまだたかがテスト⁶⁾」であり、設計に大きな変更を加えることは望ましくない。テスト時間に大きく影響を与えているのは PSF の存在であるが、ノウハウの蓄積により、テスト・パターン依存性の少ない RAM が実現されるようになってきている⁶⁾。以上の3点を考慮すると、複数ビット並列テスト方式を BIST で実現する方法が、現在のところ一番現実味のある解のように思える。しかし、将来的には、さらに進む大容量化に対処するために、1ワード線上の複数ビットの同時テストを行う BIST のように並列度の高いテスト方式を検討する必要がある。

6. あとがき

以上、メモリのテスト容易化設計法の紹介を行うとともに今後の動向を考察してみた。さまざまな立場でさまざまな試みがなされている状況であり、本命を見つけ出すことは難しい。大容量化がさらに進む中で、テスト時間の短縮化はますます重要性を増してくる。多くの試みと議論を通じて、有効かつ実現性のある解が見出されることが望まれる。

最後に、本解説を執筆するにあたり、ご討論いただいたアイオワ大学 S.M. Reddy 教授に謝意を表す。

参考文献

- 1) Abadir, M.S.: Functional Testing of Semiconductor Random Access Memories, *Computing Survey*, Vol. 15, No. 3, pp. 175-198 (1983).
- 2) 玉本英夫: 論理回路の故障診断, 5章, 日刊工業新聞社 (1983).
- 3) Saluja, K.K. and Le, K.T.: Testable Design of Large Random Access Memories, *Integration, VLSI J.*, Vol. 2, No. 4, pp. 309-330 (1984).
- 4) 日高秀人他: 大容量 DRAM のテスト効率化のためのオンチップマルチビットテスト機能, *信学論(C)*, Vol. J70-C, No. 10, pp. 1391-1398 (1987).
- 5) 古山 透, 大澤 隆: 4 MDRAM のテスト時間短縮にオン・チップ自己テスト機能も, *日経マイクロデバイス*, 別冊 No. 1, pp. 183-196 (1987).
- 6) Könemann, B. et al.: Built-in Test for Complex Digital Integrated Circuits, *IEEE J. Solid-State Circuits*, Vol. SC-15, No. 3, pp. 315-319 (1980).
- 7) 樹下行三: コンパクト検査法を用いたメモリの組込み検査法, *情報処理学会電子装置設計研究会資料*, 11-4 (1981).
- 8) Kinoshita, K. and Saluja, K.K.: Built-in Testing of Memory Using an On-Chip Compact Testing Scheme, *IEEE Trans. Comput.*, Vol. C-35, No. 10, pp. 862-870 (1986).
- 9) 三浦, 玉本, 成田: 1ワード線上の複数個のセルの同時検査を可能にした半導体メモリの組込み検査, *信学論(D)*, Vol. J70-D, No. 6, pp. 1116-1125 (1987).
- 10) Sridhar, T.: A New Parallel Test Approach for Large Memories, *IEEE Design & Test of Computers*, Vol. 3, No. 4, pp. 15-22 (1986).
- 11) Sun, Z. and Wang, L.-T.: Self Testing of Embedded RAMs, *Proc. 1984 IEEE ITC*, pp. 148-156 (1984).
- 12) Nicolaidis, M.: An Efficient Built-in Self-Test Scheme for Functional Test of Embedded RAMs, *Proc. of FTCS-15*, pp. 118-123 (1985).
- 13) Jain, S.K. and Stroud, C.E.: Built-in Self Testing of Embedded Memories: *IEEE Design & Test of Computers*, Vol. 3, No. 5, pp. 27-37 (1986).
- 14) Dekker, B. et al.: Realistic Built-in Self-Test for Static RAMs, *IEEE Design & Test of Computers*, Vol. 6, No. 1, pp. 26-34 (1989).
- 15) 山田, 中嶋: 擬似ランダムパターンを用いた埋込み型 RAM の組込み自己テスト, *信学論(D-I)*, Vol. J72-D-I, No. 1, pp. 43-49 (1989).

(平成元年8月21日受付)