

## 解説

## 2. 専用 VLSI プロセッサの具体例



## 2.4 VLSI 画像処理プロセッサ†

前 田 明竹

## 1. ま え が き

ディジタル画像処理は、アナログ処理に比べ、柔軟性、精度、再現性に優れているなどの利点をもち広く利用されてきた。その反面2次元状に配列された膨大な画像データを扱う必要があること、特有の画素アクセス方法が必要であること、などの理由から既存の汎用計算機では高速処理が難しい側面がある。しかしながら画像処理は本質的に大きな並列性を有しているため、その並列性を活かし高速処理できる可能性がある。実際これまで並列方式を基本としたさまざまな画像処理プロセッサが提案され開発されてきた。さらに最近のLSI技術の進展にともない、画像処理の特長を利用した画像処理専用VLSIが多数発表されている。

以下において画像処理方式(アルゴリズム)に簡単に触れた後、これらの画像処理専用VLSIの諸元、特徴、発展動向について概説し、引き続きいくつかのVLSIを取りあげ、そのアーキテクチャ、システム構成方法、について解説する。

## 2. 画像処理方式

一般に画像処理は、一つあるいは複数の画像から他の一つの画像を生成する処理と、画像から特徴量などの数値またはシンボルへと変換する処理とがある。通常前者を狭い意味での画像処理と言う。一つの出力画素を得るため、その近傍の画素のみを用いる場合と、広い領域の画素を用いる場合とがある。前者を局所処理あるいは近傍処理、後者を大局処理と呼ぶ。局所処理には、境界線を追跡する場合などのように逐次的にしかできない場合と、画面全体を同時に処理できる場合とがある。画面全体の並列性を画面並列性あるいは

空間並列性と呼ぶ。全画素に一つの演算器を対応させ、この並列性を利用し、全画面を同時に処理する方式を完全並列処理方式という。局所処理を細かくみるとそれ自身にも並列性が存在する。たとえば $3 \times 3$ の空間フィルタリング処理では、 $P_i$ を画素値、 $W_i$ を重みとすると

$$\sum_{i=1}^9 P_i \times W_i \quad (1)$$

で示される積和演算を行う。この演算における乗算はすべて同時に実行でき、さらに加算も部分和を順々に求めていくことにより並列に実行できる。この並列性を局所並列性と呼ぶ。大局処理の例としてはフーリエ変換などがある<sup>1)</sup>。

また画像処理においては一連の処理を各画素に対して順々に施していく場合がある。このとき演算器を各処理ごとに割り当てることにより、演算器台数分の並列性を得ることができる。この並列性を時間並列性と呼び、これを利用した処理をパイプライン方式という。

これまで開発されたさまざまなシステムでは、上述の空間並列性、時間並列性を活かし、画像の高速処理を実現しており、VLSI画像処理プロセッサでも同様になんらかの形でこれら並列性を利用している。

画像処理の場合非常に大きな2次元データを扱うため、そのデータアクセスの方法に特別の配慮が必要となり、 $x$ 座標、 $y$ 座標からなる2次元アドレスで画素をアクセスするなど、各LSIで種々工夫がなされている。例として全体画像から $3 \times 3$ の大きさの部分画像を次々と取り出す場合を考える。各画素を行方向に沿って順々に“ラスタスキャン方式”に従い読み出し、図-1に示すように1行分の長さをもつ3本のラインメモリにシフトレジスタ的に流し込む。その結果、この3本のメモリの右端に $3 \times 3$ の部分画像を次次と得ることができる。

† VLSI Image Processor by Akira MAEDA (Information Systems Laboratory, R&D center, Toshiba Corporation).

竹 (株)東芝総合研究所情報システム研究所

### 3. VLSI 画像処理プロセッサの具体例

画像処理のもつ空間並列性、時間並列性を利用し高速化を図った VLSI が多数発売されている。その一部を古いものから順に表-1 にまとめておく。このほかにも 89 年度の ISSCC (International Solid-State Circuits Conference) では 5 ns で 1 演算を行う BiCMOS の LSI などさらに高速なものが発表されている。大きな流れとして LSI 技術の発展に従いチップ自体の大規模化、高速化と同時に、内蔵メモリ容量を大きくし、なるべくチップ内に画像を取り込み外部とのデータ転送頻度を下げ、実効的な処理速度向上を図る方向に向かっている。画像データをいかに効率良くチップ内に取り込むかは大きな課題であり、複数のポートを設けたり、外部との入出力動作と内部の演算を独立に実行させたり、いろいろな工夫がなされている。

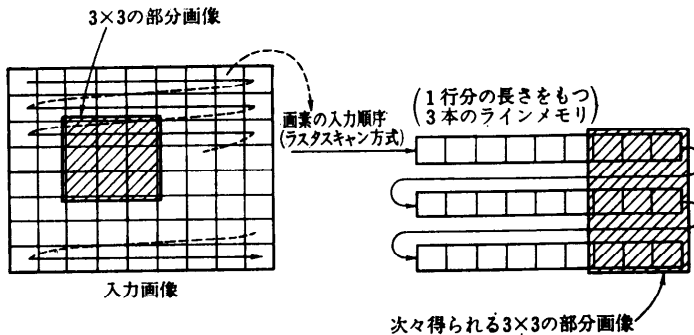


図-1 3×3 の部分画像のアクセス方法

表-1 画像処理 VLSI の諸元

名称 (製造者)	素子技術	使用トランジスタ数	データ形式 (ビット長)	サイクル タイム (ns)	備考	文献
ImPP (NEC)	nMOS 1.75 μm	115 K	16	200		2)
T 9506 (東芝)	CMOS 1.2 μm	170 K	32	100	1024 点 CFFT 2 ms	3)
ZR 34161 (Zoran)	CMOS 2.0 μm	70 K	16	100	1024 点 CFFT 3.3 ms	4)
RISP-II (松下)	ECL 1.5 μm	20 K	16	15		5)
μPD 77230 (NEC)	CMOS 1.5 μm	370 K	24 e 8*	150	1024 点 CFFT 12.3 ms	6)
MSM 6992 (沖)	CMOS 2.0 μm	125 K	16 e 6*	100		7)
ISP-II (日立)	BiCMOS 1.8 μm	104 K	8	40		8)
DSP (日立)	CMOS 1.3 μm	430 K	16/32	50	512 点 CFFT 1.5 ms	9)

\* 浮動小数

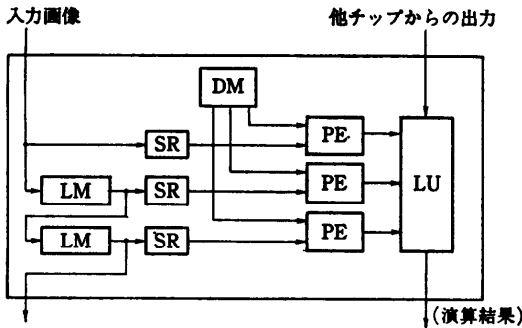
処理の並列性を活かすため、ほとんどのチップは複数の演算器をもつとともに、パイプライン方式を採用している。さらに並列性を利用するため複数のチップを接続させることを意識して設計されている LSI もある。専用 LSI においては、処理が比較的簡単あるいは固定的であるため、これまではプログラミングについてはあまり考慮されず、少容量のメモリを職人芸的に有効に活用し、効率の良いプログラムをライブラリとして提供する場合が多かった。しかしながら画素同士の単純な処理ではなく、原画像から得られた特徴量により高度な処理を行う場合、より柔軟なプログラミング手法が要求される。現在の画像処理用 VLSI ではこのような要求を十分満たしているとは言えず、今後の一つの課題である。

以下では、多数の VLSI の中から、

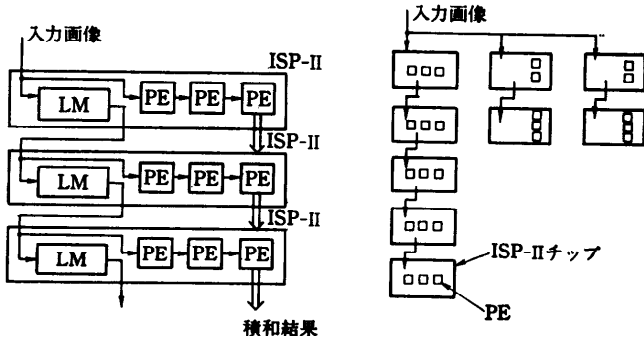
- (1) 複数のチップを組み合わせ、処理対象の画像の大きさに合わせたシステムが構築できる ISP-II
  - (2) 並列性を自然な形で抜き出すデータフローを基本とした Impp
  - (3) 三つの入出力ポートをもつパイプライン型のプロセッサである T 9506
  - (4) ベクトル処理により効率の良いパイプライン動作を実現した ZR 34161
- についてその詳細を説明する。

#### 3.1 処理対象に適合した規模のシステム構築可能な画像処理プロセッサ

局所処理では、同時に処理する局所画像の画素数分の演算器が必要となる。このため任意の大きさの局所画像に対応するには、あらかじめ演算器の台数を拡張する機能を LSI に埋め込んでおく必要がある。ISP-II は、(1)式で表現される空間フィルタリングを複数のチップで実現することを基本とした LSI であり、任意の大きさの局所画像に対応したシステムを構築できる。その構成は図-2(a) に示すように 3 台の演算器 PE、



(a) ISP-II の内部構成



(b) 三つのチップによる 3×3 のフィルタリングの実行 (c) 9つのチップによる 5×5 のフィルタリングの実行

図-2 ISP-II の内部構成とシステム構成

重みを格納するデータメモリ DM、各 PE および他チップからの出力を加算するリンケージユニット LU、処理対象画像の 1 行分のバッファとなる 2 本のラインメモリ LM、さらに各 PE への入力タイミングを調整するシフトレジスタ SR からなっている。この ISP で 3×3 の大きさの局所画像を処理する方法として一つのチップにより時分割で処理する場合と、三つのチップを用いて並列処理する場合とがある。前者の方式では、入力画像はラスタスキャン的に順々に各 LM に読み込まれ、SR に取り込まれる。この結果三つの SR には 3×3 の局所画像が次々と格納され、この 9 つの画素と DM 内の重みが三つの PE により 3 サイクルかけて積和されていく。三つのチップを用いる方式では、図-2(b) に示すように三つの PE をシリアルに接続し、9 つの PE に 3×3 の局所画像を格納する。9 つの乗算は同時に実行され各 PE の LU により足し合わされる。この ISP-II では、シフトレジスタ SR の長さ (このチップでは 8) で制限されるが、任意の大きさの局所画像を処理することができる。図-2(c) に 5×5 の大きさの局所図形に対し並列に処理する場合の構成例を示す。第 1 列の 5 つのチップでは内部の

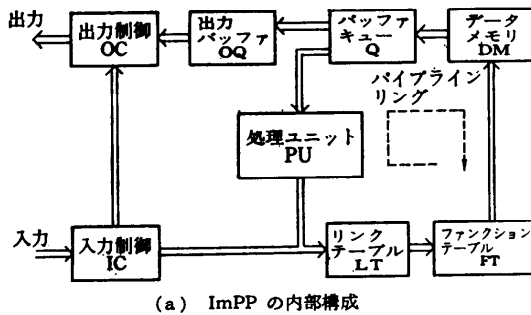
PE をシリアルに、第 2, 3 列では並列に接続する。各列とも同一の画像を入力するが、第 2, 3 列の SR の段数をそれぞれ 4, 5 に設定すればよい。

ISP-II では上述の機能のほか、ラインメモリ LM をカスケードに接続し、より大きな画像に対応できるなど、柔軟なシステム構築能力を有している。

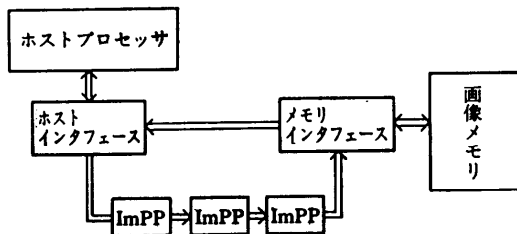
### 3.2 データフロー型画像処理プロセッサ

画像処理の並列性を自然な形で実現することを旨とした、可変パイプラインを基本とするデータフロー型プロセッサに ImPP がある。この LSI はデータフローマシンのもつ並列化機能によりプログラマに意識させることなく並列実行させようとするものである。ImPP は図-3(a) に示すごとく、処理ユニット PU、リンクテーブル LT、ファンクションテーブル FT、データメモリ DM および PU へのバッファ Q からなるパイプラインリングのほか、このチップへのデータ入力を制御する IC、出力を制御する OC と出力データのバッファ OQ から構成される。LT および FT は

通常の計算機のプログラムに相当する情報を IC 経由で格納する。このチップの動作はおおよそ次のとおりである。IC および PU からのトークン (制御情報、データで構成される) はその制御情報を用い LT, FT から、置き換えるべき新たな制御情報、DM アドレス、PU で実行すべき演算情報などを引き出す。2 項演算の場合このトークンのもつ DM アドレスにより演算相手となるデータを読み出し、二つのデータを揃えバッファ Q に送る。このとき DM 内にまだデータが届いていない場合はこの DM で待ち合わせる。このようにデータフローマシンではデータの揃ったものから演算が実行されるため、実行順序を陽に指定する必要がない。PU に送られたトークンは指定された演算を施された後、再びパイプラインループに送られる。このチップから出力すべきトークンは OQ, OC を経て外部に送り出される。このループには複数個のトークンが回っており、パイプライン的に PU で次々と処理されていく。PU での処理時間には差があるため、パイプラインが乱れることがあるが、この乱れをバッファ Q で吸収している。チップ外に送られるトークンには、さらにチップ識別番号 ID が付けられる。この



(a) ImPP の内部構成



(b) 複数の ImPP によるシステム構成

図-3 ImPP の内部構成とシステム構成

ID を入力制御部 IC で比較し、チップに取り込むべきか否かを判断している。

Impp を複数個接続したシステム例を図-3(b)に示す。メモリおよびホストとのインタフェースから送り込まれ、あるいは取り出されるトークンにより外部メモリ内の画像データのアクセス、ホストとの制御情報のやりとりをする。

### 3.3 複数の入出力ポートをもつ画像処理プロセッサ

画像処理では、多量のデータをいかに取り込み、演算部を遊ばせることなく処理させるかが高速化のポイントである。しかもその処理では各データに対し、同一の処理を施す場合が多く、パイプライン処理できることが普通である。これらの特徴を利用し、三つの並列に動作する入出力ポートをもち、柔軟にパイプラインを設定できる画像処理 LSI に T 9506 がある。このチップの全体構成を図-4 に示す。ホストインタフェースのほか、3 組の 32 ビット幅の 1 M 語までアクセス可能なメモリポート、外部メモリに対するアドレスの生成部、パイプライン化された演算部を有している。2 次元アドレスからメモリの物理番地を発生する機能をもつアドレスの生成部 AG 1-AG 3 は同時に動作し、2 項演算を高速に実行できる。

この T 9506 の演算部、アドレス生成部はマイクロ命令の指示に従い処理を進める。しかしながらそれぞれに対する指示を実際に行うタイミングは別途指定することができる。この機能により、データの読み

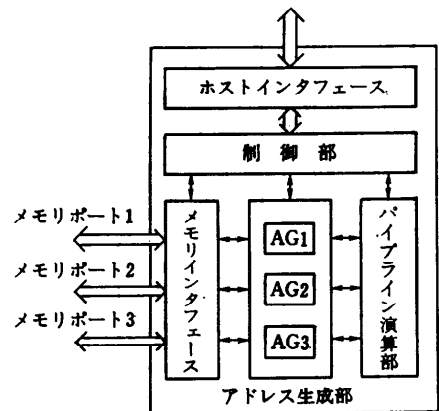


図-4 T 9506 の内部構成

出し、演算の実行、結果の書き込み、を一つのマイクロ命令に記述しておき、それぞれをパイプラインの段数に等しいサイクル後に実行させることにより正しく処理を進めることができる。この遅延段数は 16 段まで設定可能である。このようなパイプライン動作を記述するには、ハードウェアの動きの詳細を知る必要があるが、よく利用される機能をライブラリとして用意することにより、基本画像処理をきわめて高速に処理することができる。

### 3.4 ベクトル処理方式に基づく画像処理プロセッサ

画像処理は同一の演算を繰り返す行を行うことが多く、長い配列に対し同一の処理を施すことが得意なベクトル処理に適している。特に高速フーリエ変換 FFT に着目し、ベクトル処理による高速化を図った LSI に Zoran 社の ZR 34161 がある。ベクトル処理単位の命令が用意されているため、ループの制御などを記述する必要がなく、プログラムが非常にコンパクトになるという利点をもっている。

このチップの構成は図-5 に示すように、外部メモリおよびホストプロセッサとのインタフェース、ブランチなどの処理を行う実行制御部、128 語の内部メモリ RAM、256 語の容量をもつ sin/cos のテーブル LUT、さらにパイプライン動作する演算部からなる。実行のモードには、このチップが主導権をもって外部メモリから命令を読み込み実行するマスターモードと、ホストプロセッサから直接命令を送りつけるスレーブモードがある。ベクトル命令の多くは 3 語からなり、演算の種類を指定するほか、演算長、外部メモリのアドレスなどの指定フィールドがある。2 項演算では、通常外部メモリ内のベクトルデータと RAM 内の

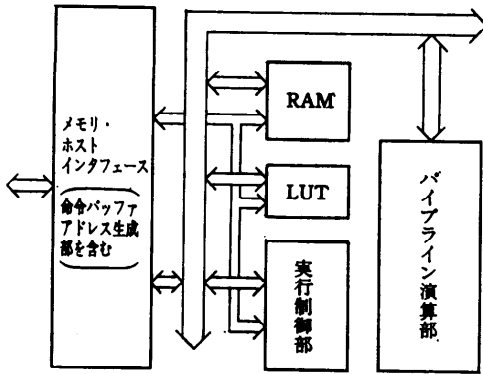


図-5 ZR 34161 の内部構成

データが演算され、RAM に格納される。

チップ内の RAM は二つの部分に分かれており、一つを演算に、他を外部メモリとの入出力に用いることができ、演算と画像の入出力の同時動作を実現している。FFT に対しても 128 点長までの演算を実行する命令が用意されている。この命令を繰り返し用いることにより、より長いデータに対する FFT を実行する。たとえば 256 点の FFT は 4 つの FFT 命令を含み 13 個の命令で実現できる。

#### 4. おわりに

画像処理の特徴を活かした VLSI プロセッサのアーキテクチャ、システムの構成方法などについて解説した。これらの LSI は 2 次元状の画素データのアクセス方法、空間および時間並列性の利用方法にさまざまな工夫をこらし、汎用プロセッサにみられない高速性を実現している。さらに今後の LSI 技術の発展にとともに、より大規模、より高速なものが出現することは疑問の余地がない。

しかしながら動画処理のようなさらなる高速化要求に応じていくためには、多数の LSI による効果的な並列処理が必要となっていくと思われる。実際これまでも並列処理による性能向上を狙った画像処理システムが多数発表されている<sup>10)</sup>。その並列性の活かし方もさまざまであり、画素単位の並列処理を利用した CAP<sup>11)</sup>、プロセッサレベルのパイプライン処理を実現した章駄天<sup>12)</sup>、VPP<sup>13)</sup>、カラー動画画像をビデオレートで処理する、マルチプロセッサ方式の Picot-system<sup>14)</sup>、さらに実時間で動いている物体の認識・識別をめざしたプロセッサ<sup>15)</sup>など、枚挙に暇がない。これらのシステムは、画像から画像への変換を行う低レベルの画像処理から、画像から特徴量を抽出する高度なものへと

発展し、方式もより柔軟な処理ができるマルチプロセッサ型ものが増えている。このように画像処理においては、現状でもかなりの程度まで並列処理が実現されているが、プログラミング環境などまだまだ不十分と言わざるを得ない。専用 LSI はともするとその高速性を追求するあまり、使いやすさについての考慮が二の次になっていたと思われる。より高性能性の実現のため大規模な並列処理システムが実験レベルから実用レベルになるには、方式レベルの研究はもとより、並列処理システムに対するプログラミングの研究、アルゴリズムの研究がきわめて重要である。

#### 参考文献

- 1) 田村編：コンピュータ画像処理入門，p. 288，総研出版（1985）。
- 2) 松本他：画像処理分野をねらったデータフロー型プロセッサ LSI，日経エレクトロニクス，pp. 181-218（4. 9. 1984）。
- 3) 加沼他：1024 点複素 FFT を 2 ms で処理するイメージプロセッサ，日経エレクトロニクス，pp. 183-202（11. 17. 1986）。
- 4) Digital Signal Processor Data Book (Zoran DSP Data Book)，pp. 7-97（1986）。
- 5) 青野：高速画像処理プロセッサ「RISP-II」とその利用法，映像情報，Vol. 18，No. 24，pp. 19-25（Dec. 1986）。
- 6) Nishitani, T. et al.: ADVANCED SINGLE-CHIP SIGNAL PROCESSOR, Proc. of ICASSP 86 TOKYO, pp. 409-412（1986）。
- 7) Mori, Y. et al.: ARCHITECTURE OF HIGH-SPEED 22-BIT FLOATING POINT DIGITAL PROCESSOR, Proc. of ICASSP 86 TOKYO, pp. 405-408（1986）。
- 8) Kobayashi, Y. et al.: A BiCMOS Image Processor with Line Memory, Proc. of ISSCC, pp. 182-183（1987）。
- 9) Kaneko, K. et al.: A 50 ns DSP with Parallel Processing Architecture, Proc. of ISSCC, pp. 158-159（1987）。
- 10) 前田：画像処理マシン，情報処理，Vol. 28，No. 1，pp. 19-26（1987）。
- 11) 宮田他：高速画像処理向きセルラ・アレイ・プロセッサ，信学技報，EC 84-1~12，pp. 46-60（1984）。
- 12) 佐々木他：構造可変型ビデオレート画像処理システム「章駄天」，コンピュータビジョン 37-1，（1985）。
- 13) 真鍋他：並列処理システム VPP のアーキテクチャ，情報処理学会研究会資料，Vol. 88，No. 45，pp. 25-32（1988）。
- 14) 八木他：実時間画像処理システム Picot-system，信学技報，PRU 88-100，pp. 3-10（1988）。
- 15) 久保田他：動物体の認識をめざしたビジョンプロセッサの構造と試作モデルの開発，信学技報，PRU 89-107，pp. 49-56。

（平成 2 年 1 月 11 日受付）