

## 解説

## 専用 VLSI プロセッサ

1. 専用 VLSI プロセッサの現状と  
動向†

田丸 啓 吉竹

## 1. ま え が き

専用 VLSI プロセッサには 2 個のキーワードがある。一つは専用プロセッサで、その研究開発の歴史は古く用途も広い。実用化されているものから、提案のものまで多くの種類がある。実現手法もファームウェアレベルから新方式レベルまで多様であるが、これまで専用プロセッサとして興味をもたれた機種は、新しい方式の計算機が多く<sup>75),76)</sup>、広い需要を狙う計算機とは異質であった。一方もう一つの VLSI プロセッサはごく新しい製品分野で、一般的には VLSI として実現されたプロセッサのことである。LSI 製品は広い需要を必要とするので、専用プロセッサの VLSI 化は大きな需要の見込める用途と性能をもつプロセッサに限られる。この両者のわずかな合致点に現在の専用 VLSI プロセッサ分野がある。

VLSI 技術は急速に発展しているので、数年前の技術は古いという現象がおこっている。今回専用 VLSI プロセッサの現状を調査するにあたり、原則として(一部分例外も含むが)次の選択基準を使用した。

- 1) 特定用途を目的に設計されたプロセッサ
- 2) 設計基準寸法  $2.0 \mu\text{m}$  以下でおよそ 100 K 素子以上の集積度をもつ VLSI 製品

この基準をもとに最近 4 年以内の発表を、主に LSI 分野を中心に調査した。したがって VLSI 化されていないアーキテクチャ分野の発表や数十 K 素子以下の集積規模の小さいものは除いた。このため専用計算機としては特徴のあるものでも、VLSI 化されていないものは含めていない。一般に、研究目的のみのプロセッサを VLSI 化することはむずかしいので、取り上げるプロセッサは製品化に近い開発品種が中心になっている。それでも多数の製品があるため、紙数の都合

から、なんらかの特徴をもつ製品を代表として 40 個取りあげて一覧表にした。他にもれている製品が多数あるが、この表の製品群から技術の現状はほぼ推察できると考えている。以下 2. では専用 VLSI プロセッサの条件、3. では VLSI プロセッサの方式と事例について述べる。

## 2. 専用 VLSI プロセッサの条件

専用 VLSI プロセッサの実現条件としては、応用分野からの要求、計算機技術からみた最適設計、VLSI 技術からみた実現可能性などが考えられる。特に最終的に製品の価格に関係してくる需要量と VLSI 技術が重要である。応用分野からの要求は、第一に特定の機能を強化したり、新しく具備して、その用途に関する性能を上げたプロセッサをつくることで、汎用マイクロプロセッサの性能、特にスピードの限界を破ることである。第二には汎用プロセッサを使用する場合に比べて、必要な機能を中心に周辺部分も集積して、機能的にも経済的にも使いやすいように再構成することである。このような要求のある分野は数多くあるが、VLSI の需要量という点から実際に製品が開発されている用途は限定される。現在開発されている分野は大別して特定の演算機能を高速化した演算用(浮動小数点、FFT など)、音声や画像分野の信号処理用(音声、画像)、グラフィックプロセッサ、記号処理や非数値演算用(言語プロセッサ、ソータ、連想処理など)、通信用(CODEC、交換、TV 信号変換など)、およびその他のプロセッサ(ニューロプロセッサ、暗号プロセッサなど)がある。この中で需要量の大きい演算用と、DSP と呼ばれる音声、画像関係のプロセッサの開発が盛んである。これらのプロセッサの方式は、独立したプロセッサ、コプロセッサやエンジンのようにホストプロセッサに接続されるもの、マルチプロセッサシステムの要素プロセッサなどがある。大部分の専用 VLSI プロセッサはホンノイマン型を基本

† The Trend of Special Purpose VLSI Processors by Keikichi TAMARU (Faculty of Engineering, Kyoto University).

竹 京都大学工学部電子工学科

にして演算機能を強化したもので、アレイ型など特殊なアーキテクチャのものは一部にすぎない。これは現在の専用 VLSI プロセッサが主として演算機能を中心とする用途に使用されているため、従来形の演算回路を使用して設計されていること、および高度の要素プロセッサの大規模アレイには集積規模が不足することによると思われる。実際のプロセッサの内部構成では、倍精度浮動小数点回路<sup>11,3),4)</sup>、浮動小数点加算回路と乗算回路の同時動作<sup>42)</sup>、ベクタ/マトリクス演算機能<sup>3),14)</sup>、組合せ演算(差の2乗和など)の1サイクル実行<sup>12)</sup>、8個の並列演算回路<sup>13)</sup>、8個の演算の同時実行<sup>13)</sup>、3個のアドレス発生器の使用<sup>12)</sup>、冗長2進演算<sup>41)</sup>など高速化のための各種の方式上の工夫がなされている。また一部ではあるが、1次元アレイ形式のプロセッサ<sup>14),21),34)</sup>や連想メモリ形式のプロセッサ<sup>36)</sup>なども発表されている。

LSI 技術からみると、成熟技術である 1.2~2  $\mu\text{m}$  CMOS 技術が中心で、1  $\mu\text{m}$  の先端技術を使用した製品も増えてきている。現在のところもっとも数が多いのは 1.2  $\mu\text{m}$  製品である。集積規模では 1000 K 素子という汎用プロセッサ<sup>22)</sup>は別格として、1.0  $\mu\text{m}$  プロセスは 300 K~600 K 素子クラスになっている。なお、汎用プロセッサの規模は、V 70 (1987 年)が 385 K、Gmicro/200 (1988 年)が 730 K、Gmicro/300 (1989 年)が 900 KTR 素子であるから、先端の専用プロセッサは規模的にも先端技術製品であることが分かる。数が多いのは 1.2~2.0  $\mu\text{m}$  プロセスの 100 K~220 K 素子クラスである。集積規模の大きいプロセッサとしては、1000 K 素子に次ぐものとして 688 K 素子のファジエンジン<sup>40)</sup>、553 K 素子の LISP プロセッサ<sup>32)</sup>、500 K 素子の FPP<sup>4)</sup> などがあるが、これらは大容量のオンチップメモリ (RAM, ROM) を含んでいる。専用 VLSI プロセッサはカスタム LSI であるが、その中でも ASSP (application specific standard product) と呼ばれる分野に属する製品である<sup>86)</sup>。まだ大半の製品が最初から新しく設計されるフルカルタム手法で設計されているが、最近では設計期間の短縮を目的にして、ライブラリに保存してある基本回路(セルと呼ぶ)を使用して自動配置配線を行う、スタンダードセル方式のセミカスタム設計を採用している品種の数が増えてきている。1.2~2.0  $\mu\text{m}$  の 100 K から 200 K 素子クラスの画像プロセッサ<sup>10),12),14),27)</sup>、グラフィクスプロセッサ<sup>16)</sup>、音声認識<sup>31)</sup>や文字列検索<sup>35)</sup>プロセッサなどの例がある。

### 3. 専用 VLSI プロセッサの方式と実例

表-1 に最近 (4 年以内) 発表された専用 VLSI プロセッサの代表的なものについて示す。以下に用途と方式の特徴について簡単に紹介する。

#### 3.1 演算用プロセッサ

演算用プロセッサの代表例として、従来からコプロセッサとして使用されてきた浮動小数点プロセッサ (FPP) がある。1988 年までの標準的な性能レベルは 32 ビット単精度、3 段パイプライン構造、クロック 33 MHz で 30 MFLOPS のものであった<sup>41),42)</sup>。1989 年には倍精度などの長ビット化、クロック 40~50 MHz と高速化がすすみ<sup>1),2),43)</sup>、さらに CISC なみの命令をもつ多機能化による独立複合プロセッサ化の傾向<sup>3)</sup>やプロセッサアレイの要素プロセッサ<sup>4)</sup>などもでてきた。FFT は高速化の要求から専用 LSI が注目され、規模的にも DSP に劣らないプロセッサが開発されている。4 系統の並列演算回路をもつ 1 チップ 1024 点 complex FFT プロセッサ<sup>5)</sup>や 2 チップ構成の多目的 FFT プロセッサ<sup>6)</sup>がある。また、16 段の演算回路をパイプライン動作させてビデオフレーム同期で 1 画面を変換する 2 DFFT プロセッサ<sup>7)</sup>が発表されている。

#### 3.2 DSP

DSP は第一世代から第 2 世代<sup>8),48)</sup>へ発展してきた。すでに多くの解説があり<sup>77)-80)</sup>、各社の第 2 世代製品一覧表などもあるので<sup>78),80)</sup>、詳細は省略し参考のため 2 品種のみを表に示す<sup>8),9)</sup>。No. 9 は音声処理や通信応用向けの 24 ビット浮動小数点 DSP で第 2 世代機種的高速版になる。データ RAM, 命令 ROM, キャッシュ用の共用 RAM を内蔵し、浮動小数点の乗算器と加算器は従属にも並列にも接続できる。3 段パイプライン構成でマシンサイクル 40 ns で動作する。その他のものは文献に示す<sup>44)-47)</sup>。また RAM と演算回路を集積したプログラマブル DSP<sup>49)</sup>もある。画像分野の DSP<sup>78),80),81)</sup>としては、初期には静止画用 DSP が開発され<sup>50),67)</sup>、その後性能が改良された<sup>10),68)</sup>。No. 10 は代表的な性能である<sup>10)</sup>。現在では次世代 TV, VTR 分野を狙った実時間動画 DSP が開発されている。このプロセッサは高スループットが条件で、方式上の工夫が採られている。No. 11 は 1987 年に発表されたプロセッサ<sup>11)</sup>で、内部処理を行うマイクロ命令と入出力を行うピコ命令の 2 レベルの命令階層、8 個のオペレーションの同時実行、16×16 ビット乗算

表-1 専用 VLSI プロセッサ (No. は参考文献番号に対応している)

No.	名称 (発表機関)	用途	語長	構成・方式	オンチップ メモリア	デバイス技術 チップサイズ	素子数 ピン数	動作速度 消費電力	性能
1	浮動小数点プロ セッサ (DEC)	算術演算プロセ ッサ	32, 64 b (倍精度)	5 段パイプライン 指数部, 仮数部: Adder, MPY, シフト他	なし	1.5 $\mu$ m CMOS 11.1 $\times$ 12.7 mm	不明 不明	パイプスルー アプト 20 ns 不明	単精度加算スループ ト 20 ns 50 M FLOPS
2	浮動小数点プロ セッサ (GE)	コプロセッサ	30, 64 b / (浮動) 32 b (固定)	54 $\times$ 54 MPY 8W $\times$ 64b Reg file		1.2 $\mu$ m CMOS 10 $\times$ 11 mm	107 KTR (推定) 132 リードレス セラミックチップ アキチャリア	クロック 40 MHz 不明	倍精度 26.7 M FLOPS
3	浮動小数点プロ セッサ (日電)	コプロセッサ	32, 64, 80 b 浮動/ 固定	32 $\times$ 87b Reg 74b 仮数部 ALU $\times$ 2 17b 指数部 ALU $\times$ 2 74b バレルシフト 14 $\times$ 64b MPY/DIU	3K $\times$ 43b micro ROM 256 $\times$ 74b nano ROM	1.2 $\mu$ m CMOS 11.4 $\times$ 14.9 mm	433 KTR 68 PGA	クロック 20 MHz 1.5 W	22 mathematical functions 24 vector/matrix operations 6.7 MFLOPS
4	浮動小数点プロ セッサ (NTT)	科学技術計算プロ セッサアレイ R256 用 要素プロセッサ	80b 浮動/ 32b 固定	CPU 浮動小数点ユニット: 32 $\times$ 80b Reg file, 86b ALU, 70 $\times$ 36b, MPY 固定小数点ユニット: 32b ALU	2K $\times$ 48b mp ROM 1K $\times$ 32b mp ROM	1.2 $\mu$ m CMOS 13.9 $\times$ 14.1 mm	500 KTR (ROM 140 Kb) 200 PGA	クロック 33.3 MHz 1 W	500 MFLOPS/256 PE
5	フーリエ変換プ ロセッサ (plessey)	1 チップ 1 K 点 フーリエ変換	16b real 32b complex number	4 parallel data path Radix 4 butterfly 16 $\times$ 16b MPY 3 add/sub	four 256 $\times$ 16b $\times$ 2 データ RAM	1.4 $\mu$ m CMOS 13.16 $\times$ 13.16 mm	不明 64 PGA	クロック 40 MHz 3 W	1024 点 FFT 96 $\mu$ s
6	フーリエ変換プ ロセッサ (2 チップ) (Honeywell)	高速フーリエ変換	16b complex number	DASP: radix 4 butterfly, 16 $\times$ 16b MPY, 16-18b adder, 20b ALU PAC: control, address generation	32 $\times$ 20b 命令 RAM	1.2 $\mu$ m CMOS 10.75 $\times$ 11.5 mm 11.65 $\times$ 11.75 mm	160 KTR 288 PGA 100 KTR 180 PGA	マシンサイク ル 80 ns 2 W 2 W	500 MOPS 5 台 cascade 1024 点 FFT 21 $\mu$ s
7	フーリエ変換プ ロセッサ (MCNC)	ピオオフレームレ ートフーリエ変換	22b complex number	16 pipelined stages, butterfly unit, four 11 $\times$ 11b MPY, 6 adder/subtractor, data communicator	32K $\times$ 22b	1.25 $\mu$ m CMOS 9 $\times$ 9 mm	152 KTR 144 PGA	クロック 10 MHz 不明	256 $\times$ 256 pixels transformation 33 ns
8	デジタルシグ ナルプロセッサ (日電)	音声処理, 通信	32b (浮動) /24b (固定)	32 $\times$ 32b FMPY, 55b FALU 8 working Reg master/slave mode 32b micro instruction	512 $\times$ 32b $\times$ 2 set RAM 1K $\times$ 32b 2K $\times$ 32b ROM	1.5 $\mu$ m CMOS 1.54 $\times$ 8.4 mm	370 KTR 68 PGA	クロック 13 MHz 1.5 W	サイクル 150 ns 512 点 complex FFT 4.5 ms
9	デジタルシグ ナルプロセッサ (三菱)	音声処理, 通信	24b (浮動)	FALU, FMPY (16 $\times$ 16 MPY), ACC $\times$ 4, R shifter $\times$ 2, L Shifter, Address Unit 32b micro program 制御	512 $\times$ 24b 64 $\times$ 32b RAM 4K $\times$ 32b 命令 ROM	1 $\mu$ m CMOS 7.02 $\times$ 8.64 mm	300 KTR 135 PGA	クロック 50 MHz 600 mW	マシンサイクル 40 ns

10	イメージプロセッサ (東芝)	画像処理	32b 固定	Proc: 32b/16b mode 32x32b MPY, 32b ALU, 2x32b AU, 64b Shifter cont, microcode	64x16b 命令 RAM 16x99b 命令 RAM	1.2 μm CMOS cell 方式 13.5x13.5mm	170 KTR 209 PGA	クロック 20 MHz 750 mW	1024 CFFT 1 ms 3x3 Spatial filter 450 ns/pixel
11	デジタルシグナルプロセッサ (日立)	画像処理	16b 固定	2 level instruction ALU: 16x16b MPY, 32b ALU, 16b ACCx8 Bit operation unit address cct pointer control cct	512x16b RAM 4組 1Kx48b micro RAM 64x16b pico RAM	1.3 μm CMOS 11.5x12.9mm	430 KTR 不明	サイクルタイ ム 50 ns 不明	transversal filter 50 ns/tap 3x3 Laplacian 600 ns/pixel
12	ビデオシグナルプロセッサ (三菱)	画像信号 コープアップ	24b 固定	5 stage pipeline multiple buses 3 address generation data path 24b ALU, Shifter Reg, 24x24b MPY	512x24b x2 データ ROM 64x24b 512x48b RAM	1.0 μm CMOS cell 方式 13.80x15.49 mm	538 KTR 177 PGA 不明	マシク 50 ns 1.4 W	transversal filter 50 ns/tap edge enhancement (128x128 pixel, 3x3 Laplacian) 7.4 ms
13	ビデオ/イメージシグナルプロセッサ (日電)	画像認識 実時間画像処理	16b 固定	PU: 7段パイプライン, 16b ALU, ACC, シフタ 16x16b MPY, max/min detector SCU: Address generator	128x16b RAM, 2組 512x32b 命令 RAM	1.2 μm CMOS 14.0x13.4mm	220 KTR 176 PGA	命令サイクル 25 ns 1 W	edge detection (3x3 Laplacian) 14.8 ms 2次元 256x256 DCT 26.3 ms
14	ビデオシグナルプロセッサ (SONY)	FIR フィルタ	data 12b coeff, 10b	programmable systolic array macro cell blocksx4 4th order inner product 12x10b MPY	なし	1.4 μm CMOS cell 方式 12.36x11.8 mm	124 KTR 180 PGA	Sampling 20 MHz 1.25W	1.02 GOPS 52 operations/ sampling
15	実時間イメージプロセッサ (松下)	局所画像処理	I/O 8b, internal 16b	local image reg. 25x8b arith, unit: 8b AUx2, 15x8b MPY, micro prog. unit	16x16b 32x8b 128x32b RAM 256x11b ROM	1.5 μm Bipolar (fr 9 GHz) 7x7.1mm	45K devices 40 DIL	命令サイクル 20 ns 2.5W	edge detection (256x256 pixel, 3x3 Laplacian) 11.8 ms
16	グラフィックシステムプロセッサ (Silicart)	グラフィックス処理, RGB 出力	8b	6.7 MIPS RISC processor drawing accelerator memory controller video controller	128x11b RAM 2Kx19b ROM	1.8 μm CMOS cell 方式	100 KTR 不明	不明 不明	RGB signal output 40 M pixels/sec
17	ビットマップ制御プロセッサ (東芝)	ビットマップ表示 制御 (スクロールリ ンク, マルチウイ ンド処理)	24b data 8b	processor: 24b ALU cursor blk BITBLT blk	4 Kb RAM 128 Kb ROM	0.8 μ Twintub COMS 10.85x12.6 mm	368 KTR 144 FP	クロック 40 MHz 0.8W	320 Mb/sec bitBLT speed 2Kx2K resolution
18	並列イメージプロセッサ (VIT)	2D 画像処理, コ ードデータからの 画像データ発生	64b	32x64b Reg. file 8x8b ALU 64b funnel shifter 8個の 8x8 MPY	なし	2 μm CMOS 11.7x10.7mm	200 KTR 149 PGA	不明 不明	114 MOPS 8 pixel 並列処理

No.	名称 (発表機関)	用途	語長	構成・方式	オンチップ メモリ	デバイス技術 チップサイズ	素子数 ピン数	動作速度 消費電力	性能
19	図形変換マッピング チッププロセッサ (NTT)	幾何図形変換	16b	CORDIC function generator, 20 PE. PE: 16b adder, shifter, Reg. linear scaler Control unit	なし	1.2 $\mu$ m CMOS 14.5 $\times$ 14.5 mm	105K gates 208 $\times$ 280 PIP	クロック 50 MHz 4W	affine transformation 20 ns/pixel
20	3次元グラフィック チッププロセッサ HSP (東芝)	3Dグラフィックス 陰面消去 シェーディング	32b	32b processor command: CPU, divider, command FIFO, 2K $\times$ 16b ROM 32b pixel processor, edge DDA, scan DDA $\times$ 2	2K $\times$ 16b ROM	1.2 $\mu$ m CMOS 11.3 $\times$ 11.5 mm	103 KTR 144 QFP	クロック 20 MHz 750 mW	Gouraud shading 10M pixels/sec, Line drawing 1M lines/sec
21	陰面処理プロセ ッサ HSSP (松下)	3Dグラフィックス 陰面消去 シェーディング	16b	1次元シフトレジスタ 256 pixel processor 1 pp: 2個の16b buffer, Reg. 16b adder		1.2 $\mu$ m CMOS 11.6 $\times$ 11.5 mm	330 KTR 144 PGA	クロック 20 MHz 4W	50 ns/pixel
22	マイクロプロセ ッサ (Intel)	汎用	32/64b, ex. data 64b, bus 34/64b	RISC core, floating adder, Multiplier, 3D Graphics unit, MMU controller	4kB Instruc- tion CACHE 8kB data CACHE	1 $\mu$ m CMOS 10 $\times$ 15 mm	1000 KTR 不明	クロック 50 MHz	21 MFLOPS (倍精度) Gouraud shading 21 M pixels/sec
23	イメージ圧縮プ ロセッサ (日電)	画像圧縮, 伸長	8b, data 16b	CPU: 8b ALU, 160 $\times$ 8b Reg. file, MH/MR アナラ イザ, MH コーダー, イメ ージシフトレジスタ	256 $\times$ 17b table RAM 3.5K $\times$ 24b ROM	1.5 $\mu$ m CMOS 9.9 $\times$ 9.5 mm	180 KTR 640 DIP/ 68 LCC	クロック 8 MHz 250 mW	A4 Compression speed 0.41 sec/page (MMR)
24	フォント図形ア クセラレインタ (東芝)	フォント発生	int. data 32b	Bezier block: Cubic bezier curve rasterization, DDA block, Fill block		1.2 $\mu$ m CMOS 11.32 $\times$ 11.32 mm	137 KTR 144 FP	クロック 20 MHz 不明	4000 characters/sec (漢字) 200 ns/dot Bezier curve generation
25	ビデオシグナル プロセッサ (2チップ) (Kodak)	CCD カラーイメ ージセンサ 出力処理 画像改善ポストア プロセッサ	10b	6次 FIR フィルタ, H, V/ 4H Line delay (d, RAM) RGB 3チャネル並列処理 3 $\times$ 3 color correction matrix, gamma correction ROM	RAM, ROM (容量不明)	2 $\mu$ m CMOS 11.5 $\times$ 11.2 mm 10 $\times$ 10 mm	94 KTR 84 PGA	クロック 14.3 MHz 不明	768 active pixels
26	イメージプロセ ッサ (松下)	HDTV レポートフ ィルタ, 離散余弦 変換	I/O 21b, coefficient 16b	9個の PE の pipeline 動 作, data path を program PE: 13 $\times$ 16b MPY 24b adder/ACC	16 $\times$ 16b coeff, RAM	1.2 $\mu$ m CMOS 11.76 $\times$ 11.4 mm	200 KTR 120 pin	クロック 33.3 MHz 不明	サンプリングレート 33.3 MHz (600 MOPS)
27	ビデオシグナル プロセッサ (philips)	汎用, プログラム 可能	data 12b	TOWN (PE cluster): Arith, logic PE $\times$ 3 memory PE (STORE) $\times$ 5 communication PE $\times$ 5 cross bar switch	512 $\times$ 12b $\times$ 2 データ RAM	1.6 $\mu$ m CMOS cell 方式 9.9 $\times$ 12.3	201 KTR 208 PGA	クロック 27 MHz 不明	1400 MOPS

28	イメージングナ ルプロセッサ IMS A110 (Inmos)	1D/2D コンポリューション, コリレーション, ヒストグラム 計算	8 b	21 stages reconfigurable MPY-ACC. array 1120×8b program- mable shift Reg. ×3	264×8b look up RAM 69 Kb ROM	1.2 μm CMOS 9.6×8.1mm	375 KTR 不明	クロック 20 MHz 不明	420 MOPS
29	音声認識プロセ ッサ (NTT)	音声認識	24 b	ring array architecture PE: 24b ALU 16×16b MPY	512×24b 512×32b 32×24b ×3 RAM	1.5 μm CMOS 12.8×14.2mm	22.2Kゲート 4-RAM 31 Kb 134 pin	マシンスイ 70 ns 800 mW	22 MOPS 転送レート 86 MB/sec
30	音声認識プロセ ッサ (東芝)	音声認識	8 bit	analog processor: 7ch. SC filter, 10 bit ADC Digital processor: 16b ALU adder, barrel shifter M. Booth decoder	8 Kb SRAM (WARAM) 512 b SRAM (IDRAM) 64Kb MROM (DICROM)	2 μm CMOS 6.17×5.84mm 6.82×6.50mm	analog 9.5 KTp digital 112 KTR (含まモリ)	不明 45 mW 不明 5 mW	0.1 sec at 13 words
31	ダイナミックブ ロックラミシングブ ロックプロセッサ (LIMSI-CNRS)	音声認識	16 bit	distance calculation unit Arith. unit address unit	640×24b RAM	2 μm CMOS cell 方式 7.17×8.62mm	127 KTR 84 PGA	クロック 20 MHz 不明	10 MIPS (命令サイクル 100 ns)
32	LIPS プロセッサ (TI)	言語処理	32b	ALU, barrel shifter, masker, 6 memory, 4 stage pipeline	A, 1K×32b M, 64×32b S, 1K×32b Dispatch 2.5K×18b	1.25 μm CMOS 10×10mm	553 KTR (RAM 114K, ROM 16K) 224 PGA	クロック 30 ns 不明	マイクロ命令サイクル 30 ns
33	LISP プロセッサ (NTT)	言語処理	32b	ALU, 1b shifter, Stack top, Stack pointer Reg×3, memory Reg×4 64b micro code	32×32b RAM (Reg file)	2 μm CMOS 15.0×15.0mm	80 KTR 208 PGA	クロック 16.67 MHz 3 Phase 不明	サイクルタイム 180 ns
34	ソーティングエ ンジン (NTT)	ソーティング	8 b. Record 16B	40 Element linear array Element: 1B Comparator, 2×1B Reg, 2×16B RAM compare and transfer	80×16b	3 μm CMOS 37×21mm	500 KTR 40 DIP	2 W	800 μsec/80 records (16b) I/O through put 3 MB/sec
35	文字列検索プロ セッサ (日電)	文字列検索	CAM 入力 16b	CAM (pair bit 方式) 512 logic cell F.S.A. priority encoder	528×16b CAM	1.6 μm CMOS cell 方式 8.62×12.76 mm	217 KTR 72 PGA	クロック 10 MHz 500 mW (10 MHz)	10 M char/sec 入力
36	連綿プロセッサ SCAPE (Brunel U.)	図形認識, 場景解 析	data 32b	256 Asso. PE APE: 1W ass. memory, serial adder, 1b. Reg×2, bit serial add, data routing	Associative memory 256W× (32+5) b	2 μm CMOS 8.5×8.8mm	145 KTR 68 pin	クロック 10 MHz 1 W	262 MOPS
37	ニューラルプロ セッサ (AT&T)	ニューラルネット	input 54 b	54 op Amp. 54×54 resistive coupling matrix programmable		2.5 μm CMOS 6.7×6.7mm	75 KTR 不明	不明 不明	1 processing cycle 25~50 μs

No.	名 稱 (発注機関)	用 途	語 長	構 成・方 式	オ ン チ ャ ッ プ メ モ リ	ア パ イ ス 技 術 チ ャ ッ プ サ イ ズ	素 子 数 ピ ン 数	動 作 速 度 消 費 電 力	性 能
38	暗号プロセッサ (Calmos system Inc.)	公開鍵暗号処理	n=593b	Arith. PE three 593b shift Reg two 256b Reg 認証コードジェネレータ	14 Kb micro prog. ROM	2 μm CMOS cell 方式 不明	95 KTR 40 pin	クロック 20 MHz 330 mW (20 MHz)	スループット 500 Kb/sec
39	暗号プロセッサ (NCT)	mod N 指数演算	256b (1cycle)	256b MPY addition, 16 block 化 block: two 16b adder four 16b Reg. four 4×16b RAM	4 Kb RAM	2 μm CMOS 10.48×8.4mm	100 KTR 不明	クロック 100 ns 300 mW (10 MHz)	スループット 512 Kb/sec
40	フuzzyロジック エンジン (U. N. C)	フuzzyロジック	4 b	4 in/2 out/51 rules 2 in/1 out/102 rules		1 μm CMOS 7.75×9.05mm	688 KTR (RAM) 476 KTR) 84 PGA	クロック 36 MHz 800 mW	580K fuzzy logical inference/ sec

器, 2次元アドレッシング機能などをもつ 16 ビット機種である. サイクルタイム 50 ns はこのクラスの DSP の性能の標準である. No. 12 は 2組のデュアルポートデータ RAM (512 語), 3個のアドレス発生器, 24×24 ビット乗算器, 24 ビット ALU をもつ 24 ビットプロセッサ<sup>12)</sup>である. 101 個の命令をもち素子数も格段に多い (538 K) 大型機種で, 5 段パイプラインを使用し, マシンサイクル 50 ns で動作する. No. 13 は命令サイクル 25 ns にした 16 ビットの高速プロセッサで<sup>13)</sup>, ALU と乗算器が 7 段のパイプラインを構成している. このプロセッサは 1987 年に開発された実時間動画プロセッサ<sup>51)</sup>の発展したものである. また TV 信号やコンピュータビジョン用の高速フィルタやマトリクス演算を行うために, 4 段のシストリックアレイを構成し 12 ビットの信号を 20 MHz のサンプリングスピードで処理するプロセッサ<sup>14)</sup>が発表されている. 1 チップには 4 個のマクロセルがあり, 各マクロセルは 4 次の内積計算を行うように, スイッチつきシフトレジスタ, 乗算器, 全加算器アレイ, バレルシフタ, リミッタなどから構成されている. 1 サンプル当たり 52 個の演算が並列に実行できる. そのほかにバイポーラ素子を使用した命令サイクル 20 ns で動作するプロセッサ<sup>15)</sup>なども発表されている.

### 3.3 グラフィクスプロセッサ

2D グラフィクス用プロセッサ<sup>82)</sup>は直線や曲線の描画, 画素や領域の色変換, ビデオ RAM 制御, CRT 制御機能などを基本機能としてもっているが, 高速プロセッサ化がすすんでいる. No. 16 は RISC プロセッサと描画アクセラレータやメモリ制御回路を集積し, ビットマップビデオ RAM を直接制御する機能, RGB アナログ信号を出力する機能などをもつプロセッサ<sup>16)</sup>である. No. 17 はマルチウィンド表示用途を対象にした高速図形表示, 高速ウィンドスクロール機能, CRT 制御機能をもつプロセッサ<sup>17)</sup>である. ローカルメモリとの間を 64 ビットバスで接続し, 8 プレーンの同時転送をサポートしている. さらに 64 ビットデータ幅のレジスタファイルやバスをもち, 8 ビット幅のデータを 8 個並列動作させるプロセッサ<sup>18)</sup>が発表されている. 8 ビット ALU が 8 個, 8×8 ビット乗算器も 8 個ある. 8 個のデータは SIMD 方式により並列処理される. その他演算エレメント 20 段の 1 次元パイプラインアレイ構成をもち, 50 MHz の出力レートで各種の変換を行うプロセッサ<sup>19)</sup>なども

ある。3D グラフィクスプロセッサ<sup>53), 54)</sup> は物体の形状や陰影を写實的に表現する各種処理を実行するプロセッサである。主な処理には物体モデルの構築、外形を多角形に分割する幾何学処理、光と視点の関係より物体の隠れた面を除去して陰影をつける隠面処理とシェーディングなどがある。No. 20 は物体を三角形の集合に分解し、頂点座標と色輝度情報より陰面除去とGouraudシェーディング処理を行うもので<sup>20)</sup>、32ビットコマンドプロセッサ、ピクセルプロセッサ、ウィンドおよびメモリ制御部から構成されている。外部に汎用画像RAMを接続する。No. 21 も同じ機能をもつプロセッサであるが、構成に特徴があり、256個の16ビットピクセルプロセッサの1次元シストリックアレイ構造をとっている<sup>21)</sup>。また汎用プロセッサに3Dグラフィクス機能を集積した最高級マイクロプロセッサが発表されている<sup>22)</sup>。1M素子の規模をもち、RISC技術の32ビットコアプロセッサ、命令4Kバイト、データ8Kバイトのキャッシュ、3段パイプライン浮動小数点加算回路と乗算回路、3Dグラフィクスユニットなどを集積している。整数演算系、浮動小数点演算系に分けられ、並列動作するなど、浮動小数点演算能力が強化されている。画像分野ではこれらのはかに特定機能のプロセッサも各種開発されている。イメージデータの記憶や伝送のためのデータ圧縮/伸長プロセッサ<sup>23)</sup>、フォント発生用プロセッサ<sup>24)</sup>、画面内画面処理用のアナデジ混在プロセッサ<sup>52)</sup>、DCTなど変換処理プロセッサ<sup>53), 54)</sup>、CCDカメラ用ビデオ信号プロセッサ<sup>25)</sup>、TV用信号変換LSI<sup>55)-57)</sup>などが発表されている。また頻度の多い信号処理に対応するため構成を可変したDSPがある。9個の演算エレメントのデータパスを変更する小規模なもの<sup>26)</sup>から、クロスバススイッチで接続変更する大規模なもの<sup>27)</sup>、中間規模のもの<sup>28)</sup>、DSPコア用プロセッサ<sup>69)</sup>などがある。

### 3.4 通信関係プロセッサ

通信関係では音声認識用プロセッサ<sup>29)-31), 61), 62)</sup>が多数開発されている。No. 29 は24ビット演算回路とデータRAMをもつ要素プロセッサをリングアレイ構造に接続したプロセッサで<sup>29)</sup>、1000語集の実時間認識をする。データ転送と演算は並列化され、転送のオーバーヘッドを減らすための重バッファ方式を使用している。その他入力音声の特徴抽出を行うアナログ部と類似度計算を行うデジタル部の2チップからなるプロセッサ<sup>30)</sup>やダイナミックプログラミングの計算

用コプロセッサ<sup>31)</sup>なども発表されている。他の通信関係プロセッサとしてはプログラマブルあるいはアダプティブなデジタルフィルタプロセッサ<sup>58)-60)</sup>、音声帯域CODEC<sup>70)-72)</sup>(集積規模は小さい)、HDTV用CODEC<sup>73)</sup>、交換用プロセッサ<sup>74)</sup>などがある。

### 3.5 記号処理用プロセッサ

DSPに比べるとその他の分野のVLSIプロセッサの本格的な開発はこれからの段階といえる。LISPプロセッサの開発は比較的早く<sup>63)</sup>、従来の設計と互換性をもたせたVLSIが発表されている<sup>32)</sup>。このプロセッサは32ビットALU、バレルシフタ、マスク、Aメモリ(1K語)、Mメモリ(64語)、スタックメモリ(1K語)、デスパッチメモリなどを集積している。演算ソースは一方がAメモリ、他方はMメモリまたはスタックメモリである。4段のパイプラインを構成している。このほかにもLISPプロセッサの発表があるが<sup>33), 64)</sup>、集積規模や能力は小さい。またprologプロセッサの発表もある<sup>65)</sup>。No. 34 は40個の基本回路を従属に接続して、同期して比較・転送動作を行うソーティングプロセッサ<sup>34)</sup>である。各基本回路は1バイトの比較回路と2個の16バイトRAMと8ビットレジスタをもち、入力とRAMの内容の比較を行い、小さいほうのレコードを次段に転送する。3Mバイト/秒の入出力速度でバイト直列に動作する。No. 35 は連想メモリを応用して文字列検索を行う特殊なプロセッサである<sup>35)</sup>。ペアビット方式の528語の連想メモリ(CAM)をもち、入力文字列と連想メモリの内容を比較して、判別回路により有意の文字列を10Mchar/secで判別する。連想処理プロセッサとして256語の連想メモリの各語にビット直列加算機能と1ビットレジスタをもたせたプロセッサが発表されている<sup>36)</sup>。1語は32ビットデータと5ビットタグからなり、行アクセスと列アクセスの機能をもち、外部マイクロ命令により演算を実行する。

### 3.6 その他のプロセッサ

ニューロコンピュータを実現するハードウェアについては多くの発表があるが<sup>65)</sup>、VLSIレベルの専用プロセッサを実現している例は少ない。No. 37 は代表例でアナログ・デジタル混在の75K素子規模のLSIである。54個の演算増幅器からなるプロセッサと54×54のプログラム可能接続マトリクスからなり、連想記憶を実現する<sup>37)</sup>。

暗号プロセッサは1986年ごろより開発され始めたが、公開鍵方式の1チップ暗号プロセッサが発表され



た<sup>38)</sup>。この LSI は 593 ビットの演算ユニットをもち、スループットが1桁程度改良されている。暗号処理の中で使用する modulo  $n$  指数演算を行う専用 LSI の発表もある<sup>39)</sup>。またファジイ制御用プロセッサ<sup>40)</sup>やグラフィストローブプロセッサ<sup>66)</sup>なども発表されている。

#### 4. むすび

専用 VLSI プロセッサの現状を調査した。すべての製品が網羅されているわけではないが、現在の技術動向は理解できるであろう。VLSI 技術の急速な進歩により、専用 VLSI プロセッサも、種類、性能、規模において急速に発展している。特に大きな需要のある DSP、画像 DSP (VDSP)、グラフィクスプロセッサなどの開発が活発である。設計手法の点でもフルカスタム以外にスタンダードセル方式も広く使用される傾向がみえるので、今後は需要の比較的少ない分野でも開発が進むであろう。一方従来の汎用マイクロプロセッサに専用演算部 (プロセッサ) を統合して集積したプロセッサも、マルチプロセッサの1チップ化の形として注目すべき方向である。今後3年ほどの間には1  $\mu\text{m}$  CMOS で数百 K 素子クラスの各種専用 VLSI プロセッサが活発に開発されるであろう。

#### 参考文献

略号は次のとおり。

ISSCC: International Solid-State Circuits Conference

CICC: the Custom Integrated Circuits Conference

ICCD: International Conference on Computer Design: VLSI in Computers

表に関する文献

- 1) Benschneider, B. J. et al.: A 50 MHz Uniformly Pipelined 64 b Floating-Point Arithmetic Processor, 1989 ISSCC Digest of Tech. Papers, pp. 50-51 (1989).
- 2) Molnar, K. et al.: A 40 MHz 64-Bit Floating Point Co-processor, 1989 ISSCC Digest of Tech. Papers, pp. 48-49 (1989).
- 3) Nakayama, T. et al.: An 80 b, 6.7 MFLOPS Floating Point Processor with Vector/Matrix Instructions, 1989 ISSCC Digest of Tech. Papers, pp. 52-53 (1989).
- 4) Fukazawa, T. et al.: R 256: A Research Parallel Processor for Scientific Computation, the 16th Int. Symp. on Compt. Arch., pp. 344-351 (1989).
- 5) O'Brien, J. et al.: A 200 MIPS Single Chip 1 K FFT Processor, 1989 ISSCC Digest of Tech. Papers, pp. 166-167 (1989).
- 6) Shen, S. et al.: A High Performance CMOS Chipset for FFT Processors, Proc. of 1988 ICCD, pp. 578-581 (1988).
- 7) Krakow, W. T. et al.: Design and Implementation of a Two-Dimensional Fast Fourier Transform Chip, Proc. of 1988 CICC, pp. 8. 4. 1-4 (1988).
- 8) Kawakami, Y. et al.: A 32 b Floating Point CMOS Digital Signal Processor, 1986 ISSCC Digest of Tech. Papers, pp. 86-87 (1986).
- 9) Shimazu, Y. et al.: A 50 MHz 24 b Floating-point DSP, 1989 ISSCC Digest of Tech. Papers, pp. 44-45 (1989).
- 10) Kanuma, A. et al.: A 20 MHz 32 b Pipelined CMOS Image Processor, 1986 ISSCC Digest of Tech. Papers, pp. 102-103 (1986).
- 11) Kaneko, K. et al.: A 50 ns DSP with Parallel Processing Architecture, 1987 ISSCC Digest of Tech. Papers, pp. 158-159 (1987).
- 12) Nakagawa, S. et al.: A 50 ns Video Signal Processor, 1989 ISSCC Digest of Tech. Papers, pp. 168-169 (1989).
- 13) Kikuchi, K. et al.: A Single-Chip 16-bit 25 ns Realtime Video/Image Signal Processor, 1989 ISSCC Digest of Tech. Papers, pp. 170-171 (1989).
- 14) Yamazaki, T. et al.: A 1-GOPS CMOS Programmable Video Signal Processor, 1989 ISSCC Digest of Tech. Papers, pp. 164-165 (1989).
- 15) Mori, T. et al.: A Micro-Programmable Real-time Image Processor, 1986 ISSCC Digest of Tech. Papers, pp. 144-145 (1986).
- Aono, K. et al.: Implementation of a Bipolar Real-time Image Signal Processor RISP-II, IEEE J. of Solid State Circuits, Vol. 22, No. 3, pp. 403-408 (1987).
- 16) Lamoureux, P. et al.: A Single Chip Graphic System, Proc. of 1987 CICC, pp. 295-298 (1987).
- 17) Tanaka, S. et al.: A 40 M Pixel/s Bit Boundary Block Transfer Graphics Processor, 1988 ISSCC Digest of Tech. Papers, pp. 160-161 (1988).
- Sumi, M. et al.: Bit Map Control Processor (BMCP) Design, Proc. of 1988 CICC, pp. 8. 6. 1-7 (1988).
- 18) Norsworthy, J. P. et al.: A Parallel Image Processor Chip, 1988 ISSCC Digest of Tech. Papers, pp. 158-159 (1988).
- 19) Yoshimura, H. et al.: A 50 MHz CMOS Geometrical Mapping Processor, 1988 ISSCC Digest of Tech. Papers, pp. 162-163 (1988).

- 20) Ohhashi, M. et al.: A 32 b 3-D Graphic Processor Chip with 10 M Pixels/s Gouraud Shading, 1988 ISSCC Digest of Tech. Papers, pp. 168-169 (1988).
- 21) Nishizawa, T. et al.: A Hidden Surface Processor for 3 Dimension Graphics, 1988 ISSCC Digest of Tech. Papers, pp. 166-167 (1988).
- 22) Kohn, L. et al.: A 1,000,000 Transistor Microprocessor, 1989 ISSCC Digest of Tech. Papers, pp. 54-55 (1989).
- 23) Kowashi, E. et al.: A Data Flow Image Compression Processor, 1989 Symp. on VLSI Circuits, pp. 119-120 (1989).
- 24) Kai, N. et al.: A High Speed Outline Font Rasterizing LSI, Proc. of 1989 CICC, pp. 24. 6.1-4 (1989).
- 25) D'Luna, L. J. et al.: A Digital Video Signal Processor for Color Image Sensors, 1989 ISSCC Digest of Tech. Papers, pp. 158-159 (1989).  
D'Luna, L. J. et al.: A Digital Video Signal Post-Processor for Color Image Sensors, Proc. of 1989 CICC, pp. 24. 2.1-4 (1989).
- 26) Aono, K. et al.: A 30 ns (600 MOPS) Image Processor with a Reconfigurable Pipeline Architecture, Proc. of 1989 CICC, pp. 24. 4.1-4 (1989).
- 27) Huizer, C. M. et al.: A Programmable 1400 MOPS Video Signal Processor, Proc. of 1989 CICC, pp. 24. 3.1-4 (1989).
- 28) Barraclough, S. R. et al.: The Design and Implementation of the IMS A 110 Image and Signal Processor, Proc. of 1989 CICC, pp. 24. 5.1-4 (1989).
- 29) Takahashi, J. et al.: A Modularized Speech Recognition Processor LSI with a Highly Parallel Structure, 1989 Symp. on VLSI Circuits, pp. 115-116 (1989).
- 30) Yamaguchi, A. et al.: Signal Processors for Isolated Word Recognition, 1987 ISSCC Digest of Tech. Papers, pp. 164-165 (1987).
- 31) Quenot, G. M. et al.: A Dynamic Programming Processor for Speech Recognition, Proc. of 1988 CICC, pp. 10. 5.1-4 (1988).
- 32) Bosshart, P. W. et al.: A 553 K-Transistor LISP Processor Chip, 1987 ISSCC Digest of Tech. Papers, pp. 202-203 (1987).
- 33) Watanabe, K. et al.: A 32 b LISP Processor, 1987 ISSCC Digest of Tech. Papers, pp. 200-201 (1987).
- 34) Tsuda, N. et al.: A Pipeline Sorting Chip, 1987 ISSCC Digest of Tech. Papers, pp. 270-271 (1987).
- 35) Yamada, H. et al.: A Character String Search Processor, 1987 ISSCC Digest of Tech. Papers, pp. 272-273 (1987).
- Yamada, H. et al.: A High-Speed String-Search Engine, IEEE J. of Solid State Circuits, Vol. 22, No. 5, pp. 829-834 (1987).
- 36) Jalowiecki, I. P. and Lea, R. M.: A 256-Element Associative Parallel Processor, 1987 ISSCC Digest of Tech. Papers, pp. 196-197 (1987).
- 37) Graf, H. P. et al.: VLSI Implementation of a Neural Network Model, Computer, Vol. 21, No. 3, pp. 41-49 (1988).
- 38) Rosati, T.: A High Speed Data Encryption Processor for Public Key Cryptography, Proc. of 1989 CICC, pp. 12. 3.1-5 (1989).
- 39) Gallay, P. and Depret, E.: A Cryptography Processor, 1988 ISSCC Digest of Tech. Papers, pp. 148-149 (1988).
- 40) Dettloff, W. D. et al.: A VLSI Fuzzy Logic Inference Engine for Real-time Process Control, Proc. of 1989 CICC, pp.1 2. 4.1-5 (1989).
- その他の関連文献
- 41) Edamatsu, H. et al.: A 33 MFLOPS Floating Point Processor using Redundant Binary Representation, 1988 ISSCC Digest of Tech. Papers, pp. 152-153 (1988).
- 42) Lu, P. Y. et al.: A 30 MFLOP 32 b Floating Point Processor, 1988 ISSCC Digest of Tech. Papers, pp. 28-29 (1988).
- 43) Komori, S. et al.: A 40 MFLOPS 32-bit Floating-Point Processor, 1989 ISSCC Digest of Tech. Papers, pp. 46-47 (1989).
- 44) Nagai, K. et al.: A Signal Processor for Voiceband Applications, 1988 ISSCC Digest of Tech. Papers, pp. 60-61 (1988).
- 45) Caren, C. J. et al.: A 60 ns CMOS DSP with On-chip Instruction Cache, 1987 ISSCC Digest of Tech. Papers, pp. 156-157 (1987).
- 46) vanMeerbergen, J. L. et al.: An 8 MIPS CMOS Digital Signal Processor, 1986 ISSCC Digest of Tech. Papers, pp. 84-85 (1986).
- 47) Albon, R. D. et al.: A Mask Programmable DSP Array, Proc. of 1989 CICC, pp. 20.1.1-3 (1989).
- 48) Hays, W. P. et al.: A 32-bit VLSI Digital Signal Processor, IEEE J. of Solid State Circuits, Vol. 20, No. 5, pp. 998-1004 (1985).
- 49) Schlereth, F. et al.: A Programmable Signal Processor for Array Application, 1987 ISSCC Digest of Tech. Papers, pp. 160-161 (1987).
- 50) Fukushima, T. et al.: An Image Signal Processor, 1983 ISSCC Digest of Tech. Papers, pp. 258-259 (1983).
- 51) Yamashina, M. et al.: A Realtime Microprogrammable Video Signal LSI, 1987 ISSCC Digest of Tech. Papers, pp. 184-185 (1987).
- Yamashina, M. et al.: A Microprogrammable

- Real-time Video Signal Processor (VSP) for Motion Compensation, IEEE J. of Solid State Circuits, Vol. 23, No. 4, pp. 907-915 (1988).
- 52) Okada, Y. et al.: A Mixed Analog/Digital Video Signal Processing LSI with On-chip AD and DA Converters, Proc. of 1989 CICC, pp. 24.1.1-4 (1989).
- 53) Denayer, T. et al.: A 50 MIPS Multiprocessor Chip for Image Processing, Proc. of 1988 CICC, pp. 8.3.1-4 (1988).
- 54) Eberhard, G. et al.: A Realtime Image Processing Chip Set, 1989 ISSCC Digest of Tech. Papers, pp. 162-163 (1989).
- 55) Yoshimoto, M. et al.: A Digital Processor for Decoding of Composite TV Signals using Adaptive Filtering, 1986 ISSCC Digest of Tech. Papers, pp. 152-153 (1986).
- 56) Nagatani, M. et al.: Digital Signal Processors for Encoding/Decoding Color TV Signals, 1986 ISSCC Digest of Tech. Papers, pp. 150-151 (1986).
- 57) Suzuki, S. et al.: A CMOS Chip Pair for Digital TV, IEEE J. of Solid State Circuits, Vol. 22, No. 5, pp. 835-840 (1987).
- 58) Stearns, C. C. et al.: A Reconfigurable 64-tap Transversal Filter, Proc. of 1988 CICC, pp. 8.8.1-4 (1988).
- Ruetz, P. A. and Ang, P. H.: The Architectures and Design of a 20-MHz Real-Time DSP Chip Set, Proc. of 1988 CICC, pp. 8.5.1-4 (1988).
- 59) Lin, J. et al.: A New Multi-algorithm Multichannel Cascadable Digital Filter Processor, Proc. of 1988 CICC, pp. 10.7.1-5 (1988).
- 60) Abe, M. et al.: A High-Speed Digital Filter LSI for Video Signal Processing, IEEE J. of Solid State Circuits, Vol. 22, No. 3, pp. 396-402 (1987).
- 61) Ariyoshi, T. et al.: Speech Recognition Processors using Fuzzy Pattern Matching, Proc. of 1988 CICC, pp. 10.6.1-4 (1988).
- 62) Licciardi, L. et al.: RIPAC: A VLSI Processor for Speech Recognition, Proc. of 1989 CICC, pp. 20.6.1-4 (1989).
- 63) Cole, B. C.: A Pride of New CPUs Runs High-level Languages, Electronics, Vol. 58, No. 47, pp. 58-60 (1985).
- 64) Baker, C. et al.: The Symbolics Ivory Processor: A 40 Bit Tagged Architecture Lisp Microprocessor, Proc. of 1987 ICCD, pp. 512-515 (1987).
- 65) Pendelton, J. M. et al.: A 32 b Microprocessor for Smalltalk, 1986 ISSCC Digest of Tech. Papers, pp. 32-33 (1986).
- 66) Glinski, S. C. et al.: A Processor for Graph Search Algorithms, 1987 ISSCC Digest of Tech. Papers, pp. 162-163 (1987).
- 67) Nukiyama, T. et al.: A VLSI Image Pipeline Processor, 1984 ISSCC Digest of Tech. Papers pp. 208-209 (1984).
- Temma, T. et al.: Data Flow Processor Chip for Image Processing, IEEE Trans. ED Vol. ED-32, No. 9, pp. 1784-1791 (1985).
- 68) Kobayashi, Y. et al.: A BiCMOS Image Signal Processor with Line Memories, 1987 ISSCC Digest of Tech. Papers, pp. 182-183 (1987).
- 69) Baji, T. et al.: A 20 ns CMOS DSP Core for Video-Signal Processing, 1988 ISSCC Digest of Tech. Papers, pp. 156-157 (1988).
- 70) Satoh, M. et al.: A Single Chip Signal Processor for CCITT Standard ADPCM Codec, 1985 ISSCC Digest of Tech. Papers, pp. 192-193 (1985).
- 71) Schobinger, M. et al.: A Single-Chip Adaptive DPCM Intrafield Video CODEC, 1988 Symp. on VLSI Circuits, IX-1, pp. 103-104 (1988).
- 72) Song, M. S. and Narasimha, M. J.: A VLSI for 32 Kbps ADPCM Transcoding, Proc. of 1985 CICC, pp. 296-299 (1985).
- 73) Oto, T. et al.: A CODEC LSI for HDTV Signals, 1989 ISSCC Digest of Tech. Papers, pp. 160-161 (1989).
- 74) Morita, T. et al.: A 5.6 MIPS Call Handling Processor for Switching Systems, 1988 Symp. on VLSI Circuits, III-7, pp. 37-38 (1988).
- 解説文献
- 75) Alder, B. J.: Special Purpose Computers, Academic Press (1988).
- 76) 電子情報通信ハンドブック第21編第6部門 専用計算機方式, pp. 1627-1641, オーム社 (1988).
- 77) 西谷: DSP の技術動向, テレビ誌, Vol. 41, No. 3, pp. 219-224 (1987).
- 78) 丸田, 西田: VLSI シグナルプロセッサの発展, 信学誌, Vol. 71, No. 3, pp. 278-286 (1988).
- 79) Allen, J.: Computer Architecture for Digital Signal Processing, Proc. IEEE, Vol. 73, No. 5, pp. 852-873 (1985).
- 80) 持田, 雁部: デジタル信号処理プロセッサ, 信学誌, Vol. 72, No. 7, pp. 757-765 (1989).
- 81) 津田: デジタル信号処理・DSP 技術, テレビ誌, Vol. 42, No. 11, pp. 1205-1211 (1988).
- 82) 吉田, 成瀬: コンピュータグラフィックス用プロセッサの動向, 情報処理, Vol. 29, No. 10, pp. 1109-1114 (1988).
- 83) 中前: 3次元コンピュータグラフィックス技法, 情報処理, Vol. 29, No. 10, pp. 1082-1089 (1988).
- 84) 西沢, 大橋: 3次元グラフィックス処理プロセッサ, 信学誌, Vol. 72, No. 7, pp. 766-773 (1989).
- 85) 小池, 梶原: 専用ハードウェアによるニューロコンピュータ, 情報処理, Vol. 29, No. 9, pp. 974-983 (1988).
- 86) 田丸: ASIC の技術動向, 電学論誌 C, Vol. 107-C, No. 12, pp. 1084-1087 (1987).

(平成元年11月28日受付)