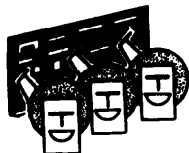


## リレー解説

## 海外の並列処理研究動向



## イリノイ大学 CSRД における並列処理研究†

笠原 博 徳††

## まえがき

筆者が平成元年4月より1年間訪問した, Univ. of Illinois at Urbana-Champaign の Center for Supercomputing Research & Development (CSRД) における並列処理研究について, 主要構成メンバの紹介なども含めて平易に解説する。CSRД は, ILLIAC-IV 開発当時の主要メンバであった David J. Kuck 教授が創設したスーパーコンピュータの研究開発を行う研究所であり, 100 名近い研究スタッフを集め, Cedar と呼ぶマルチプロセッサ・スーパーコンピュータを開発中である。

## 1. CSRД の概要

Univ. of Illinois at Urbana-Champaign のある Urbana 及び Champaign 市は, シカゴの南約 200 km の所に位置し, 四方をトウモロコシ畑に囲まれた静かな田園都市である。この大学を初めて訪問する人は, 本当にこんな畑の中で最先端の研究が行われているのだろうかかと心配になるようである。しかし, 実際には工学では全米ベスト 10 にランクされ, 非常に進んだ研究が行われている。特にスーパーコンピュータの分野では, ILLIAC-IV<sup>1)</sup>を開発して以来, 世界最先端の研究を続けていることで有名である。

私が訪問した CSRД は, 前述の Kuck 教授が創設したスーパーコンピュータの研究開発を行う研究所である。現在ここでは Cedar と呼ぶマルチプロセッサ・スーパーコンピュータの開発をはじめ, 並列処理ソフトウェア(コンパイラ, OS), アプリケーション, 性能評価, アーキテクチャなど, 並列処理に関する幅広い研究が行われている。

CSRД は, 現在約 50 名の研究員 (Dept. of Electrical and Computer Engineering と Dept. of Computer Science の教員及び Ph. D あるいはそれと同等の能力をもつ研究者) と約 50 名の Research Assistant (Ph. D の学生) から構成され, 研究費も米国政府とイリノイ州及びコンピュータ関連の企業から, 年に 7 億円以上を集めている。

CSRД の組織構成は, 現在徐々に変化しているが, 筆者が訪問していた時期の構成は, Director である Prof. Kuck の下に 5 人の Associate Director があり, 彼らが以下に述べるような研究分野の指導を担当していた。

まず, Prof. D. Lawrie がスーパーコンピュータのアーキテクチャ及び OS, Prof. D. Padua が並列処理コンパイラ及びソフトウェア, Prof. M. Farmwald がハードウェア, Prof. G. Cybenko が性能評価及びプログラミング環境, Prof. A. Sameh がアプリケーションを担当していた。

図-1 に, CSRД のディレクタの写真を示す。

Prof. Kuck は, 現在スーパーコンピュータの分野では世界でも最も著名な教授の一人であり, 指導力に優れたアメリカ人である。彼は, 大学では



図-1 CSRД のディレクタ

左から Prof. Sameh, Prof. Kuck, Prof. Padua, Prof. Cybenko

† Parallel Processing Researches in CSRД of University of Illinois at Urbana-Champaign by Hironori KASAHARA (School of Science and Engineering, Waseda University).

†† 早稲田大学理工学部

Dept. of Computer Science 及び Dept. of Electrical and Computer Engineering 両学科の教授で、多くの研究者を世界中の大学及び企業に送りだしている。身近なところでは村岡洋一教授(早稲田大学)も Kuck の愛弟子の一人である。彼の暖かい人柄は、超多忙にもかかわらず、可能なかぎり多くの訪問者(CSRD には世界各地より平均して毎週数組以上の訪問者がある)と歓談し、相手の研究に興味をもって耳を傾け、示唆に富んだコメントを与えるというところからよく分かる。ただ、彼の訪問者に対する感想の中で一つ印象に残ったのは、「訪問者の中にはごく稀に自分のことを何も話さず、また質問にも曖昧にしか答えず、ただメモのみをとって帰る人がいる。そのような人は会ってもつまらない」と言っていたことであった。

また、彼は実業家としても成功しており、彼の会社 Kuck & Associate のベクトルプロセッサ及びマルチプロセッサシステム用並列化コンパイラ KAP (正確にはリストラクチャ) は、多くのスーパーミニコンピュータの並列化コンパイラとして採用されていることで有名である。

また Associate Director も、それぞれが有名な研究者であり、そのうちの多くは Prof. Kuck の教え子である。たとえば、Prof. Lawrie は、村岡教授と同時期、すなわち ILLIAC-IV 当時、Prof. Kuck の Ph.D の学生であった。彼は、オメガネットの提案者であることもよく知られており<sup>2)</sup>、現在は IEEE の Computer Society の会長で、さらにイリノイ大学の Department of Computer Science の Department Head でもある。彼の写真は図-1 中にはないが、IEEE Computer にしばしば登場しているので、ご興味のある方はご覧になっていたきたい。彼は、背が高く、体格も良く、温和で、信望が厚いアメリカ人である。現在は、一時的に CSR D を離れ、Department Head 及び IEEE の仕事に専念している。

Prof. Padua は、CSR D を有名にした重要な研究の一つである並列化コンパイラの大家であり、Parafrese<sup>14),15)</sup> と呼ばれる Fortran 並列化コンパイラの開発において重要な役割を果たした。Parafrese プロジェクトでは、データ依存解析<sup>13)</sup>、リストラクチャリング(プログラムを並列化可能あるいは実行効率を向上させるような形に自動的に

変換すること)<sup>15),17)</sup> に関して、多くの先駆的な研究が行われた。前述の KAP は Parafrese で開発された技術を実用化したものである。彼はベネズエラ出身で独特のスペイン語まじりの英語を話し、多少言葉が分かりにくいとの噂もあるが、親切で、陽気な研究者である。

Cedar のハードウェアを担当していた Prof. Farmwald は、私が訪問したときには、すでに会社を設立しイリノイ大学を離れる準備をしていたため、あまり話すチャンスがなかった。

Prof. Cybenko は、ニューラルネット、性能評価などの研究をしており、きさくで温和な人である。

Prof. Sameh はアプリケーション並列処理の世界的な権威であり、また礼儀正しい紳士である。最新の情報として、彼は本年8月にミネソタ大学の Dept. of Comput. Sci. の Dept. Head に就任するために、イリノイ大学を離れている。

したがって、1991年8月現在残っている研究面での Associate Director は、Prof. Padua と Prof. Cybenko の二人だけである。

現在の暫定的な組織構成としては、Prof. Padua がソフトウェア全般(コンパイラ、OS)とアーキテクチャの一部を、また Prof. Cybenko が性能評価、アプリケーションを担当し、彼らの下に何人かの Assistant Director 及びプロジェクトリーダーを置いている。

この CSR D で、筆者は、主にマルチプロセッサ・スーパーコンピュータ用の並列化コンパイラとアーキテクチャに関する研究を、後述する Prof. Padua のコンパイラ・グループのメンバ、及び Prof. P. C. Yew らのアーキテクチャグループのメンバらと討論を行いながら行った。

以下では、CSR D における、アーキテクチャ、コンパイラ、アプリケーション、性能評価などに関する代表的な研究について紹介する。

## 2. アーキテクチャに関する研究

CSR D で開発中の階層共有メモリ・マルチクラスタ・マルチプロセッサ・スーパーコンピュータ Cedar<sup>3)-5),9)</sup> のアーキテクチャを簡単に紹介するとともにアーキテクチャ研究グループの主要なメンバについて簡単に紹介する。

図-2 に示す Cedar は、Alliant 社 FX 8 をプ

ロセッサクラスタとし、4クラスタをグローバルメモリ（共有メモリ）を介して接続した階層型共有メモリマルチプロセッサシステムである。したがって、Cedarの各プロセッサクラスタ（図-2中央一点鎖線内）は、11.8MFLOPSのピーク性能をもつベクトルユニット、小容量のインストラクション・キャッシュ、スカラユニットをもつカスタム・プロセッサ（図-2右側コンピュータシヨナル・エレメント参照）8台をクロスバースイッチで共有キャッシュメモリに接続した構成になっている。また共有キャッシュはバスを介して共有メモリ（クラスタメモリ）に接続されている。

CedarのプロセッサクラスタとFX8の異なるところは、プロセッサエレメント8台を共有メモリに結合するFX8の8×4クロスバースイッチを8×8クロスバースイッチに改良し、増設された4ポートをグローバルメモリへのアクセスを補助するグローバルインタフェースボードに接続している点である。

またCedarでは、4つのプロセッサクラスタをグローバルメモリモジュールに、グローバルスイッチと呼ぶ多段スイッチングネットワークを介して接続している。このグローバルスイッチは、具体的にはオメガネットワークであり、単方向のパケット交換型32入力32出力オメガネット（各ポート80ビット）、往復計2組から成り立っている。このネットワークの各段のスイッチとしては、8×8のクロスバースイッチが用いられており、素子技術としてはECLが使用されている。また、グローバルメモリは各プロセッサエレメントからグローバルインタフェースボードを介して平等にアクセスできるように設計されており、

Fetch & Addを始め各種の強力な同期方式を効率よく実現するために、同期用の専用プロセッサをもっている。

1991年秋までに稼働しているCedarのプロセッサ数は、各プロセッサクラスタ8台ずつ4クラスタ、計32台であり、グローバルメモリは32モジュールである。Cedarプロジェクトにおけるハードウェアの開発は、現在の32プロセッサ構成（図-3参照）の段階で終了する計画である。プロジェクト開始当初千台規模でプロセッサを接続する予定であったCedarプロジェクトが、32台でハードウェアの製作を終了するのは、ハードウェアのデバッグなどが予定より大幅に遅れたのが原因である。しかしこのCedarプロジェクトはハードウェアに関しては計画を縮小したものの、並列化コンパイラなどソフトウェアに関する技術に関しては多くの研究成果を生み出している。

このアーキテクチャグループにおける主要なメンバーは、Prof. P.C. YewとProf. A. Veidenbaumである。Cedarプロジェクトにおいては、Prof. Yewは同期機構を中心として、コンパイラ、インタコネクションネットワークと幅広く並列処理の研究を行っている。今年、ワシントンD.C.のNSF(National Science Foundation)に招かれ、研究費の大学への配分決定などの仕事を行っている。Prof. Veidenbaumはメモリ関係のアーキテクチャの研究をしており、ソフトウェア・キャッシュ・コヒーレンスに関する研究<sup>10)</sup>は有名である。

### 3. ソフトウェアに関する研究

CSRDの研究テーマの中でも最も注目されており、執筆者自身もグループの一員として研究を行

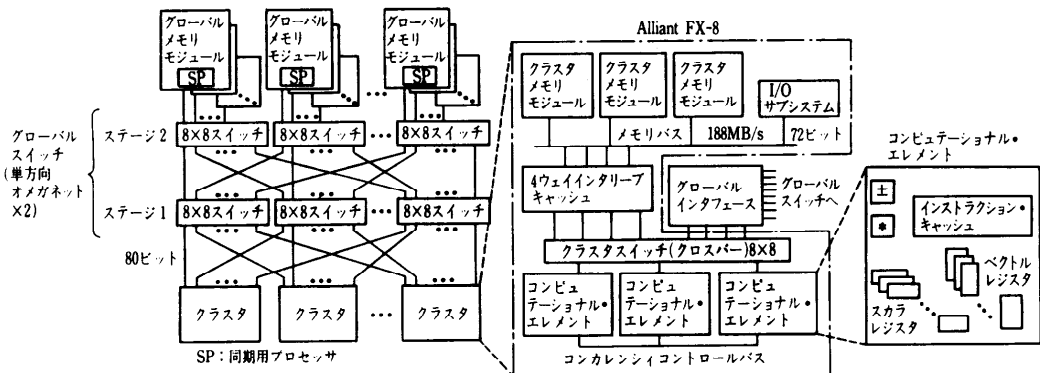


図-2 イリノイ大 Cedar のアーキテクチャ

った並列化コンパイラ<sup>22),23)</sup> について、Cedar Fortran コンパイラ<sup>6)</sup>及び新プロジェクトである Parafrese 2<sup>16)</sup> を中心に解説する。

ソフトウェアグループでは、従来の Parafrese あるいは Kuck & Associates KAP などの自動並列化コンパイラの研究を基礎として、Cedar Fortran コンパイラ<sup>6)</sup>を開発している。Cedar Fortran 言語<sup>11)</sup>は、Fortran 77 を、Doall, Doacross, ベクトル処理, Cray ライクなマクロタスキング, 同期, データのグローバル及びクラスタローカルメモリへの配置などの記述ができるように拡張した言語である。Cedar Fortran コンパイラはこの Cedar Fortran 及び通常の逐次形 Fortran プログラムを、Cedar 上で並列実行可能な形式に変換する。

Cedar では、3 レベルの階層的な並列処理が行われる。たとえば、3 重にネストされたループがあった場合、最内側ループのベクトル化、中間ループのプロセッサクラスタ内での Doall 及び Doacross, 及び外側ループのプロセッサクラスタ間での Doall が行われる。

Cedar Fortran コンパイラは、プログラムのデータ依存解析<sup>13),14)</sup>及び制御(条件分岐など)フロー解析を行い、並列実行可能な部分を検出したりあるいはプログラムを並列処理できる形に自動的にリストラクチャリング(restructuring)<sup>15),22),23)</sup>することによりプログラム中の並列性を抽出し、上述の3階層の並列処理を可能とする並列化コードを生成する。プログラム・リストラクチャリングに関しては、ノード・スプリッティング, スカラ・エクспанション, ループインタチェンジ, ループ重化, ストリップ・マイニング, ループフュージョンを始め、Parafrese プロジェクトで開発された多くの技術が、Cedar Fortran コンパイラでも用いられている。それらのうち、Cedar で最も頻繁に使用されるのは、一重ループを多重ループに変換するストリップ・マイニング法<sup>23)</sup>である。

Cedar Fortran コンパイラ・プロジェクトの主要メンバーの写真を図-4 に示す。写真は定例ミーティングの際にとったものであり、左から順に、

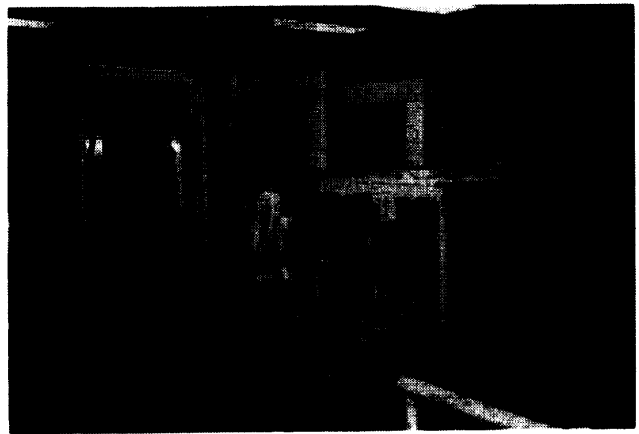


図-3 32プロセッサ Cedar



図-4 Cedar Fortran グループの主要メンバ

Prof. Eigenmann, Mr. Hoeflinger, 一人(筆者)とばして、Mr. Jaxon, Prof. Padua である。Prof. Eigenmann は、知的で、明るいスイス人で、現在はコンパイラ・グループのリーダーである。彼と筆者は訪問中より共同で研究を行っており、訪問中は、Cedar 上でのデータ分割・配置の研究を行い、コンパイラによる Cedar の最高処理速度の記録を毎日のように更新したのは楽しい思い出である。彼は、筆者らが開発した OSCAR Fortran コンパイラ<sup>18),21)~23)</sup>で使用しているマクロデータフロー処理手法<sup>19),20),23)</sup>を、Cedar 上でインプリメントすることも提案している。

Mr. Hoeflinger は、Cedar Fortran コンパイラの大部分の作成を行った人で、コンパイラの隅々まで知り尽くしている。現在は、コンパイラの性能評価を、後述する Perfect Club ベンチマーク・コードなどを用いて行ったり、コンパイラのデバッグを行っている。彼は、アプリケーション・グループのメンバーを始め、コンパイラ・ユーザの

相談に親切に対応し、人望の厚いアメリカ人である。

Mr. Jaxon は、Cedar プロセッサ・クラスタ間での Doall 処理関連のライブラリの作成を行い、高速プロトタイピング・リストラクチャリング・ツール Delta の開発も担当している。

また、ソフトウェア・グループの中で、コンパイラに関してもう一つ行われている研究は、Prof. Polychronopoulos とその学生により行われている Parafrese 2 コンパイラ<sup>16)</sup>に関するものである。Parafrese 2 は、Fortran, C, Pascal などの複数言語の並列化を行うリストラクチャリング・コンパイラであり、Prof. Polychronopoulos の提案しているループに関する最適化手法及びスケジューリング (ガイドドセルフスケジューリング, Autoscheduling) 手法のほか、マクロデータフロー処理もインプリメントする計画である。マクロデータフロー処理に関しては、筆者が訪問中、彼とともに学生の指導を行い、OSCAR コンパイラですでに実現されていたマクロタスクの生成法、マクロタスク間の制御フロー、データ依存の表現法、最早実行開始条件と呼ぶマクロタスク間並列性の抽出手法、及びその表現法を紹介した。筆者の帰国後、Parafrese 2 では OSCAR マクロデータフロー処理手法と同様な手法をインプリメントしている。

Prof. Polychronopoulos は、米国若手研究者の中で最も人気のある研究者の一人で、全世界を忙しく飛び回っている。

そのほか、ソフトウェア・グループでは、Prof. Harrison らのグループが LISP 並列化コンパイラの研究、また Prof. Padua の Ph. D の学生が Prolog 並列化コンパイラの研究を行っている。

また、Cedar の OS は Xylem<sup>7),8)</sup> と呼ばれ、Prof. Emrath らにより開発された。Xylem は Alliant 社の Concentrix をベースに開発され、複数クラスタ間での並列処理も効率よく行えるように設計されている。

#### 4. アプリケーションの並列化に関する研究

CSR D における科学技術アプリケーションに関する研究においては、アルゴリズム自身の並列化に関する研究と、アプリケーションプログラムのアーキテクチャへのマッピングに関する研究の両

面から研究が行われている。対象としているアーキテクチャも、Cedar のような階層共有メモリ形、Cray のような主記憶共有形、分散メモリ形など多様である。

以下では、多くの研究テーマのうちのいくつかを簡単に紹介する。

まず、密行列の並列化関係では、BLAS 3 (Basic Linear Algebra Subroutines) におけるアルゴリズムとアーキテクチャのマッピングの研究、共有あるいは分散メモリマルチプロセッサ上での線形方程式、線形最小自乗問題、固有値問題求解に関する研究、に関する研究が行われている。

また、CFD (Computational Fluid Dynamics) あるいは構造解析で出てくる、密ブロックからなるブロック 3 重対角システム求解の並列化に関する研究も行われており、特殊な分離可能楕円問題においては、ブロック・サイクリック・リダクションに基づくラピッド・エリプティック・ソルバ (Rapid Elliptic Solver) が開発されている。

繰り返し解法に関する研究においては、多種のプリコンディショニング下での CG (Conjugate Gradient) 法の性能が Cedar を始め多くのマシン上で評価されている。スパース線形方程式の求解に関しても、直接解法及び繰り返し解法及び非対称行列のリオーダーリング法に関して多くの研究が行われている。

実アプリケーションに関しては、非線形構造力学、SPICE ライクな回路シミュレータ、3 次元デバイスシミュレーション、オーシャン・モデリングなどの研究が行われている。

#### 5. 性能評価及びプログラミング環境に関する研究

CSR D では、スーパーコンピュータの性能評価に関していくつかの研究が行われているが、その中で最も有名なものは Perfect Club ベンチマーク<sup>23)</sup>である。

従来用いられている性能評価法としては、Livermore Fortran Kernel, Argonne LINPACK, Los Alamos ベンチマーク, NASA Ames NAS Kernels といったベンチマークプログラムを用いて処理速度を計るという方法が一般的であった。しかしこれらの方法の問題点は、これらのベンチマークがもともと各研究所でよく使用されるプロ

表-1 Perfect Club ベンチマークプログラム

プログラム	アプリケーション	ソースの 行数	スポンサ	オリジナルソースコード が動いていたマシン
ADM	Air Pollution	6,142	IBM	IBM 3090
ARC3D	Computational Fluid Dynamics	3,605	Cray Res.	CDC 7600
BDNA	Nucleic Acid Simulation	3,962	IBM	IBM 3090
DYFESM	Structural Dynamics	7,599	CSRD	CRAY X-MP
FLO52Q	Computational Fluid Dynamics	2,250	Princeton	CRAY 1
MDG	Liquid Water Simulation	1,231	IBM	IBM 3090
MG3D	Seismic Migration	2,754	Cray Res.	CRAY X-MP
OCEAN	Computational Fluid Dynamics	4,215	Princeton	CRAY 1
QCD	Quantum Chromodynamics	2,342	CalTech	Mark I
SPEC77	Weather Simulation	3,880	CSRD	CDC CYBER 205
SPICE	Circuit Simulation	18,504	CSRD	CDC 6600
TRACK	Signal Processing	3,770	CalTech	Mark III
TRFD	Quantum Mechanics	479	IBM	IBM 3090

プログラムのカーネルの部分を集めたものに過ぎず、それらのカーネルに対する処理性能が、他のプログラムを使用するユーザにとってどのような目安になるか分からないということであった。

そこで Perfect Club (PERformance Evaluation for Cost-effective Transformations Club) では、各種アプリケーションで実際に使用されている重要なプログラムコードを多く集め、それらのコードをそのまま使用して性能評価を行っている。現在 Perfect Club では、表-1 に示すような 13 のベンチマークプログラムが集められている。このベンチマークのやり方としては、基本的に 2 種類の方法で各コンピュータの性能を計る。まず最初に、これらのプログラムに何もチューニングを加えない状態でコンパイルし、与えられた標準入力データを用い実行しそのベースライン性能を評価する。次に、人間が自由にプログラムの最適化を行いマシンの最高性能を評価する。この最適化では、ディレクティブの挿入、プログラム・リストラクチャリング、アルゴリズムの変更、ライブラリの変更などほとんど全ての最適化が許されるが、だれがいつどのような最適化を行ったか、そのときにどの程度の時間がかかったかなどの記録を付加しなければならない。

今後、並列処理マシンの発達とともに、このような性能評価手法の充実がより一層重要になっていくと考えられる。

また、プログラミング環境グループでは、Faust<sup>12)</sup> と呼ぶ、プログラム開発、並列化チューニング、デバッグ、性能評価を行うワークステーション上で行う環境に関する研究プロジェクトを

行っている。その一環として Trace View と呼ぶ実行トレースを X window あるいは MOTIF window 上で表示するツールをすでに開発している。

## 6. ま と め

本稿では、CSRD の研究テーマの中で、筆者からみて代表的と思われるテーマを簡単に紹介した。CSRD のメインプロジェクトである Cedar は、あと 1~2 年で終了し、来年完成する新しいビル (Computer and Systems Research Laboratory) への移転の時期あたりから、新しいプロジェクトを開始することを目標としている。

CSRD には、研究面のみでなく、人間的にも素晴らしい人が多く集まっており、メンバは皆友好的である。特にコンパイラの Prof. Eigenmann、スケジューリングの研究をしている Prof. Polychronopoulos、アーキテクチャの Prof. Yew とはよくパーティなどを開き、研究あるいは日米欧中の文化など多くのことについて時には朝まで話し合った。まことに楽しい 1 年間であった。

## 参 考 文 献

- 1) Barnes, G. H., Brown, R. M., Kato, M., Kuck, D. J., Slotnick, D. L. and Stokes, R. A.: The IL-LIAC IV Computer, IEEE Trans. on Comput., Vol. C-17, No. 8, pp. 746-757 (Aug. 1968).
- 2) Lawrie, D. H.: Access and Alignment of Data in Array Processor, IEEE Trans. Computers, Vol. C-24, No. 12, pp. 1145-1155 (Dec. 1975).
- 3) Kuck, D. J. et al.: Parallel Supercomputing Today and Cedar Approach, Science, Vol. 232, No. 4740, pp. 967-974 (Feb. 1986).
- 4) Emrath, P., Padua, D. and Yew, P. C.: Cedar

- Architecture and Its Software, Proc. of Hawaii Int'l Conf. on System Sciences (Jan. 1989).
- 5) Konice, J. et al.: The Organization of the Cedar System, Proc. 1991 ICPP, pp. 149-156 (Aug. 1991).
  - 6) Eigenmann, R. et al.: Restructuring Fortran Programs for Cedar, Proc. 1991 ICPP, pp. 157-166 (Aug. 1991).
  - 7) Emrath, P.: Xylem: An Operating System for the Cedar Multiprocessor, IEEE Software, Vol. 22, No. 4, pp. 30-37 (July 1985).
  - 8) Emrath, P. A.: The Xylem Operating System, Proc. 1991 ICPP, pp. 167-170 (Aug. 1991).
  - 9) Gallivan, K.: Preliminary Performance Analysis of the Cedar Multiprocessor Memory System, Proc. 1991 ICPP, pp. 171-175 (Aug. 1991).
  - 10) Cheong, H. and Veidenbaum, A. V.: Compiler-Directed Cache Management in Multiprocessor, IEEE Comput. Vol. 23, No. 6, pp. 39-47 (June 1990).
  - 11) Guzzi, M., Padua, D., Hoeflinger, J. and Lawrie, D.: Cedar Fortran and Other Vector and Parallel Fortran Dialects, Proc. of Supercomputing '88, pp. 114-121 (Mar. 1988).
  - 12) Guarna, V., Jr. et al.: Faust: An Environment for Programming Scientific Applications, Proc. of Super Computing '88, pp. 3-10 (Nov. 1988).
  - 13) Banerjee, U.: Dependence Analysis for Supercomputing, Kluwer Academic (1988).
  - 14) Padua, D. A. et al.: Highspeed Multiprocessors and Compilation Techniques, IEEE Trans. Comput. Vol. 29, No. 9 (Sep. 1980).
  - 15) Padua, D. J. and Wolfe, M. J.: Advanced Compiler Optimizations for Supercomputers, C. ACM, Vol. 29, No. 12, pp. 1184-1201 (Dec. 1986).
  - 16) Polychronopoulos, C. D. et al.: Parafraze-2, Proc. Int. Conf. on Parallel Processing (Aug. 1989).
  - 17) Wolfe, M.: Multiprocessor Synchronization for Concurrent Loops, IEEE Software, pp. 34-42 (Jan. 1988).
  - 18) 本多, 岩田, 笠原: 階層型マルチプロセッサシステム OSCAR 上での Fortran の並列処理手法, 情報処理 JSPP '89 (Feb. 1989).
  - 19) Kasahara, H., Honda, H., Iwata, M. and Hirota, M.: A Macro-dataflow Compilation Scheme for Hierarchical Multiprocessor Systems, Proc. Int. Conf. on Parallel Processing (Aug' 1990).
  - 20) 笠原, 本多, 岩田: Fortran プログラム粗粒度タスク間の並列性検出手法, 信学論 D-I, Vol. J73-D-I, No. 12 (Dec. 1990).
  - 21) Kasahara, H. et al.: A Multigrain Parallelizing Compilation Scheme on OSCAR, Proc. Workshop on Language and Compilers for Parallel Computing (Aug. 1991).
  - 22) 笠原: 最適化並列コンパイラ技術の現状, 信学誌, Vol. 73, No. 3 (Mar. 1990).
  - 23) 笠原: 並列処理技術, コロナ社 (1991).  
(平成3年9月16日受付)



笠原 博徳 (正会員)

昭和32年生。昭和55年早稲田大学理工学部電気工学科卒業。昭和60年同大学院博士課程修了。工学博士。昭和58年～60年早稲田大学理工学部助手。昭和61年早稲田大学理工学部電気工学科専任講師。昭和63年早稲田大学理工学部電気工学科助教授。平成3年情報学科助教授。現在に至る。平成元年～2年イリノイ大学 Center for Supercomputing Research & Development 客員研究員。昭和62年 IFAC World Congress 第1回 Young Author Prize 受賞。著書「並列処理技術」(コロナ社)。電子情報通信学会, 電気学会, シミュレーション学会, ロボット学会, IEEE, ACM 等の会員。

