

解説



機能メモリのアーキテクチャとその並列計算への応用

8. 神経回路網と機能メモリ†

阿江 忠竹

1. まえがき

神経回路網 (あるいはニューラルネット) はノイマン型コンピュータとは異なる情報処理の方式として、再び注目を集めている。神経回路網にもとづく計算原理にはいくつかの視点があるが¹⁾、本稿では機能メモリに関連するものに限定したい。

神経回路網を機能メモリとみなすということは、本特集では、冒頭の分類のうち²⁾、系統2すなわち簡単なプロセッシングエレメントの集合が機能メモリとして動作する場合に該当する。したがって、機能メモリとしてふるまう神経回路網のいくつかを紹介したのち、その構成方法について述べる。なお、神経回路網を構成するために機能メモリを利用するという立場も存在するので最後に言及したい。

2. 神経回路網について

神経回路網 (Neural Network. 以下 NN と略す) はニューロンをシナプスにより結合したネットワークであり、ニューロンをノードに、シナプスをアークに対応させるとグラフで表現することができる。NN を神経生理学的なモデルとすると、NN を電気回路より実現したものを人工ニューラルネット ANN (Artificial Neural Network の略) と呼び分けることにする。

NN のモデルは数多く存在する。それらを歴史的に述べたり、用途から分類して記述する方法もあるが³⁾、ここでは構造上の次のような分類を用いる。

(1) フィードフォワード型 (多層型)

図-1 のように帰還をもたない NN をさす。ノードのニューロン (図-2) は多入力1出力の関数で表現されるが、出力をいくらか他のニューロンの入力とすることができる。パーセプトロンの時代には、入出力を2値(1と0)とするニューロン (以下、2値ニューロンと略す)、すなわち、入力 $x_i (i=1, 2, \dots, n) \in \{0, 1\}$ 、重み係数 $w_i (i=1, 2, \dots, n)$ 、 $\theta \in \mathbf{R}$ に対する出力 y は

$$u = \sum_{i=1}^n w_i x_i - \theta \tag{1}$$

$$y = \begin{cases} 1 & \text{if } u > 0 \\ 0 & \text{if } u < 0 \end{cases} \tag{2}$$

で与えられる素子 (しきい値素子またはいき値素子という) を用いていた^{*}。一般には多層構造を

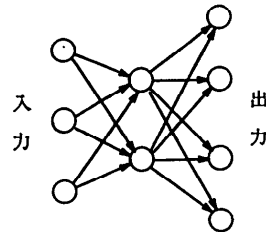


図-1 フィードフォワード型 (多層型) ニューラルネットの簡単な例

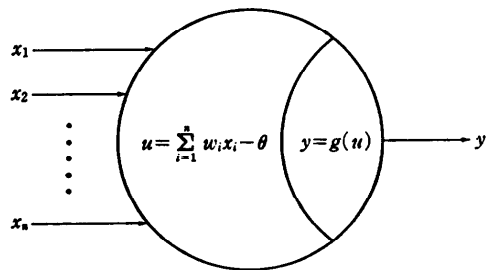


図-2 ニューロンモデル

† Neural Networks and Functional Memories by Tadashi AE (Electrical Engineering, Faculty of Engineering, Hiroshima University).

† 広島大学工学部第二類 (電気系)

* なお、シナプスは本来式(1)の係数に相当するので、厳密には式(1)はシナプスを包含している。また、グラフ表現においてはシナプスはアークに対応している。

しているが、議論の多くは図-1のような3層構造に関するものであった。このとき、入出力は2値(1または0)をとるから、NNをANNとして実現させるときには、論理関数を合成するのが目的のように考えられた。

しかし、アナログニューロンが考えられるようになってからは離散値(2値)から連続値(実数値)に拡張されたニューロンモデルが対象となり⁴⁾、PDP (Parallel Distributed Processing) という概念が登場するに至っている⁵⁾。

最近のニューロンモデルでは、ふつう、式(2)の代わりにロジスティック関数と呼ばれる

$$y = \frac{1}{1 + \exp(-u/\lambda)} \quad (3)$$

なるシグモイド関数* が用いられる。なお、 $\lambda \rightarrow 0$ の場合は、式(3)は式(2)と一致する**。

式(3)のような(非線形であるが)連続な関数を導入することにより、学習の収束性が保証される***。

(2) 相互結合型

ニューロンどうしの結合にフィードバック(帰還)を許したタイプをいう。このとき、回路的には、帰還部に遅延をもたせるか否かにより、図-3のように(a)と(b)の二つの型に分けられる⁶⁾。

(a)はニューロンを一次遅れ系****で表すが、純粹遅延のない相互結合型であるので、

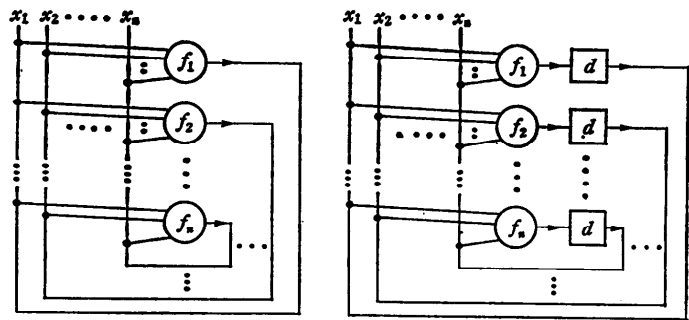
$$\frac{du}{dt} = Wx + I \quad (4)$$

$$x = g(u) \quad (5)$$

の形の力学系と呼ばれる微分方程式系を意味している***** (式(5)はふつう式(3)を用いることが多い)。

この型はANNでは非同期回路になる。代表例はホップフィールドネットである。

(b)は遅延素子を介した相互結合型であり、リカレント型と称することが多い。遅延の値は連続



(a) 非同期型
($f_i (i=1, 2, \dots, n)$ は式(4), (5) を包括している)

(b) 同期型
(d は単位遅延)

図-3 相互結合型ニューラルネット

値ではなく、離散値をとると考えられる。そうすると、遅延の値は1(単位遅延)として扱うことができるので、式(4)および式(5)は

$$u(t+1) = Wx + I \quad (6)$$

$$x = g(u(t)) \quad (7)$$

の形の差分方程式系で置き換えられる。

この型はANNでは同期回路に分類される。

なお、(b)は(a)をシミュレートすることができるから、(a)のタイプのNNを実現するANNには(a)と(b)の二つのタイプが存在する。(a)は(b)より高速であり、あくまでも、この型の直接実現をANN実現の目標としたいが、今のところ大規模なものの実現はむずかしい。

(3) システム型

ニューロンのモデル自体に関してはいろいろな変形があるが、ニューロン素子をベースにしてNNを構成した場合には、上の(1)または(2)に分類できる。しかし、NNをニューロンをモデルとして構築するだけではなく、システム的な概念を導入(あるいは併用)して構成するタイプは、上の分類はあてはまらない。それらをひとまとめにしてシステム型と呼ぶことにする。この型の例として、ART ネットや DCPS がある。

3. 機能メモリとしての神経回路網

3.1 多層型 (BP ネットなど)

NNにおける「連想」はかなり広い概念を有し、一般化の能力(汎化という)や学習可能性をも含んでいる⁷⁾。そして、記憶の分散表現を前提に入力に対し並列に連想動作(変換)が行われる。したがって、多層型のNNはそのための自然な表現

* S字状の関数。

** ANNでは、このような特性をもつ素子をハードリミッタという。

*** 最適化問題の解法にもこのような関数が役にたつ。

**** 伝達関数の極が一つである系のこと。

***** フィードバックのため $u \rightarrow y$ の代入をしている。

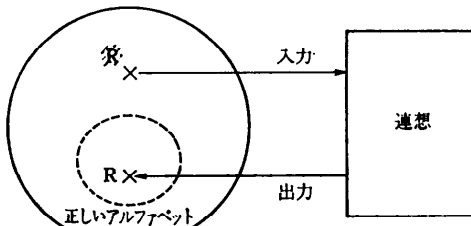
モデルになっている。多層型 NN 自体は古くから知られているが、最近では、ニューロンに式(3)のような連続関数をもたせ、誤差逆伝播アルゴリズム (BP と略す) と呼ぶ学習アルゴリズムを備えた BP ネット (Back Propagation Net) が一般的になった^{5)~7)}。

多層型の NN では連想動作は入出力間の変換で行われる。変換を記憶しておく機構は NN では陽に記述されないが、ANN では重み係数 (式(1)の w_i) の保持機構として陽に実現される必要がある。これを連続値のままアナログメモリに記憶させるという試みもあるが、通常は離散化した値を記憶させるため RAM が用いられる。したがって、BP ネットのような多層型の NN を直接 ANN として実現したものを機能メモリとして位置づけるより、RAM の援用が不可欠な回路網というほうが適切かもしれない。

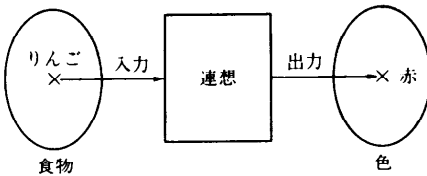
3.2 相互結合型 (ホップフィールド型など)

NN で行われる連想動作 (変換) において、入力の集合と出力の集合が同じカテゴリに属すときは、自己想起型の連想をするという。入力の集合と出力の集合が相異なるカテゴリに属すときは相互想起型の連想をするという (図-4)*。

ノイズを含むアルファベット



同一カテゴリ (a) 自己想起型の連想の例



(b) 相互想起型の連想の例 (食物という集合と色という集合は異なるカテゴリにあるとする。)

図-4 神経回路網における連想

*この定義はかなりセマンティックなものであり、シンタクティックには一種類の「想起」しか存在しない。

相互結合型の NN の代表例は J. J. Hopfield の提案した NN すなわちホップフィールドネットである¹⁴⁾。

ホップフィールドネットの自己想起型の連想メモリとしての動作は次のようになる。それは相関をとる方法 (ヘブの方法) で、記憶させたいパターン (ベクトル) の集合から二つのパターンをとりだしたとき、ともに 1 となるビット数は 1 となるビット数全体の 1/2 となるように変換して記憶させる。このような記憶パターンはホップフィールドネットではエネルギーの極小点になることが証明されている¹⁵⁾。

具体的には、4ニューロンの場合を例にとると、ベクトル x_i に対し

$$v_i = 2x_i - 1 \tag{8}$$

とおき (ただし、1 は単位ベクトル)、

$$W = \sum_{i=1}^n (v_i v_i^t - 1) \tag{9}$$

なる式で重みの行列 W を求める。(1 は単位行列、 t は転置を表し、 $\theta=0$ とする。)

たとえば、直交した二つのベクトルの場合、

$$x_1 = (1100), x_2 = (0011)$$

を入力すると、式(8)より

$$v_1 = (11-1-1), v_2 = (-1-111)$$

となるから

$$W = \begin{bmatrix} 1 \\ 1 \\ -1 \\ -1 \end{bmatrix} (1 \ 1 \ -1 \ -1) - 1 + \begin{bmatrix} -1 \\ -1 \\ 1 \\ 1 \end{bmatrix} (-1 \ -1 \ 1 \ 1) - 1 = \begin{bmatrix} 0 & 2 & -2 & -2 \\ 2 & 0 & -2 & -2 \\ -2 & -2 & 0 & 2 \\ -2 & -2 & 2 & 0 \end{bmatrix}$$

と求まる。このような使い方をするホップフィールドネットは 2 値ニューロン素子で実現できると重み係数の値が限られるので、LSI 実現も簡単である³⁰⁾。ホップフィールドネットに似た NN としては BSB (Brain State-in-a-Box) ネットがある³¹⁾。

ヘブの方法にみられるような実行即収束型の学習アルゴリズムの実行は、メモリへのデータ格納

をアルゴリズムで行うタイプの連想メモリの実行と見かけ上は一致する。もっとも、相互結合型の NN に対し一般的なデータ格納アルゴリズムを求めることは不可能に近い（ゆえに学習アルゴリズムがいろいろ提案されている）。それでもごく簡単な構造の相互結合型に対しては、そのようなアルゴリズムを示すことができる²¹⁾。

一方、「連想」という観点から NN と機能メモリを比較すると、NN の学習アルゴリズムには位相の形成が（陰であれ陽であれ）含まれているから、NN における連想では補間が行われるのに対し、通常の機能メモリではあらかじめ定義された連想機能のみを実現しているという違いがある*。

T. Kohonen の提案した NN すなわちコホーネンネット (Kohonen Network) は自己組織化を目的とする NN である。シンタクティックには相互結合型であるが、ホップフィールドネットとはかなり異なっている²²⁾。学習方法は

- (i) LVQ (Learning Vector Quantization)
- (ii) TPM (Topology-Preserving Map)

の2種類がある。LVQ (学習ベクトル量子化) は入力パターンの集合からトレーニングセットを選び空間を張るようにする。その後の入力に対しては winner-take-all (勝者のみすべてを得る) タイプのレスポンスをする。TPM (位相保存写像) は入力ベクトル空間から NN への位相保存写像を実現するための自己組織化学習**アルゴリズムを与える。もっとも、LVQ を TPM の特別な場合とみなし、ハードウェアを実現するというアーキテクチャ側の見方もある¹⁶⁾。

また、結合は局所的でよいので ANN にとってはぐあいがいよ^{***}。

3.3 BAM

B. Kosko の提案した BAM (Bidirectional Associative Memory) は図-5 に示すように双方向に結合をもつ2層の NN である²³⁾。フィードバック結合をもつため、入力パターンが入力層に与えら

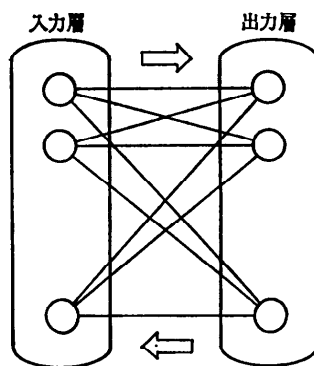


図-5 BAM

れると出力層に伝達するが、その結果は入力層にフィードバックされる。そして、その入力層のパターンを再び新しい入力として同様の動作をする。これを入力と出力のパターンが安定するまで繰り返す。

BAM の学習方法は入出力間の相関をもとにしたヘブ流のものである²³⁾。BAM の動作は単純であるが、新しいパターンの学習を正確に行うことは、必ずしも容易ではない。BAM の能力を高めるために適応型の BAM など改良版がいくつか提案されている²⁴⁾。また、BP (Back Propagation) の基本である認識誤差最小化を BAM の学習に取り入れたモデルも提案されている²⁴⁾。

BAM は相互想起型の連想 (heteroassociation) をするシンプルなモデルを提供する反面、記憶容量が小さいという欠点がある (ホップフィールド型自体記憶容量は大きくない¹³⁾)。しかし、BAM にみられる共鳴型の (resonating) 動作**は、次の ART ネットの共鳴動作と相通じており、深い連想の可能性をもっている。

3.4 ART ネット

ART (Adaptive Resonance Theory) は G. A. Carpenter と S. Grossberg により提唱されたパターン認識理論であり、この理論を実現した NN の総称としても ART アーキテクチャ (あるいはネットワーク) という言葉が使われている²⁵⁾。こ

* これまでの概念的な相異を述べているだけで、結果として同じようなものになることもありうる。たとえば、ハミング距離 $k(k > 2)$ を保つデータ格納アルゴリズムをもつ機能メモリはあるタイプの NN と同じようなふるまいをする。また、位相の形成については、初期条件では位相のない空間が (位相空間論でいう) T_0 空間、 T_1 空間、 T_2 空間の順に学習によって形成されると考えられる。

** 教師なし学習の代表例。BP のように学習に教師を必要としない、与えられた入力にしたがい、自分自身で一つの位相を内部に形成する。

*** LVQ, TPM のインプリメンテーションには相互結合型の NN である必要はない。

* 相互結合型自体の記憶容量は n ニューロンの場合 $\binom{n}{2}$ という上限をもち¹⁰⁾、重み一定符合のように陽に定義したデータ格納は可能である^{11), 12)}。しかし、記憶容量も大きくするような学習アルゴリズムは知られていない。

** 連想動作が双方向に行われるため、コンシステントでない間は動作が続くが、コンシステントになると停止する。このような動作のことをさす。

ここでは、それを単に ART ネットと呼ぶ。

ART ネットにおいて共鳴動作を行わせる機構は BAM のようにシンプルなものではなく、やや混み入っている。したがって NN といっても、システム構成のレベルで議論され、ニューロンレベルの構成には自由度が残されている（たとえば、BAM を利用して ART ネットをつくることもできる）。また、ART ネットの挙動自体もふつうの NN とはかなり異なっている。

ART ネットの基本アイデアは、トップダウンの期待に沿って注意をボトムアップの特定の情報に集中させるが、過去の記憶が新たな学習により消されることを防ぎ、新たな学習結果を矛盾なく知識ベースに加えるというものである。

以下、ART アーキテクチャとして、ART 1 を例に概要を述べる。ART 1 は、図-6 に示すように、注意を向けるための「注意サブシステム」と「方向づけサブシステム」とからなる。注意サブシステムには二つのステージ F_1 と F_2 があり、それぞれの利得制御（極端な場合にはスイッチでどちらかを選択）ができるようになっている。

F_1 、 F_2 はともに STM（短期記憶）であるが、 F_1 に入る入力パターンが F_2 へ至るボトムアップのプロセスおよび F_2 から F_1 へのトップダウンのプロセスにはそれぞれ適応的な LTM（長期記憶）のトレースがある。方向づけサブシステムは、 F_1 においてボトムアップとトップダウンの間にミスマッチが生じると、A は F_2 に対してリセット信号を送る。このリセット信号は、与えられた入力が止まるまで、アクティブである F_2 のセルを選

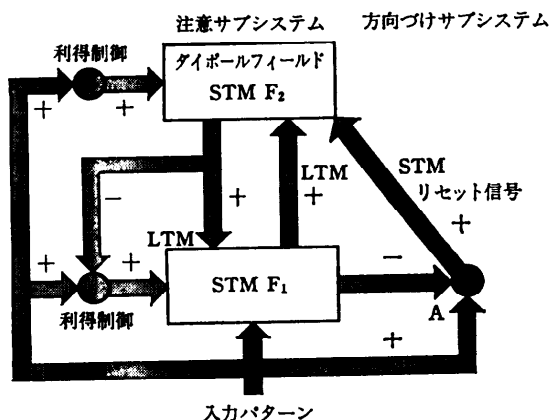


図-6 ART 1

択的に抑制するという働きをする。

ART ネットは、競合学習 (Competitive Learning) により、自己組織化を実時間で行う NN である。競合学習は、 F_2 が最大入力を受けたノードのみが選択される (winner-take-all による) という仕組みにより実現されている。ただし、ART ネットにおける適応的パターン認識のプロセスは、仮説の発見、検定、分類、学習という一般的な認識プロセスでもあり、抽象的な問題の処理にも拡張可能である。

もっとも、共鳴型の連想処理を一般の問題にまで適用できるようにするのは、これからの研究課題である。

BP ネット (フィードフォワード型 NN) の学習には非実時間性という問題があるため、実時間応用の目的には、ART のような自己組織化学習可能な NN も注目されつつあり、ハードウェア実現も試みられている²⁶⁾。

機能メモリという観点からみれば、ART も BAM と同じく、相互想起型の連想をするメモリであり、これからの普及が期待される。

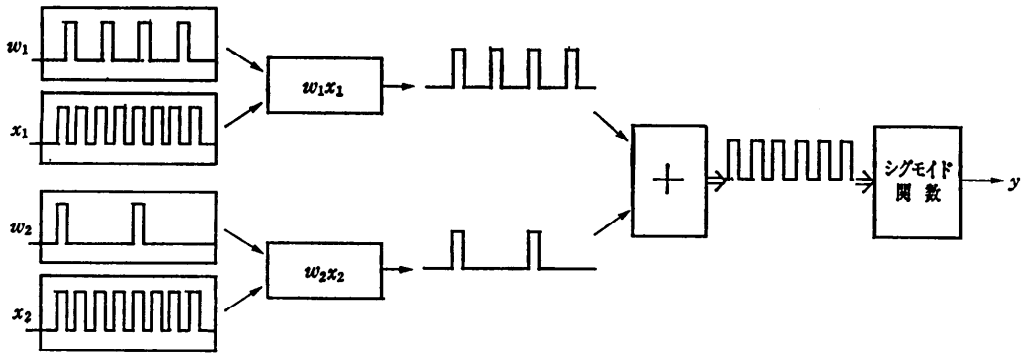
3.5 DCPS

D. S. Touretzky と G. E. Hinton の提案した DCPS (Distributed Connectionist Production System) は NN により実現したプロダクションシステムである²⁷⁾。システム型の NN であるという点では ART と共通しているが、陽に演繹型の推論を行うという点では、3.4 までの NN とはまったく異なっている。相互結合型の NN のうち、(a) の非同同期型の動作は帰納的であるし、(b) の同期型は演繹的なふるまいはするが、推論と呼べるほどの動作ではない。

ただし、DCPS も NN としてはボルツマンマシン (ホップフィールドネットを確率的にしたような NN) を基本にしているから、部分システムのレベルではこれまでの NN と同様の動作をする。

3.4 までの NN はなんらかの学習アルゴリズムを備えていた。DCPS では推論を形成するルールの獲得がこれに相当するが、これは知識獲得の問題であり、回路網形成の枠外の問題になる。

DCPS のようにシステム化された NN を機能メモリとしてみるのは、現時点では、やや時期尚早の感があるかもしれない。



w_1, w_2 : 重み係数
 x_1, x_2 : 入力
 シグモイド関数: 詳細略

図-7 パルス密度変調方式によるニューロンの実現例
 (単位時間内のパルスの数で値を表現する)

4. 神経回路網の実現技術

4.1 実現方法の分類

NN を ANN として実現するときの対象は (シナプスを含む) ニューロンとシナプス結合のための回路網である。

小規模な NN はアナログ技術でも十分実現できる。懸案であったアナログ記憶をもつシナプスも登場し、研究も続けられている。連想メモリとして最初にチップとして実現された例もアナログニューロンを用いていたし³⁰⁾、アナログ技術に固執する人も多い^{28), 29)}。

アナログニューロンには、高速性、高集積度、クロック不要 (非同期回路の実現が容易) という長所のある反面、精度が低く、規模の大きいものはつくれない。ANN の主流が (細かいところを除けば) デジタルになっていくことは否めない³²⁾。

デジタルニューロンの実現方法は次のように分類できる。

- (a) パルス符合変調方式
 - (a1) パルス密度
 - (a2) パルス幅
- (b) 無変調方式
 - (b1) 2 値
 - (b2) 多 値

(a) のパルス符合変調方式のうち、パルス密度を用いる方式は最も忠実に本来のニューロンを実現している³³⁾。(a2) のパルス幅を用いるときは、シュミットリガのような遅延を実現する回路を使うと実現しやすい^{31), 34)}。NN をコンピュータの周

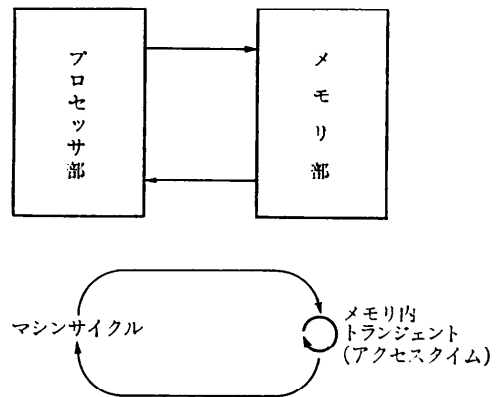


図-8 コンピュータ・アーキテクチャ

辺回路のような閉じた系として用いるには、パルス符合変調方式は有望な方式であるといえよう。

平井らにより ANN 実現されたパルス密度変調方式によるニューロン³³⁾の動作の説明を簡単な例で示すと、図-7 のようになる。

一方、これまでのコンピュータ・アーキテクチャとの融合を考えると、(b1) の 2 値デジタル技術、つまり、通常のデジタル技術による実現が妥当であろう³²⁾。

NN を通常のデジタル技術で実現する場合も、コンピュータ・アーキテクチャ的には、図-8 のように、プロセッサ部としての実現とメモリ部としての実現の 2 とおりがある。それは、

プロセッサ部…クロックを含む (同期回路)、
 メモリ部 …クロックを含まない (非同期回路)、

という対応にもなっている。ふつう、デジタル技術による NN は、たとえ演算器レベルでニュー

ロンを実現したとしてもラッチを含むために、プロセッサ部の実現になってしまう。むしろ、浮動小数点演算の実現には不可欠であることから分かるように、プロセッサ部としての実現の重要性はいうまでもない。しかし、その詳細は既出の解説に譲り³¹⁾、ここでは機能メモリ³⁾との対応のよいメモリ部としての実現を次に述べる。

4.2 機能メモリを用いる方法

機能メモリを用いて ANN を実現する方法のなかにも、FMPP (機能メモリ型並行プロセッサ) を用いてコホーネンネットを実現する例のように¹⁶⁾、NN の動作を直接的に実現する方法が、まず、あげられる。ついで、ニューロンの動作をテーブルにする方法がある^{17)~20)}。このテーブルルックアップ法を説明するために、2値ニューロンを例にとる。2値ニューロンの入出力関数はしきい値関数であり、ブール関数の族であるから、当然、真理値表で表すことができる。図-9 の例は、式(1)が

$$y = 2x_1 + x_2 + x_3 - 1.5$$

で与えられる2値ニューロンを示している。この真理値表をRAM/ROM で実現するときはアドレスをニューロンの入力とすればよい。

(1) フィードフォワード型 (多層型)

I. Aleksander は式(3)のシグモイド関数をもつニューロンの代わりに、PLN (Probabilistic Logic Node) という素子を提案している¹⁸⁾。つまり、2値素子に確率を付加することで、NN の挙動を確率的なものにする*。したがって、学習方法もBPとは異なり、確率的なものである^{18), 19)}。

この方法をANNで実現した場合、確率の生成つまり乱数を精度よくコントロールするためにはシミュレーションにせざるをえないという問題がある¹⁹⁾。

一方、ANNの高性能を損なわないで、RAM型のニューロンにBPによる学習をさせる試みも、最近、発表されている¹⁷⁾。

(2) 相互結合型

図-9 のテーブルの出力は2値であるが、これを多値化したのちDA変換すれば、増幅器を用いてシグモイド関数を実現することが

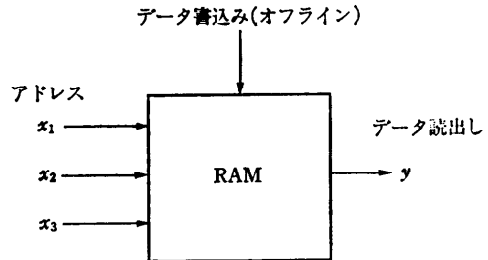
できる。むしろ、この手法自体は多層型でも使えるが、相互結合型で簡単に実現した例がある²⁰⁾。

もっとも、シグモイド関数のコントロールが必要な相互結合型のNNは最適化問題の解法器として用いる場合であり、連想メモリとして用いるときはハードリミッタでよい(式(2)の実現は論理回路のドライバを用いればすむ)。

いずれにしても、メモリをベースにして構成す

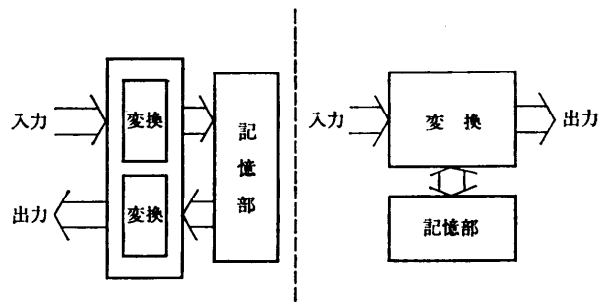
x_1	x_2	x_3	y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

(a) 2値ニューロンと等価な真理値表の例



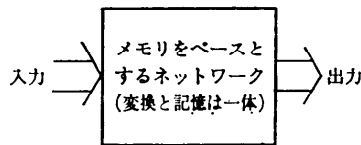
(b) RAM型ニューロン

図-9 メモリでニューロンを表す方法



(a) 入力データの変換は記憶に対して直列

(b) 入力データに対する変換と記憶は並列



(c) メモリ型 ANN

((a)(b)ともこの型に還元可能)

図-10 メモリをベースにして構成する人工ニューラルネットワーク(ANN)

* ホップフィールドネットに対するボルツマンマシンのようなものを多層型で提案しているともみることできる。

る ANN はニューロン数の増加に対し、指数のオーダーで複雑さが増す。したがって、小規模な NN を ANN として実現する一方法にすぎない。しかし、アナログニューラルネットと同等の高速性をもつデジタル式の ANN を実現できるから、一考に値しよう。

なお、メモリをベースにして構成する ANN の位置づけを図-10 に示す。データの入出力に対して、変換（ラッチをとめない写像を与える回路）と記憶部（ラッチ回路）の間には(a)と(b)の二つの結合形式があるが、メモリ型 ANN ではどちらの場合も(c)のように変換と記憶を一本化したものとなる。

5. むすび

機能メモリという観点からみた神経回路網について述べた。本稿では、まず、神経回路網を機能メモリという側面から紹介したが、これは神経回路網のほんの一面にすぎないし、まとまりのない散漫なものになった。神経回路網の研究はまだ進行中であり、現状で特徴や優劣を判断すること自体時期尚早な面があるというように理解していたければ幸いである。

また、機能メモリの構成法の一つとして、相互結合型の神経回路網のうち、非同期なものをそのまま非同期回路として実現したものも、シンタクティックには一つの候補になりうるが、時期尚早と考え省略した（物理レベルのハードウェア設計者はこのことを感覚的に理解していても、非同期回路の合成問題の難しさから手控えているようにも思われる）。

むろん、同期回路としての神経回路網については、着実な進歩をするであろう。ただし、このタイプの神経回路網をデジタル演算回路として実現する方法については紙面のつごう上、割愛した。

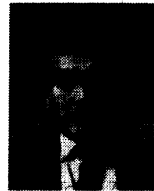
最後に、筆者に、再び機能メモリへの関心を喚起してくださった安浦寛人先生、読みにくい初校を丁寧に読んでいただき適切なアドバイスをくださった査読者に感謝します。

参考文献

- 1) 情報処理：小特集「ニューロコンピュータへ向け」, Vol. 29, No. 9 (Sep. 1988).
- 2) 田丸啓吉：機能メモリ：新しいアーキテクチャと集積回路技術（本特集）.
- 3) Maren, A. J., Harston, C. T. and Pap, R. M.: Handbook of Neural Computing Applications, Academic Press (1990).
- 4) Amari, S.: Characteristics of Random Nets of Analog Neuron-like Elements, IEEE Trans. on Systems, Man and Cybernetics, Vol. 2, No. 5, pp. 643-657 (Nov. 1972).
- 5) Rumelhart, D. E., McClelland, J. L. et al.: Parallel Distributed Processing: Explorations in Microstructures of Cognition, MIT Press (1986). 甘利俊一監訳, PDP モデル—認知科学とニューロン回路網の探索, 産業図書 (1989).
- 6) 阿江 忠: VLSI ニューロコンピュータ (21世紀のアーキテクチャをめざして), 共立出版 (1991).
- 7) 麻生英樹: ニューラルネットワーク情報処理, 産業図書 (1988).
- 8) Ae, T., Aibara, R., Fujita, S. and Mitsui, Y.: Binary Neural Network with Delayed Synapses, Proc. Intern. Workshop on VLSI for Artificial Intelligence and Neural Networks, G 1, Oxford (Sep. 1990).
- 9) 山田順三, 小倉 武: 機能メモリ, 電子情報通信学会誌, Vol. 73, No. 4, pp. 392-397 (Apr. 1990).
- 10) 大場良次: 相互に結ばれたしきい素子群の二, 三の性質, 電子通信学会論文誌(C), Vol. 51-C, No. 7, pp. 332-338 (July 1968).
- 11) Ae, T., Nagami, H. and Yoshida, N.: On Multistable Transistor Circuits Using Threshold Logic Operation, Intern. J. of Electronics, Vol. 36, No. 6, pp. 849-856 (1974).
- 12) 阿江 忠, 吉田典司: 多安定回路と符合割当て, 電子通信学会論文誌(C), Vol. 58-D, No. 3, pp. 129-134 (Mar. 1975).
- 13) Abu-Mostafa, Y. S. and Jacques, J-M: Information Capacities of the Hopfield Model, IEEE Trans. on Information Theory, Vol. 31, No. 4, pp. 461-464 (July 1985).
- 14) Hopfield, J. J.: Neurons with Graded Response Have Collective Computational Properties Like Those of Two-state Neurons, Proc. National Academy of Science, USA 81, pp. 3088-3092 (May 1984).
- 15) Tank, D. W. and Hopfield, J. J.: Simple "Neural" Optimization Networks: An A/D Converter, Signal Decision Circuit, and a Linear Programming Circuit, IEEE Trans. Circuit and Systems, Vol. 33, No. 5, pp. 533-541 (May 1986).
- 16) 小野寺秀俊, 竹下 深, 田丸啓吉: Kohonen ネットワークのハードウェアアーキテクチャ, 電子情報通信学会技術報告, ICD 89-146 (Nov. 1989).
- 17) Ae, T. and Aibara, R.: Memory-based Architecture for Artificial Neural Networks, 2nd International Conference on Microelectronics for Neural Networks, pp. 135-142, Munich (Oct. 1991).
- 18) Aleksander, I.: Are Special Chips Necessary for Neural Computing?, VLSI for Artificial Intelligence (Eds. Delgado-Frias, J. and Moore, W),

- pp. 247-254, Kluwer Academic Pub. (1989).
- 19) 古谷立美他: ニューラルネットワークを実現するメモリネットワーク, 電子情報通信学会技術報告, NC 89-13 (July 1989).
- 20) 阿江 忠, 相原玲二, 新田健一, 久長 稔: RAMニューロンによるホップフィールドニューラルネットワーク, 電子情報通信学会論文誌 C-II, Vol. J 72-C-II, No. 12, pp. 1106-1113 (Dec. 1989).
- 21) 藤田 聡, 山下雅史, 阿江 忠: 3次元集積回路を用いた連想メモリの記憶能力について, 電子情報通信学会技術報告, COMP 88-53 (Nov. 1988).
- 22) Kohonen, T.: *Self-Organization and Associative Memory*, Springer-Verlag, 2nd Ed. (1988).
- 23) Kosko, B.: *Adaptive Bidirectional Associative Memory*, Applied Optics, Vol. 26, No. 23, pp. 4947-4960 (Dec. 1987).
- 24) 林 幸雄: 誤差最小化 BAM によるパターン認識, 電子情報通信学会技術報告, NC 89-12 (July 1989).
- 25) Carpenter, G. A. and Grossberg, S.: The ART of Adaptive Pattern Recognition by a Self-organizing Neural Network, IEEE Computer, Vol. 21, No. 3, pp. 77-88 (Mar. 1988).
- 26) Wunsch, D. C. II. et al.: A Neural Architecture and Rotation Invariance, Efficient Software Simulation Heuristics and Optoelectronic Implementation, Proc. 24th HICSS, Vol. 1, pp. 298-304 (Jan. 1991).
- 27) Touretzky, D.S. and Hinton, G.E.: Pattern Matching and Variable Binding in a Stochastic Neural Network, Genetic Algorithms and Simulated Annealing (Ed. Davis, L.), pp. 155-169, Pitman Pub. (1987).
- 28) Mead, C.: *Analog VLSI and Neural Systems*, Addison-Wesley Pub. (1989).
- 29) Holler, M. et al.: An Electrically Trainable Artificial Neural Network (ETANN) with 10240 "Floating Gate" Synapses, Proc. IJCNN 89, Vol. II, pp. 191-196 (1989).
- 30) Graf, H. P., Jackel, L. D. and Hubbard, W. E.: VLSI Implementation of a Neural Network Model, IEEE Computer, Vol. 21, No. 3, pp. 41-49 (Mar. 1988).
- 31) 村岡洋一: VLSI ニューロプロセッサ, 情報処理, Vol. 31, No. 4, pp. 492-499 (Apr. 1990).
- 32) Ramacher, U. et al.: Design of a 1st Generation Neurocomputer, VLSI Design of Neural Networks (Eds. Ramacher, U. and Ruckert, U.), pp. 271-310, Kluwer Academic Pub. (1991).
- 33) 平井有三, 安永守利, 大山光男: 完全デジタルニューロチップの構成, 電子情報通信学会技術報告, ICD 88-130 (Dec. 1988).
- 34) Aibara, R., Mitsui, Y. and Ae, T.: A CMOS Chip Design of Binary Neural Network with Delayed Synapses, Proc. ISCAS '91, Vol. 3, pp. 1307-1310, Singapore (June 1991).

(平成3年6月24日受付)



阿江 忠 (正会員)

1941年生。1964年東北工学部通信工学科卒業。1969年同大学大学院修了, 工学博士。同大学助手, 広島大学助教授を経て, 1982年より広島大学工学部第二類(電気系)教授, 計算機工学担当。並列処理, 分散処理の(ハードを含む)システムおよび理論に興味をもつ。

