

解説



計算機教育用マイクロコンピュータの開発と その応用

——集積回路技術を利用した情報工学実験†——

神原 弘之†† 安浦 寛人†††

1. ま え が き

集積回路技術を基盤とするハードウェア技術の進展とソフトウェア技術の大規模化複雑化によって、システムのブラックボックス化が進み、計算機のユーザが計算機の物理的な構造に直接触れる機会が少なくなっている。大学などの教育機関における計算機教育もここ10年で大きく変わり、パーソナルコンピュータやワークステーションを用いたプログラム教育を中心に、ソフトウェア中心の教育が主流を占めるようになった。ハードウェアに関する知識は、論理回路理論、計算機構成論などの講義による知識を簡単な論理回路による実験と市販の1-chip CPUを用いた実験で確認する形で行われることが多い。このため、学生は、計算機アーキテクチャと論理回路や電子回路との関連が理解できなかつたり、プログラムを書く立場から自分なりに理解している計算機アーキテクチャにどことなく不安を感じることが少なくないようである。情報工学の均整の取れた教育のためには、20年前のミニコンピュータのように、計算機の内部構造までを見て触ることのできる教材により、計算機の構造や動作の基本原則を教えることが重要であると考えられる^{1),2)}。

さらに、情報工学の専門教育においては、ハードウェアの構成手段としての集積回路教育の重要性も指摘されている。特に、計算機アーキテクチャなどの教育/研究には、集積回路の利用は当然の前提となるべきである。しかし、集積回路の

性質上、大学の教育や研究で手軽に集積回路を製作することは困難であった。近年、小量多品種の集積回路を作成する技術として、ASIC (Application Specified Integrated Circuit) の技術が進歩し、設計支援のためのCAD (Computer Aided Design) 技術の成熟と相まって、ようやく大学でも集積回路を設計/試作できる環境が整ってきた。

本稿では、集積回路技術を利用した情報工学実験の重要性を認識し、その実現の可能性を探る。ケーススタディとして、大学における計算機ハードウェア教育に利用することを目的として開発した計算機教育用マイクロコンピュータ KUE-CHIP とその学生実験への応用について紹介する³⁾⁻⁷⁾。

2. 情報工学実験と集積回路技術

現在の大学での情報工学の教育において、学生が集積回路技術に触れるのは計算機や測定機の部品としてだけであって、集積回路の設計や製造の実際、具体的な利用例などに触れる機会はきわめて少ない。ここでは、集積回路技術を直接利用した情報工学実験について計算機ハードウェア教育と集積回路設計教育の二つの角度から眺めてみる。

1) 計算機ハードウェア教育

計算機ハードウェアの教育には、これまでも各教育機関で種々の工夫された実験装置や手法が開発されている^{1),2)}。特に最近のマイクロプロセッサの普及により、商用のマイクロプロセッサを利用した実験装置が種々開発され、商品となっているものもある。しかし、これらの商用のマイクロプロセッサを利用したシステムでは、プロセッサ内部の観測性が悪いので計算機内部の動作の確認が行いにくい。また、モニタプログラムなどのソフトウェアが観測の際に介在すると、ハー

† Development and Applications of a Microprocessor for Education of Computer Engineering—Experimental Courses of Computer Engineering Using Integrated Circuit Technology— by Hiroyuki KANBARA (Advanced Software Technology & Mechatronics Research Institute of Kyoto) and Hiroto YASUURA (Department of Information Systems, Interdisciplinary Graduate School of Engineering Sciences, Kyushu University).

†† 京都高度技術研究所

††† 九州大学大学院総合理工学研究科

ドウェアの本当の動作を理解しにくいという欠点がある。パーソナル計算機上でのシミュレータによってハードウェアの動作を理解させる手法も取られているが、学生にとってはソフトウェアとしてのシミュレータと対象計算機の動きを混同しやすい欠点がある。上級の計算機ハードウェア教育においては、学生に設計や製作を行わせている所が多いが、時間数や予算の制約で設計対象が限定されることが多い。CPU 自身を設計させる場合もあるし、商用のマイクロプロセッサを使って、外部のインタフェースだけを設計させている例もある。

計算機ハードウェアの初期教育には、単純なアーキテクチャをもつ計算機内部の動作が観測できるような教材が必要であると思われる。しかも、現在の集積回路技術によってこのような教材が提供されることは、学生にとって、先端技術と基礎的な技術のつながりを肌で感じる意味からきわめて重要である。さらに、上級の教育においては、計算機を実際に設計することが望ましい。このときに、学生自身が CAD ツールを用いて設計を行い、最終的に集積回路として実現できると、計算機アーキテクチャ、論理回路設計、半導体工学などの講義内容がどのように結びついて実際の集積回路が実現されるのかが理解でき、その教育効果は、きわめて大きいと思われる。

以下に、集積回路技術を利用することを前提とした計算機アーキテクチャ教育用の実験教材について検討する。

計算機ハードウェアの初期教育のための教材としては、以下のような機能が望まれる。

a) アーキテクチャは、計算機の基本的な概念を含むとともに簡素で単純であること。複雑なアーキテクチャでは、学生が本質的な構造を見失いやすくなり、単なるプログラム演習となってしまう。

b) メモリ、レジスタ、フラグを観測する機能、またそれらに対しデータの書き込みを行う機能をもつこと。特にプログラムカウンタや命令レジスタのような、通常では観測できないものを見ることは、学生の理解を大きく前進させる。さらに、モニタなどのソフトウェアの介在なしにハードウェアに直接触れられるような構造が重要である。

c) 1 命令、1 クロックフェーズ単位で、プログラムの実行を制御（実行/停止）を行う機能をもつこと。計算機の動作原理を理解するとともに、各部分回路の制御の論理までが推測されることが望ましい。

このような観点からは、商用のマイクロプロセッサを設計対象とすることは、あまりにも複雑すぎて非現実的である。2 千から 3 千ゲート程度が複雑さの上限と考えられる。

2) 集積回路設計教育

集積回路の回路規模が向上して、その量的な変化が質的な変化を引き起こしつつある。すなわち、チップ上に十分大きなシステムが CAD を使って簡単に実現できるようになり、論理設計やレイアウト設計の詳しい知識がなくてもシステム設計ができれば集積回路が作れるようになってきた。この現象は、主記憶容量の制限の解消によって質的にソフトウェア技術が変化したことと酷似している。米国を中心に 1980 年初頭からの VLSI ブームはこのような状況の先取りであったといえる。米国では、大学におけるシステム設計側からの集積回路設計教育が進められ、MOSIS などの組織によって、学生向けの実験コースで集積回路の設計を体験した卒業生を産み出している。ヨーロッパにおいても ES 2 社の協力の下、IMAG (仏) を中心とした EUROCHIP プロジェクトにより大学の教育研究において集積回路の作成が可能な状況が作られている⁸⁾。

10 万素子以上の回路が比較的安定に製造でき、自動レイアウトや論理合成のツールが完備してきた現在、ソフトウェアによる実現部分と集積回路技術によってハードウェアとして実現する部分を総合的に考えてシステムの設計ができる人材の育成が重要となっている。システムのどの部分を汎用のマイクロプロセッサとそのソフトウェアで実現し、どの部分を ASIC として集積回路で直接実現すればよいか判断できる設計者を育成する必要がある。上述の各国の教育研究用プロジェクトもこのような状況下で今後その成果が大いに期待されている。

我が国でも、ワークステーションやパーソナルコンピュータの普及と低価格化により、ソフトウェアの教育環境は大幅に改善されてきた。一方、ハードウェアは、集積回路規模の向上にとも

なって、現実の製品と大学の教育の間に大きな溝ができ、計算機アーキテクチャや論理回路がどのように集積回路として実現されるのかを大学教育の中で学生に体験させることは難しくなっている。大学教育における集積回路設計教育の努力が各大学で行われているが、その多くは講義のみによるもので、実験や実習をとまなうものはきわめて少ないのが現状である。しかも、システム設計側に立った集積回路設計という立場で組まれた実験カリキュラムはきわめて少ないと思われる。

以下、集積回路設計教育の立場から実験に望まれる事項をまとめる。

a) 設計する回路の規模は、比較的小規模であること。大学の実験では時間と予算に限りがあり、5000 ゲートぐらいが上限と思われる。

b) チップは、外部からの観測性がよいこと。大学の実験では IC テスタなどを用いてチップの動作を確認することは難しい。できれば、機能試験は特別な装置なしに行いたい。

c) メモリをマクロセルとして用いていること。メモリセルの設計の中での利用法を修得させる。メモリ回路の設計までは行わなくてよいが、一般の論理回路とメモリの回路上、レイアウト上の違い、集積度の違いなどを理解させたい。

d) ゲートアレイ方式やスタンダードセル方式でレイアウトまで設計すること。論理設計だけでなくレイアウト設計までを CAD の上で行うことにより、集積回路の理解を深める。

e) CAD ツールを活用すること。スキマティックエディタ、自動レイアウトツール、論理シミュレータなどを利用して、階層化設計や完全同期式設計など大規模回路の設計手法を修得させる。また、テスト生成なども実習させることが望まれる。

f) 設計した回路を現実的なコストで LSI 化できること。実験用なので、10 チップもあれば十分である。

さらに、このような実験を通じて得られる設計データを公開することにより、計算機のアーキテクチャ設計からレイアウト設計までの一貫した設計例を教育研究用に提供することができる。

3. 計算機教育用マイクロコンピュータ KUE-CHIP の試作^{*)}~7)

KUE-CHIP (Kyoto University Education CHIP) は、大学などにおける情報工学とりわけハードウェア教育のための教材として、ASIC 技術を利用して開発されたシングルチップマイクロコンピュータである。開発の基本的な目標としては、以下のようなことを考えた。

1) 計算機ハードウェアの知識をもたない人が、計算機内部の構造と動作を理解するための教材となる。

2) 情報工学を学ぶ学生が集積回路設計を行う際の設計対象となる。

3) 計算機アーキテクチャ、論理回路、集積回路および CAD などの教育に一貫性のある教材を提供する。

基本的なアーキテクチャは、京都大学工学部情報工学教室において学生実験で試作対象としていた計算機のものを採用した。これは、計算機の基本的な構造と機能を含むきわめて単純なアーキテクチャであるとともに、計算機の動作の観測や制御が行いやすいように工夫されていることによる。このアーキテクチャをスタンダードセル方式の集積回路として ASIC 技術を利用して実現した。回路規模は、約 3000 ゲートであり、チップ内に 256 語のメモリも内蔵している。外部からの観測のために、1 語 8 ビット 26 命令の単純な計算機にもかかわらず、入出力用に約 80 ピンを使用している。設計は、人手で論理設計を行い、論理回路図をスキマティックエディタで CAD システムに入力し、論理シミュレーションの後、自動レイアウトによってレイアウトデータを作成した。集積回路の製造は欧州の ES 2 社のプロセスに依頼した。今回の試作は、計算機教育用のチップを試作して、その教育効果を確認めるとともに、集積回路試作実験を行う際の基礎データの収集を目的に行った。

KUE-CHIP の設計仕様の概要を以下に示す。

1) 設計手法：計算機の主要部分は同期回路とし、CMOS のスタティック回路を用いる。論理設計は人手で行い、レイアウトは自動レイアウトで行う。メモリや機能ブロックでライブラリが利用できる部分はできるだけ利用する。設計検証は、

論理シミュレーションで行う。

2) LSI の製造：製造を行う ES 2 社とのインタフェースは、レイアウトの結果とシミュレーション結果とし、シミュレーションで得られた期待値とテスト結果が一致すれば良品として受け入れる。

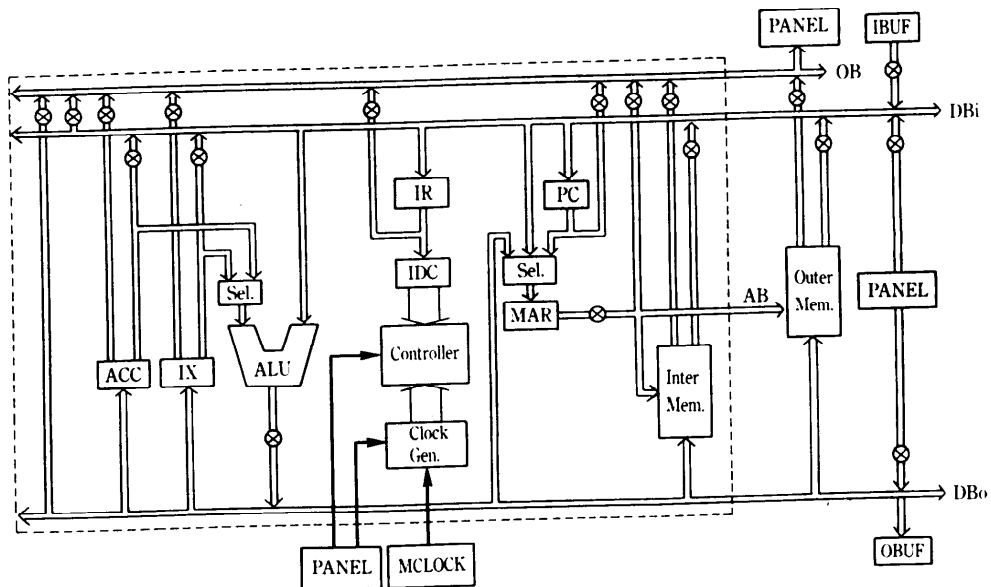
3) CAD ツール：ES 2 社のツール Solo 1400⁹⁾を用いる。論理設計はスキマティックエディタを用いて行い、自動レイアウトでスタンダードセル方式のレイアウトを生成する。テストパターンは人手で設計し、Solo 1400 のシミュレータにかける。

4) 基本アーキテクチャ：データバス、アドレスバスの幅は 8 ビットとする。これによりハードウェア量を必要最小限に抑える。命令は必要最小限のものとし、割り込みおよびサブルーチンの CALL, RETURN 命令は付加しない。メモリ空間は 256 バイトとし、アドレッシングモードは、インデックス修飾までを用意する。パイプライン

処理など複雑な制御は持ち込まず、簡潔なアーキテクチャとする。

5) ユーザインタフェース：観測用オブザーババスを設け、チップ内部のすべてのレジスタ、カウンタ、フラグ、バスのデータまたは制御信号のすべてをチップの外部に出力可能にする。これによりチップ内部のハードウェア動作の観測性を高める。さらに、すべてのレジスタ、カウンタ、フラグをデータバスを通して外部から書き込み可能とし、可制御性を高める。1 命令、1 クロックフェーズ単位で、プログラムの実行を制御できる。

このような仕様をもとに設計した KUE-CHIP のアーキテクチャを図-1 に示す。点線内が KUE-CHIP に集積化されている部分である。KUE-CHIP のバスは、入力データバス DBi、出力データバス DBo、アドレスバス AB、オブザーババス OB で構成される。バスの幅はすべて 8 ビットである。オブザーババス OB は、すべてのレジス



ACC Accumulator
IX Index Register
Sel. Selector
ALU Arithmetic Logic Unit
PC Program Counter
IR Instruction Register
IDC Instruction Decoder
MAR Memory Address Register
OB Observer Bus
AB Address Bus
⊗ 3 State Buffer

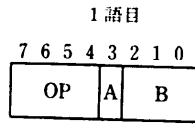
Clock Gen. Clock Generator
Inter Mem. Internal Memory
IBUF Input Buffer
OBUF Output Buffer
Outer Mem. Outer Memory
MCLOCK Master Clock

DBi Data Bus for Input
DBo Data Bus for Output

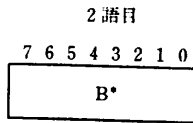
図-1 KUE-CHIP のブロック図

表-1 KUE-CHIP の命令形式と命令セット

命令形式



A = 0 : ACC
1 : IX



B = 00 : ACC
01 : IX
10 : 即値アドレス (B* : データ)
110 : 直接アドレス (B* : アドレス)
111 : 修飾アドレス (B* + (IX) : アドレス)

命令セット

略記号	命令コード (1 語目)	B*	命令機能の概略	
H	1 1 1 1 1 1 1 1	×	Halt	停止
NOP	1 1 1 1 0 0 0 0	×	No Operation	
IN	1 1 1 0 1 - - -	×	INput	(IBUF) → ACC, Busy-flag = 0
OUT	1 1 1 0 0 - - -	×	OUTput	(ACC) → OBUF, Strobe-Out = 0
SRA	1 0 0 0 A 0 0 1	×	Shift	
SRL	1 0 0 1 A 0 0 1	×	Right Arith.	(A) → シフト → A
SLL	1 0 1 0 A 0 0 1	×	Right Logical	(A) → シフト → A
RL	1 0 1 1 A 0 0 1	×	Left Logical	(A) → シフト → A
IS	0 0 0 1 A B	○	Rotate Left	(A) → シフト → A
S	0 0 1 0 A B	○	Inverse Sub.	(B) - (A) → A
A	0 0 1 1 A B	○	Subtract	(A) - (B) → A
EOR	0 1 0 0 A B	○	Add	(A) + (B) → A
OR	0 1 0 1 A B	○	Exclusive OR	(A) ⊕ (B) → A
AND	0 1 1 0 A B	○	OR	(A) ∨ (B) → A
L	0 0 0 0 A B	○	AND	(A) ∧ (B) → A
ST	0 1 1 1 A B	○	Load	(B) → A
B	1 1 0 0	○	STore	(A) → B
(BA)	1 1 1 1	○	Branch	分岐条件 条件が成立すれば常に成立 B* → PC
(BNP)	1 1 1 0	○	always	
(BNN)	1 1 0 1	○	on not positive	演算結果 ≤ 0
(BZ)	1 1 0 0	○	on not negative	" ≥ 0
(BNZ)	1 0 1 1	○	on zero	" = 0
(BN)	1 0 1 0	○	on not zero	" ≠ 0
(BP)	1 0 0 1	○	on negative	" < 0
(BOF)	1 0 0 0	○	on positive	" > 0
(BNO)	0 0 0 1	○	on overflow	桁あふれ
(BNI)	0 0 0 0	○	no output	Busy-In = 1
		○	no input	Busy-flag = 0

- : don't care

× : 不用

○ : 不用 or 必要

◎ : 必要

タ, カウンタ, バスのデータ, またチップ内部の制御信号をチップの外部に出力できる. どのデータまたは制御信号を出力するかは, チップの外から与える選択信号で指定できる. メモリ空間は 256 ワードであり, 1 ワードは 8 ビットである. KUE-CHIP は 256 バイトの SRAM を内蔵している. またチップ外部のメモリを使用することも可能になっている.

KUE-CHIP の命令形式と命令セットを表-1 に

示す. 命令形式と命令セットは, 京都大学工学部情報工学科の学生実験に使われている計算機 KEAC Model-1.5¹⁾ を参考にした. 命令は 1 アドレス形式で, 可変語長であり, 主にレジスタ演算用の 1 語命令とレジスタとメモリ間の演算用の 2 語命令がある. 2 語命令でのアドレッシングモードは 3 種類あり, 即値アドレス, 直接アドレス, 修飾アドレスが指定できる.

KUE-CHIP の各命令の実行フェーズ表を表-2

表-2 KUE-CHIP の実行フェーズ表

フェーズ		P0	P1	P2	P3	P4	P5
命令				HALT			
II				NOP			
NOP				(IBUF)→ACC	FLAG CLEAR		
IN				(ACC)→OBUF	STROBE OUT		
OUT				SHIFT	STATUS SET		
SHIFT				(a)→ (a*)→ALU→a	STATUS SET		α { ACC IX
IS	ACC. IX						
S	immediate			(PC)→MAR	(a)→ (Mem)→ALU→a	STATUS SET	
EOR	direct	(PC)→MAR	(Mem)→IR	PC++	(Mem)→MAR	(a)→ (Mem)→ALU→a	STATUS SET
OR							
AND	index	PC++			(IX)→ (Mem)→ALU→MAR	(Mem)→	
					(a)→(a*)		
L	ACC. IX			(PC)→MAR	(Mem)→(a)		
	immediate			PC++	(Mem)→MAR	(Mem)→a	
	direct				(IX)→ (Mem)→ALU→MAR		
	index			(PC)→MAR	(Mem)→MAR	(a)→Mem	
ST	direct			PC++	(IX)→ (Mem)→ALU→MAR		
	index			(PC)→MAR PC++	STATUS CHECK (Mem)→PC	(条件成立)	
BRANCH							

に示す。P0, P1 が命令取り出しフェーズであり、P2, P3, P4, P5 が命令の実行フェーズである。1命令の実行に必要なクロックは6フェーズが最長である。

フラグは3種類あり、ゼロフラグ、ネガティブフラグ、オーバフローフラグをもつ。また入出力命令により、IBUF, OBUF を通じて外部とのデータのやり取り、また KUE-CHIP を用いた計算機間の通信が可能である。

KUE-CHIP の設計は、使用したワークステーション SUN-3/60 C 上の Solo 1400 で、論理設計、シミュレーション、レイアウト設計、パッケージ設計を行った。

命令デコーダ、コントローラ、クロックジェネレータの論理設計は、NAND, NOR, フリップフロップなどの基本ゲートを用いて行った。レジスタ、カウンタ、ALU などの機能ブロックは、74 シリーズライブラリを利用することで設計にかかる労力を削減した。メモリブロックはマクロセルジェネレータで自動生成を行った。

設計の検証は、論理シミュレータで行った。シミュレーションパターン長は、5100 ステップで

ある。チップ全体でのシミュレーション1回にかかる時間は約8時間であった。

レイアウト設計はスタンダードセル方式でほぼ自動で行い、人手によるレイアウトの改善を若干行った。論理回路からレイアウトを自動生成するのにかかる時間は約10分であり、人手によるレイアウトの改善には約20分の時間がかかった。

KUE-CHIP の回路規模は約3000ゲートであり、設計に必要であった労力は、2.5人月であった。その内訳は以下のとおりである。

アーキテクチャ設計	70 時間人
機能・論理設計	270 時間人
レイアウト設計	20 時間人
シミュレーション	140 時間人
計	500 時間人

情報工学科で行われている市販の集積回路(74シリーズ)を用いた実験に比べ、CADに習熟するための時間、シミュレーション用のテストパターンの作成およびシミュレーション時間が余分にかかり、約40%の工程増となっている。

チップの製造はES2社に依頼し、2.0μm CMOS アルミ2層プロセスを用いて行った。製

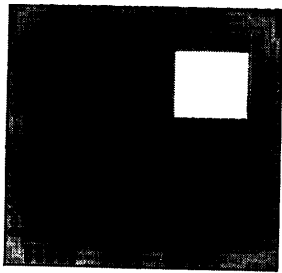


図-2 KUE-CHIP

造に要した期間は、6週間であった。チップサイズは 42 mm^2 、パッケージは PGA 120 ピンを使用した。120 ピンのうち実際に使用したピンは 80 ピンである。チップ写真を図-2 に示す。

納入後の試験において、26 命令のうち BP 命令を除くすべてが、クロック周波数 $0.1\text{ Hz} \sim 500\text{ kHz}$ で動作することが確認できた。BP 命令およびオーバーフローフラグは、設計誤りにより仕様どおり動作しなかった。

4. KUE-CHIP の応用

4.1 KUE-CHIP ボード

KUE-CHIP を用いて、計算機ハードウェアの初期教育を行うために KUE-CHIP ボードを作成した。ボードは KUE-CHIP を中心に、外部メモリとして利用できる 256 語のメモリ IC、約 30 個の SSI や MSI、表示用の LED、スイッチなどで構成されている。ボードの外観を図-3 に示す。

外部との入出力のために 9 ビットの入出力ポートを 1 組もつ。入力ポートは、外部の装置をつながなくても使えるように、DIP スイッチで直接データを与えることもできるようになっている。また、クロック周波数が可変のクロック生成回路をもっており、 0.01 Hz から 1 MHz まで、64 種の周波数が DIP スイッチにより設定できる。表示系は、計算機の内部レジスタを表示する 8 個の LED とその 16 進表示のための 7-segment の LED、計算機内部のフェーズを表示する LED、入出力バッファの内容を表示する LED などからなる。

制御用のスイッチとしては、1 フェーズだけ実行するシングルフェーズスイッチ、1 命令分実行するシングルインストラクションスイッチなどが

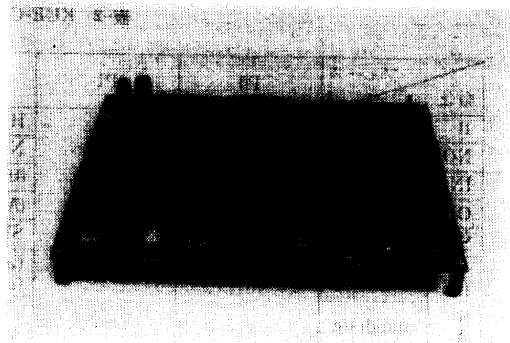


図-3 KUE-CHIP ボード

用意され、細かな観測を可能にしている。また、内部のレジスタなどを指定するスイッチや指定されたレジスタなどに設定するデータをセットするスイッチなども用意されている。これらのスイッチを利用して、1) メモリ内容の読みだし、書き込み、2) レジスタ、フラグ、カウンタの内容の読みだし、書き込み、3) 1 命令分だけの実行、4) シングルクロックフェーズの命令実行、5) 内部制御線の観測が行える。このため、従来のワンボード計算機のような ROM モニタは不要である。また、汎用の計算機上で動作するクロスアセンブラや逆アセンブラも開発している。

京都大学工学部電気系教室でこのボードを利用した学生実験を行っており、立命館大学、芝浦工業大学、大阪電気通信大学などでも利用されている。さらに、広島大学、名古屋大学、大阪市立大学、京都工芸繊維大学、九州大学などでも利用が検討されている。

4.2 学生実験への応用

KUE-CHIP ボードを利用して京都大学工学部電気系教室の学部 3 年生を対象とした学生実験を行っている¹⁰⁾。実験は、9 時間 (1 日半) で、計算機の基本的な動作を理解させることを目的としている。実験項目としては、KUE-CHIP の各命令の動作を細部まで観測することを中心課題とし、応用問題として、簡単な倍長語の加算や乗算のプログラム、オシロスコープを利用した文字の表示実験などを行わせている。さらに、回路内のセレクトや ALU の制御信号をフェーズ信号と命令レジスタの各ビットの論理関数として表すような問題を課すことで、論理設計の一部分を体験させることも行っている。

従来のシングルボード計算機と違い、KUE-

CHIP ボードはモニタをもっていないので、裸の計算機に触っている実感を学生が感じ取っているようである。また、0.1 Hz といったゆっくりとしたクロック周波数でプログラムを実行すると、計算機の内部状態の変化をリアルタイムに観察できるため、きわめて大きな教育効果がある。限られた時間内で、計算機の構造を理解させるための教材としては、十分にその効果が確認された。

さらに、上級の実験にまで応用しようとする次のような改良が望まれる。

- 1) 制御部をマイクロプログラム方式に変え、学生が自分の命令を作れるようにする。
- 2) メモリ空間を 4,000 語程度に拡張する。
- 3) 割り込み機構やスタックを導入してより現実の計算機に近付ける。
- 4) 簡単なローダの機能を ROM 化して、外部のパーソナルコンピュータからプログラムをロードできるようにする。

このような機能拡張をして、簡単なモニタの作成や入出力機器の接続を行わせることで、より高度な実験を行えるようにできると考えられる。

4.3 計算機設計および集積回路設計教育への応用

KUE-CHIP の基本アーキテクチャは、京都大学工学部情報工学教室の学生実験で作成させてきた計算機と同じである。今回の試作の一つの目的は、現在の SSI, MSI を組み合わせて行っている実験を LSI 設計に置き換えることができるかを評価することにあった。この試作の結果、

- 1) 少ないハードウェア量で、論理回路/集積回路の基本的な要素を含んでおり、集積回路作製の課題としては適当である。
- 2) 現在の CAD ツールの修得には、ワークステーションの操作 (OS の理解を含む) や、論理シミュレーションやレイアウトなど CAD に関する基礎知識を必要とし、学部専門課程の初期には少し無理がある。
- 3) KUE-CHIP のアーキテクチャは、観測性がよく、高価な IC テスタがなくともチップの動作試験はできる。
- 4) 十分な論理シミュレーションを行う必要があり、そこにかかなりの時間が費やされる。
- 5) レイアウトは、自動でも十分に使え、自動レイアウトの結果を解析するだけでも大きな教育

効果がある。実験時間とツールの制約が許すならば、配置をある程度人手で行うことが望ましい。といった知見が得られた。

KUE-CHIP は、大学の学部 (上級) もしくは大学院生の集積回路設計実習 (半年, 10 週間) での設計対象として適当な課題であると考えられる。KUE-CHIP を設計対象とする集積回路設計実習のカリキュラムとしては、以下のようなものが考えられる。

学生は数人ずつの設計グループに分かれ、グループごとに CAD 環境 (スキマティックエディタ, 機能/論理シミュレータ, 自動レイアウトツールなど) を搭載したワークステーション 1 台を与える。学生には、仕様として KUE-CHIP のアーキテクチャ, 命令セット, 実行フェーズ表を与える。学生は CAD ツール上で、機能・論理設計, レイアウト設計, シミュレーションを行う。学生は設計データとして、論理設計データ, レイアウトデータ, シミュレーションパターンを提出する。設計は夏期休暇前に完了させ、チップの製造を休暇の間に行う。休暇後に学生は各自が設計したチップをテストする。現在の大学の予算規模などから考えると、実際にチップを作製するのは、毎年 1 設計となるであろう。たとえば、教官側で完全なテスト系列を用意しておき、それをパスしたものの中から回路規模が最小のものを選んで試作するなど工夫が必要であると思われる。

集積回路の試作が大きな問題点となるため、最近の LCA (Logic Cell Array) のような FPGA (Field Programmable Gate Array) を利用する方法も検討されている^{11), 12)}。回路試作のコストが大きく削減でき、マイクロプログラム方式なども取り入れやすく、学生が自由にアーキテクチャを設計できる利点があり、今後有望な手法になると思われる。しかし、学生がエミュレーションやシミュレーションなどと混同したり、実際の集積回路の設計工程を理解できないなどの問題点もあり、十分な配慮が必要である。

4.4 教育研究における利用

KUE-CHIP の設計データは、論理回路図, ネットリスト, レイアウト図, テストパターンなど開発過程で得られたものがすべて公開されている。公開されているデータとしては、アーキテクチャ仕様, 動作/機能記述 (LSI 設計用標準言語

UDL/I による記述), 論理設計 (ネットリスト, 論理回路図), レイアウト (レイアウト図, CIF), テストパターンがある. CAD 上での集積回路設計の一例としてだけでなく, アーキテクチャと論理回路の対応, 論理回路とレイアウトの対応など, LSI に関する講義の資料としても幅広く利用可能である.

また, これらの設計データは, 大学における CAD ツールの研究のベンチマークデータとしても大きな意味がある. 人手の論理設計は, 論理合成ツールの評価に際しても貴重なデータである. すでに, NTT で開発された論理合成システム Parthenon によって自動合成した結果もある. Parthenon の入力言語である SFL や LSI 設計用標準言語 UDL/I による動作/機能記述は設計言語の比較の上からも貴重な資料となる. (現在, IEEE 標準の VHDL による動作/機能記述も, ノースイースタン大学および南カロライナ大学で作成している. また Verilog HDL による記述も作成中である.) また, レイアウトツールの研究にもアーキテクチャレベルから一貫した意味のあるまとまった回路の例として重要である. 今後, 他の CAD のベンチマークデータとのフォーマットを整合させて, 大学の研究者へ利用していただく計画である¹²⁾.

5. あとがき

大学における集積回路技術を用いた情報工学実験の可能性について述べた. 実例として計算機ハードウェアの初期教育に利用することを目的として開発した教育用マイクロコンピュータ KUE-CHIP とそれを用いたワンボード計算機について報告した. KUE-CHIP は, 計算機の初期教育の教材として有効であり, また, 集積回路設計実験の設計対象としても優れた性質を有している. さらに, 今回の試作を通じて得られた種々の設計データは, アーキテクチャからレイアウトにいたる一貫した設計の流れを理解させるための教材としても有用なものである.

現在, 京都大学工学部電気系教室の学生実験にこのボードを利用しており, 学生の反応も従来の Z80 を用いた実験より確かに良くなっている. KUE-CHIP の設計試作を行う実験は, CAD ツールの導入や回路の試作にかかるコストの問題を除

けば, 実施可能であると思われる. CAD ツールは, 産業界の協力やパブリックドメインソフトウェアの利用などでそろえることが可能である. 最大の問題点は, 集積回路を試作する手段が大学側にないことである. いくつかの大学のもつ集積回路用のプロセスは, このようなサービスを引き受けられる状態にはない. 産業界は, 10 チップ程度の少量の生産には, あまり積極的でない. 今後, 集積回路設計の経験をもつシステム設計者への期待は, ますます大きくなるものと思われる. 試作実験の実現に向けて関係者のご協力を期待したい.

今回の試作では, 計算機ハードウェア教育と集積回路設計教育という二つの異なった側面を考えたため, お互い相いれない要求もあった. 各側面からアーキテクチャを見直し, それぞれの目的に適したアーキテクチャを考えることも必要であろう. 各方面からのご意見, ご批判をいただければ幸いである.

追記 KUE-CHIP の改良版として, 命令セットなどを見直した KUE-CHIP 2 を現在作製中である. 設計は大学院生 4 人のグループで行ってもらい, 設計工数, 必要なドキュメント, 分担方法などのデータを収集している. 今後の各大学における実験計画の参考にいただければ幸いである.

謝辞 今回の試作の機会を与えてくださった京都大学工学部電子工学教室田丸啓吉教授ならびに(財)京都高度技術研究所の大野豊所長に感謝する. KUE-CHIP の仕様決定に関しては, 京都大学工学部情報工学教室の柴山潔助教授, 新實治男博士 (現在京都工芸繊維大学), 石浦菜岐佐博士 (現在大阪大学), 同電子工学教室の渡辺章弘氏 (現在豊田中央研究所) にご議論をいただいた. チップの製造に関しては, ES2 (European Silicon Structures), ならびに(株)物産システムテクノロジーの皆さまに多大のご協力をいただいた. ボードの作成やアセンブラの作成においては, 京都大学工学部電気系教室の岡田和久氏, 小林和淑氏の協力を得た. また, UDL/I 記述の作成については, 電気系教室の則安学氏および松下電器産業の高井裕司氏のご努力によるところが大きい. ここに謝意を表す. 最後に, 貴重なご意見を多数いただいた査読者, 電気系教室の学生実験担当の教官各位ならびに果敢に新しい試みに挑戦してくれた学生諸君に感謝する.

参 考 文 献

- 1) 萩原 宏: 情報工学ハードウェア実験, オーム社 (1983).
- 2) IEEE Computer Society: Special Issue on Micro Processor in Education, IEEE Micro, Vol. 11, No. 1 (Feb. 1991).
- 3) 神原弘之, 安浦寛人: 教育用マイクロコンピュータ KUE-CHIP の開発と応用, 第 129 回情報工学研究談話会資料, 京都大学工学部情報工学教室 (1990).
- 4) 神原弘之: 教育用マイクロプロセッサ: KUE-CHIP, 情報処理学会研究報告, 90-ARC-82 (1990).
- 5) Kanbara, H.: KUE-CHIP: A Microprocessor for Education of Computer Architecture and LSI Design, Proc. IEEE ASIC Seminar & Exhibit, p. 10-4 (1990).
- 6) Kanbara, H.: KUE-CHIP: A Microprocessor for Education of Computer Architecture and LSI Design, Technical Digest, IFIF Workshop on Design Test of ASICs, pp. 15-18 (1990).
- 7) 神原弘之: 教育用マイクロプロセッサ: KUE-CHIP, 電子情報通信学会技術報告, ET 90-106 (1990).
- 8) Delori, H., Guyot, A. and Paillotin, J. F.: French MPC Activity Report, CMP, Grenoble (1990).
- 9) ES 2: Solo 1400 User Guide, European Silicon Structure Limited (1988).
- 10) 京都大学工学部電気系教室: 電気・電子工学実験第二, 1991 年度版 (1991).
- 11) Gal, T., Agusa, K. and Ohno, Y.: Design and Implementation of Educational Purpose Microprocessor EPMP, personal communication (1991).
- 12) 中島, 小野寺, 安浦, 神原, 矢野, 田丸: LSI 設計 CAD ツール評価用総合ベンチマークセットについて, 情報処理学会第 43 回全国大会 6 R-9, Vol. 6, p. 267 (1991).
- 13) 末吉, 田中, 船越, 松尾, 有田: 書き換え可能な LSI を用いた教育用マイクロプロセッサの開発, 情報処理学会第 43 回全国大会, 2 Q-11, Vol. 6, p. 41 (1991). (平成 3 年 6 月 5 日受付)



神原 弘之

1963 年生. 1987 年京都大学工学部電子工学科卒業. 1989 年同大学院修士課程電子工学専攻修了. 同年 (財) 京都高度技術研究所入所. 論理設計, VLSI 用 CAD の研究に従事. 電子情報通信学会会員.



安浦 寛人 (正会員)

1953 年生. 1976 年京都大学工学部情報工学科卒業. 1978 年同大学院修士課程情報工学専攻修了. 1980 年より京都大学工学部助手. 1986 年より同電子工学科助教授. 1991 年より九州大学大学院総合理工学研究科教授. 並列アルゴリズム, 並列計算機アーキテクチャ, 論理設計, VLSI 用 CAD の研究に従事. 1987 年度電子情報通信学会, 1990 年度本学会論文賞受賞. IEEE, ACM, 電子情報通信学会, ソフトウェア科学会, LA シンポジウム, EATCS 各会員.