

## 解説



## マルチプロセッサスーパーコンピュータ PHI の研究開発

マルチプロセッサスーパーコンピュータ  
のための GaAs 素子技術†

佐久間 啓竹 野崎 忠敏††

## 1. まえがき

GaAs 半導体材料は、バンドギャップが室温で 1.4eV と大きく、ミッドギャップ近傍に深い不純物準位が存在するため、 $10^7 \sim 10^8 \Omega \text{cm}$  の比抵抗を有する半絶縁性基板が容易に得られる。GaAs 電界効果トランジスタ (いわゆる GaAs MESFET = Metal-Semiconductor Field Effect Transistor) は、この半絶縁性 GaAs 基板に不純物 (主に Si) を選択イオン注入して形成した  $n$  型活性層 (Semiconductor) 上に、“ショットキー障壁”を生ずる金属材料で作ったゲート電極 (Metal) とソース・ドレインオーミック電極とを設けた物で、他のどの素子と比べても簡単な構造となっている。この  $n$  型活性層とゲート電極の間のショットキー障壁が、ちょうど Si MOSFET の絶縁酸化膜と同様の働きをし、活性層中の電子の流れが、ゲート電極から伸びる空乏層によって変調されることでトランジスタとしての動作が行われる。室温において、電子移動度が Si と比べて 5~6 倍、飽和電子速度が 2 倍程度大であることから、単体素子としてその室温・高速動作が特長である。また、配線金属と酸化膜を介した基板との間の容量が大きな負荷となる Si 素子に比べ、半絶縁性の GaAs 基板では配線負荷容量が十分小さい長所があり、これは集積回路としての高速化をもたらす。以上のように、高速性が GaAs 素子の第一の特長である。また、前述のように、デバイス構造が簡単なことは、プロセス期間が短くて済むメリットを生む。さらにプロセスの制御性・再現性向上を図る上でも有利で、本来高い素子製造歩留ま

りを期待できるはずである。

以上の特長から、「科学技術用高速計算システムの研究開発」プロジェクトの中で、GaAs FET は JJ 素子、HEMT 素子とともに、新高速素子と位置付けられ、東芝、三菱、日立、日電の 4 社がその開発に参画した。素子技術に関する基本計画目標は、論理素子で集積度 3K ゲート/チップ以上、遅延時間 30 ps/ゲート以下であり、記憶素子で集積度 16K ビット/チップ以上、アクセス時間 10 ns 以下である。そして、これら素子技術を用いた高速計算システムへの搭載用素子開発を次の目標とした。

## 2. プロセス・デバイス技術

高速の LSI を高歩留りで製造するためには、基本素子である MESFET の高性能化と同時に FET 特性のウェファ内均一性の達成がきわめて重要である。デバイス構造としては、LDD (Lightly Doped Drain) 構造<sup>1)</sup>に加え、チャンネル下に  $p$  型層を挿入する BPLDD (Buried  $p$ -layer LDD) 構造<sup>2)</sup>を検討した。図-1 に LDD 構造を示すが、チャンネルである  $n$  層とソース・ドレイン  $n^+$  層との間に、両者の中間の濃度を有する  $n'$  層を挿入することが特長であり、これによりゲート長の短縮にとまないしきい値電圧の負方向シフト、ドレインコンダク

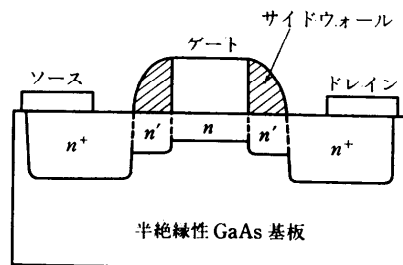


図-1 LDD 構造 GaAs MESFET の断面模式図

† GaAs LSI Technologies for Multi-Processor Supercomputers by Hiraku SAKUMA (R&D Planning and Technical Service Division, NEC Corporation) and Tadatashi NOZAKI (Microelectronics Research Laboratories, NEC Corporation).

†† 日本電気(株)

タンスの増大などが生ずる、いわゆる短チャネル効果の抑制が可能であると同時にソース・ドレイン寄生抵抗の低減が可能となる。さらに、チャンネル下に $p$ 層を挿入することにより、より短ゲート長まで短チャネル効果の抑制が可能となる。

FET 特性のウエファ内高均一化、とりわけしきい値電圧の高均一化は上述のようにきわめて重要である。近年基板品質の改善には著しいものがあり、その技術としてインゴットアニール技術がある。これは、インゴットを引き上げた後高温の熱処理を加えるもので、図-2 に明らかなように、インゴットアニール基板を用いることでしきい値電圧の高均一化が達成される<sup>3)</sup>。インゴットアニールにより基板比抵抗の均一性が向上するが、比抵抗の均一性の高い基板では、しきい値電圧の均一性も高い実験結果が得られた。すなわち、基板比抵抗の均一性の高い基板を選ぶことによりしきい値電圧の高均一化が可能である。

図-3 は短チャネル効果の度合を表すサブスレッシュヨルド因子  $N_g$  のゲート長依存性を示したもので、 $p$  層形成のための Mg イオン注入層が  $2 \times 10^{12} \text{ cm}^{-2}$  で良好な効果が得られている<sup>2)</sup>。

### 3. LSI 技術

基本回路としては新素子の特長である高速性と、実用性を考慮した動作余裕度確保の観点から、SLCF (Schottky Diode Level Shifter Capacitor Coupled FET Logic), BFL (Buffered FET Logic), DCFL (Direct Coupled FET Logic) 回路を選んだ。無負荷遅延時間として、それぞれ、29.8, 29.1 そして 15 ps/ゲートが得られており、新素子としての高速性が達成されている。これら回路は、後述のシステム搭載素子である、データバス用 LSI, インタフェース用 LSI とハッシュジェネレータ MSI, そして 4K 及び 16 KSRAM にそれぞれ用いられた。

LSI の設計に当たっては、より効率の良いレイアウトを行うことにより、配線長の短縮とチップサイズの縮小を図る必要がある。これらはそれぞれ、高速動作と製造面における歩留り向上に寄与する。ゲートアレイと比較してよりコンパクトな

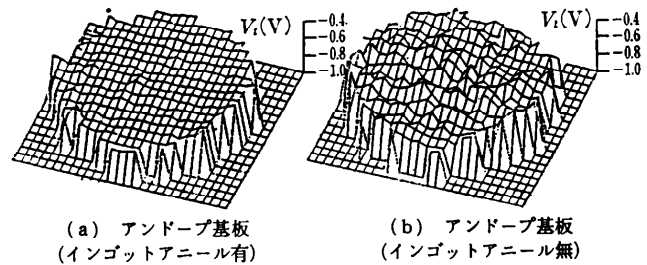


図-2 2インチ GaAs 基板におけるしきい値電圧分布

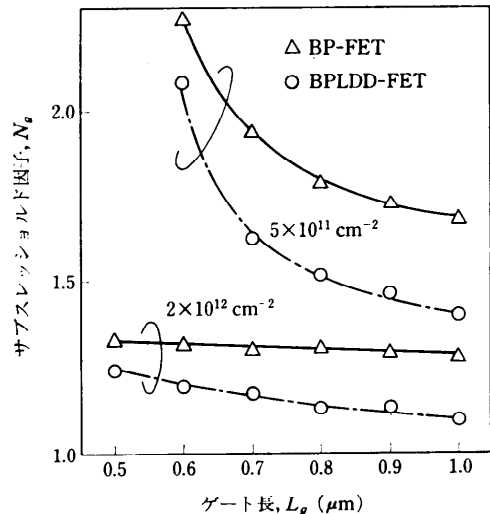


図-3 サブスレッシュヨルド因子 ( $N_g$ ) のゲート長依存性 (Mg 注入量がパラメータ)

設計が可能となるスタンダードセル方式を検討した。同手法では、一般に、各基本セルの高さを一定にしたポリセル方式が使用されている。しかしながら、セルレイアウト及びセル間の結線が容易である反面、基本セル設計の際の自由度がない、高速・高集積化のための全体レイアウトの際の自由度がないといった欠点がある。以上から、GaAs-LSI の高速性を十分に引き出すためビルディングセル方式を新たに開発した。この方式は、基本セルごとにその縦横比を最適化することが可能であり、基本セル設計の際の自由度が大きいという利点がある。

図-4 は、260 個の基本セルで構成したブロックの形状を変化させた、すなわちブロックのレイアウトエリアの縦横比 ( $Y/X$ ) を変化させた場合の、ブロックのレイアウト面積とブロック内の平均配線長の変化を、ポリセル方式とビルディング方式とで比較した結果である。ほぼすべての  $Y/X$  比において、ビルディングセル方式を用いたほうが

ポリセル方式と比べ、レイアウト面積、配線長ともに縮小できることが分かる。またレイアウトブロックの変形に対しても、ポリセル方式に比べてビルディングセルのほうが面積、配線長に最小値を与える区間が長く、またこの区間における変化量も小さいことから、ビルディングセル方式のほうが自由度が大きいと結論される<sup>4)</sup>。

メモリ回路においては、ソフトウェア耐性をもたせるためメモリセルの記憶ノードに容量を付加した回路を検討し、シミュレーションによりその効果を確認した。システム搭載用 16 KSRAM に実際使用した。また高速動作を実現するため、データ線負荷回路用に駆動能力を一時的に高められるブートストラップ回路を検討した。シミュ

レーションから20%のアクセス時間の短縮効果を確認した。この回路はシステム搭載用 4 KSRAM に実際採用した。

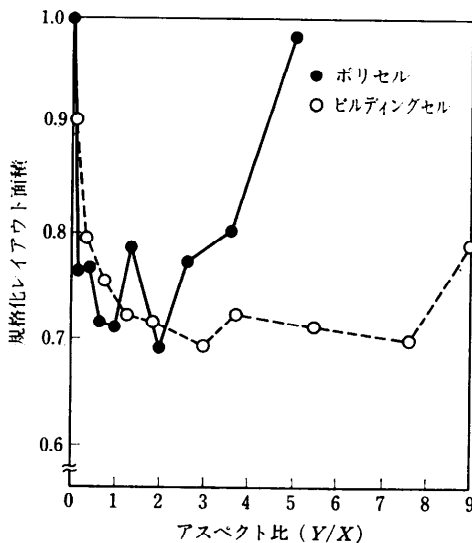
#### 4. システムへの搭載

図-5 は、VPP, LHS, CAP の各システムに搭載し試験評価を行った実装用素子の一覧表である。

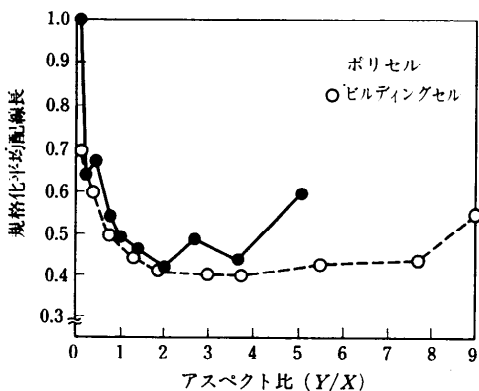
後述するように、小規模 IC も含めると合計 5 種 140 個のチップが、試験機とは言いながら本格的な計算機システムに実装され、GaAs 素子として初めて実用に供された。おのおのの素子の特徴・性能及び実装評価結果について、以下に簡単に触れる。

高機能並列処理装置 (VPP) 用に開発されたのは、約 3.5 K ゲート規模の“データバス (Bus Logic=BL) 用 LSI”である<sup>4)</sup>。並列処理コンピュータシステムにおいては、複数のプロセッサ間を結合する高速のデータ転送ネットワークが必要であり、S-D (Source-Destination) ループネットワークと呼ばれる方式が提案されている<sup>5)</sup>。同方式では  $m \times n$  個の BL LSI がマトリクス状に配置・結線されており、データはマトリクスネットワーク内を転送され対応する BL LSI を通じてプロセッサから出し入れされる。処理の並列性を最も活かすためには、データ転送時間はプロセッサ・クロックレートの  $n$  倍 ( $n \geq m$  のとき、 $9 \times 10$  のネットワークなら 10 倍) 速い必要があり、CMOS プロセッサに対しこの高速性を実現するものとして GaAs 素子による BL の LSI 化が試みられた。

BL LSI は、 $0.8 \mu\text{m}$  ゲート LDD 構造 MESFET 技術、ノイズマージンが大きく高速性も有する新開発の SLCF 回路を用い、従来のゲートアレイ方式に代わって GaAs 素子の高速・低消費電力性を活かせる前記スタンダードセル方式によって設計



(a) 規格化レイアウト面積



(b) 規格化平均配線長の変動

図-4 ブロック形状変化による

	素子名	機種	搭載箇所
論理素子	高速論理結合用 LSI	VPP	高速論理結合部
	インタフェース用 LSI ハッシュジェネレータ	LHS	アドレス変換 ユニット
記憶素子	4KSRAM	CAP	ローカルメモリ
	16KSRAM		

図-5 実装用素子一覧

された。実現された同 LSI は、SiCMOS の場合に比べ約 5 倍高速の 100 MHz 以上での動作が確認された。VPP への実装試験では、システム総合性能として約 2 倍の高速化が達成されている。

大容量高速記憶装置 (LHS) 用には、HPP と LHS 間のデータのやり取りを司るアドレス変換ユニット部 (ATU) の回路を GaAs LSI 化した。ATU は機能的に独立しており、かつ高速性が要求され、同部の高速化がシステムとしての高速化に直接効果があるからである。開発素子は、論理用として、データ授受のためのバッファ機能を果たすインタフェース用 LSI (約 2.6K ゲート)<sup>6)</sup> とハッシュ信号を生成するハッシュジェネレータ MSI (200 ゲート) の 2 種、記憶素子としてアドレス変換テーブルを構成するスタティック RAM (4K ビット) である。これら GaAs 素子は Si バイポーラ素子と混載するため、電源電圧は GaAs には不利だがすべて Si CML コンパチブルとしている。インタフェース用バッファリング LSI は、0.5  $\mu\text{m}$  耐熱ゲート MESFET 技術を用い、負荷駆動能力がありプロセス変動などによる動作マージンの取れる BFL 回路方式により設計した。最小ゲート幅は 3.5  $\mu\text{m}$ 、基本ゲート遅延は、余裕をもたせて 40ps/ゲート (3mW/ゲート) とした。それでもこの値は実用されている Si バイポーラ素子動作速度の約 2 倍である。図-6 は試作した同 LSI のチップ写真であり、最高動作速度として 1.9GHz (サイクル時間=0.53ns) が得られた。一方、4KSRAM は 0.7  $\mu\text{m}$  ゲート素子と DCFL 回路を基本に、前述のような種々の回路工夫と十分な電源電圧・温度変動マージンの下に設計され、実用素子として優れて高速なアクセス時間 2~3nsec 動作の搭載用チップ 16 個を得ることができた<sup>7)</sup>。

大規模並列処理装置 (CAP) 用としては、これ

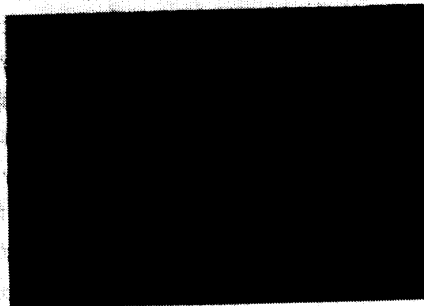


図-6 インタフェース用 LSI (約 2.6K ゲート、1.9GHz 動作)

までの GaAs メモリ技術の集大成として、ローカルメモリに使用する 16K スタティック RAM をアクセス時間 5nsec を目標に設計・開発した。やはり実装用として必要十分な温度特性、ソフトウェア耐性を得るため、前記新規回路を採用し、高集積・高速化のため、GaAs 素子として初めて 3 層配線を取り入れた。その結果、最大アクセス時間 5nsec で市販のシリコン RAM 以上のソフトウェア耐性を有する真に実用的な GaAs メモリを開発することができた<sup>8)</sup>。

図-7 に、システムに搭載した主な GaAs MESFET LSI の諸元と搭載チップ個数をまとめて示す。これら素子はシステム上でその高速化の役割を十二分に果たすとともに、シリコン素子と同等の高信頼性を示したことを申し添えたい。

### 5. 現状と今後への展望

GaAs 素子開発も、ほぼ当初のプロジェクト計画どおり遂行され、その所期目標を達成することができた。特に、システムと素子の両開発担当グループがぎりぎりのスケジュール調整を行い、素子のシステム搭載試験が実行できたことは本プロジェクトの誇り得る成果である。実際、ごく一部

		集積度	サイクルタイム アクセスタイム	消費電力	回路形式	基本遅延	ゲート長	システム 搭載個数
論理素子	高速論理結合用 LSI	3.5K スタンダードセル	10 ns	~5 W	SLCF DCFL	50~80 ps/g (1~3 mW/G)	0.8 $\mu\text{m}$	48 個
	インタフェース用 LSI	2.6K スタンダードセル	0.7 ns	6~8 W	BFL SCFL	40 ps/g (3 mW/G)	0.5 $\mu\text{m}$	8 個
記憶素子	高速記憶素子	4K	2~3 ns	2.5 W	DCFL	—	0.7 $\mu\text{m}$	16 個
	高集積記憶素子	16K	3~5 ns	2 W	DCFL	—	0.7 $\mu\text{m}$	64 個

図-7 システム搭載 GaAs LSI の諸元

とは言え実システム上で信頼性も含めた GaAs 素子の動作実証・性能評価ができたことは、システムサイドの人々への大きなアピールとなった。一方、この9年間に、大プロを中心に GaAs 素子開発に充てられたのとは比較にならない巨額の研究開発投資がシリコン素子に対して行われ、バイポーラ、BICMOS、CMOS などの素子の進歩もまた大幅であった。新素子 GaAs の製品化に当たっては、どうしても既存のシリコン素子との十分な性能差別化が必須であり、大プロでの活動成果などを踏まえたところでようやくそのスタートラインに立てたというのが本当のところであろう。

たとえば、シリコンバイポーラの高速度は今も進展中であるが、ゲート当たりの消費電力は mW レベルであり高集積化に向けて低消費電力化が一つのネックになっている。そこで最近米国ヴィテッセ社を先頭に、動作速度はバイポーラ並に抑え、消費電力はバイポーラの 1/2~1/3 に設計した数十 K ゲート~百 K ゲート規模 GaAs LSI の開発・実用化が進んでいる。CMOS では届かない高速度と、バイポーラではできない高集積化を実現し、GaAs による空冷システム向け用途を開拓することが狙いである。図-8 は、GaAs FET と MOSFET のゲート電圧に対するトランスコンダクタンス・gm[mS/mm] の変化を示したものである。この図で GaAs 素子が低ゲート電圧領域で大

きな gm のピークを示すのは、GaAs が低電界領域で大きな移動をもつためと、ゲートショットキー障壁 (MESFET で約 0.6 V) 以上のゲート電圧に対しては大きなゲートリーク電流を発生させてしまうためである。大プロでは、GaAs 素子を Si LSI と混載するため、また素子バラツキに対する動作マージン確保のため、GaAs にとっては不必要に高い電源電圧とそれに合った回路形式とが採用されたが、本来の GaAs 素子の長所を引き出すにはショットキー障壁に対応する 1 V 以下の電源電圧動作を実現させていく必要がある。①短チャネル効果を防いだ 0.5  $\mu\text{m}$  ゲート長以下の FET の開発・実用化、②低電源電圧化によるマイクロワット低消費電力化、さらには③少ないマスク枚数 (~10 枚) を利用したスタンダードセル方式など設計手法の工夫などが、GaAs MESFET が今後自らの活用を場を切り拓いていくために必須の方向である。

いずれにしても、ようやく MESFET LSI が民需市場に出始めたところであり、今後常にシリコンの進歩に先んじて一定の市場を開拓し、確保し続けることが重要である。「半導体技術に王道はない」がゆえ、将来ヘテロ素子を含むさまざまな化合物デバイスの実用化に際しても、その土台となる MESFET LSI 開発・製品化の経験が生きてくるのは間違いない。システムサイドの人々の期待こそ GaAs 技術発展のための大きなドライビングフォースである。

### 参 考 文 献

- 1) たとえば, Asai, S. et al.: Extended Abs. 18th (1986) Conf. Solid State Devices and Materials, Tokyo, p. 383.
- 2) たとえば, Noda, M. et al.: Technical Digest of GaAs and Related Compounds, p. 653 (1989).
- 3) 浅井他: 電子情報通信学会研究会資料, ED 87-97 (1987).
- 4) Kameyama, A. et al.: Technical Digest of IEEE GaAs IC Symp., p. 127 (Oct. 1989).
- 5) Inoue, A. et al.: Parallel Computing 8, p. 185 (1988).
- 6) Maeda, T. et al.: Technical Digest of IEEE GaAs IC Symp., p. 139 (Oct. 1988).
- 7) 田中他: 電子情報通信学会研究会資料, ED 89-139 p. 17 (1990).
- 8) 松江他: 電子情報通信学会研究会資料, ED 89-137, pp. 1-8 (1990).

(平成 3 年 11 月 7 日受付)

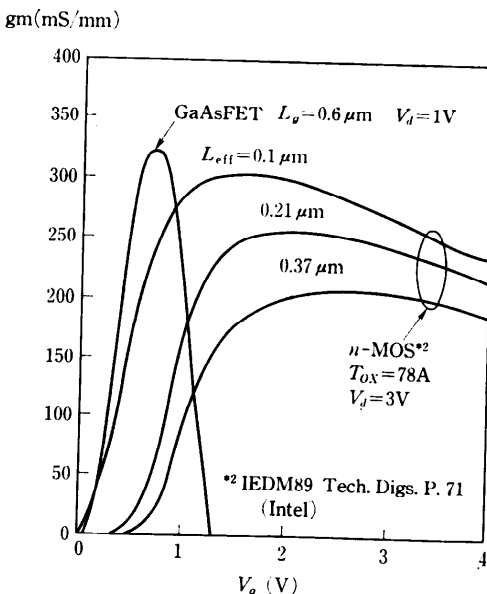


図-8 GaAs FET と MOSFET の gm 比較

**佐久間 啓**

1972年東京工業大学大学院理工学研究科化学工学専攻博士課程卒業。同年日本電気(株)入社。化合物半導体デバイス・IC および Si LSI, SOS デバイス, 高耐圧デバイス・IC, 各種ディスプレイデバイスの研究開発に従事。現在, 研究開発グループ研究開発企画室勤務。工学博士。電子情報通信学会, 応用物理学会, IEEE 各会員。

**野崎 忠敏**

1969年東京大学教養学部基礎科学科卒業。同年日本電気(株)入社。化合物半導体気相成長, プロセス開発及び Si LSI プロセス開発に従事。現在マイクロエレクトロニクス研究所超高速デバイス研究部部長。1991年工学博士(大阪大学)。応用物理学会会員。

