

解説



## マルチプロセッサスーパーコンピュータ PHI の研究開発

マルチプロセッサスーパーコンピュータ  
のための HEMT 素子技術†

安部 正 幸†

## 1. はじめに

富士通が1980年に開発した HEMT (高電子移動度トランジスタ: High Electron Mobility Transistor)<sup>1)</sup>は、アナログ分野においては、すでに低雑音 HEMT が衛星放送受信用の重要商品として月産・数百万個生産されている。また電波天文分野で500光年もの遠い宇宙から届く微弱なミリ波信号の観測によるまったく新しい星間分子の発見にも威力を発揮している。一方、デジタル分野においては、超高速コンピュータや高速信号処理システム実現に向けて、新世代の高速 LSI として大きな期待が HEMT に寄せられている<sup>2)</sup>。これは、HEMT 本来の高速性能とデバイス構造の単純さによる技術アローアンスの大きさから生じるものである。

論理回路では、45 K ゲートのゲートアレイ<sup>3)</sup>、記憶回路では、64 K ビットスタティック RAM<sup>4)</sup>が試作され、両者ともに世界最高速性能を実現すると同時に、集積規模もシリコン技術と同水準に到達している。高速化も著しく進展し、基本ゲートの伝搬遅延時間は、室温動作で 9.2 ps<sup>5)</sup>、液体窒素温度 (77 K) 動作で 5.8 ps<sup>5)</sup> が実証されている。コンピュータシステムにも搭載され、システムレベルでの性能評価が進み有用性が実証された。

ここでは、超高速 HEMT LSI 技術の開發現状と将来性について、とくに超高速化へのアプローチ、LSI プロセス技術、スーパーコンピュータ用 HEMT LSI の試作例および解決すべき課題と将来性について述べる。

2. HEMT 動作原理と超高速化への  
アプローチ

HEMT は、電界効果形トランジスタ (FET) の一種であるが、従来のデバイスとは原理・構造がまったく異なる。HEMT の基本構造は、図-1 に示すように、不純物を添加しない高純度のガリウム砒素 (GaAs) と不純物を添加した n 型アルミニウムガリウム砒素 (n-AlGaAs) の化合物半導体で形成されたヘテロ接合構造となっている。n-AlGaAs の添加不純物から供給された電子は、高純度の GaAs 側へ移動し GaAs/AlGaAs ヘテロ接合界面からの距離が 10 nm 以下の空間に閉じ込められるため二次元空間のチャンネルを形成する。ここでは、電子は高純度 GaAs 中を運動するため不純物との衝突確率が減少し、電子が移動しやすくなり、非常に高い電子移動度が実現できる。

HEMT の基本原理は、ヘテロ接合界面に形成された二次元電子ガスをゲートの電界効果によって制御することにある。HEMT においては、高速の二次元電子が高濃度でヘテロ接合界面に局在しているため、高速化のためにゲート長を短縮する際に通常生じるトランジスタ特性の劣化効果 (短チャンネル効果) がほとんどない。また、ゲート長短縮にともなって、n-AlGaAs 電子供給層に不純物を高濃度に添加しても電子供給層と二次元電子チャンネルとが空間的に分離されているため、電子移動度が低下せず高速性が原理的に損なわれない理想的なデバイス構造になっている。

HEMT 構造では、低電界移動度  $\mu$  (室温で  $8 \times 10^3 \text{ cm}^2/\text{V}\cdot\text{s}$ , 77 K で  $4 \times 10^4 \text{ cm}^2/\text{V}\cdot\text{s}$ ) と飽和速度  $V_s$  (室温で  $1.7 - 2.0 \times 10^7 \text{ cm/s}$ ) が GaAs MESFET に比較してともに高いため、スイッチング時の電流利得の遮断周波数 ( $f_T$ ) が高くなる。HEMT の  $f_T (= g_m/2\pi C_{gs} \propto V_s/L_G)$  のゲート

† HEMT Device Technology for Multi-Processor Supercomputer by Masayuki ABE (Compound Semiconductor Device Laboratory, Fujitsu Laboratories Ltd., Atsugi).

†† (株)富士通研究所化合物半導体研究部

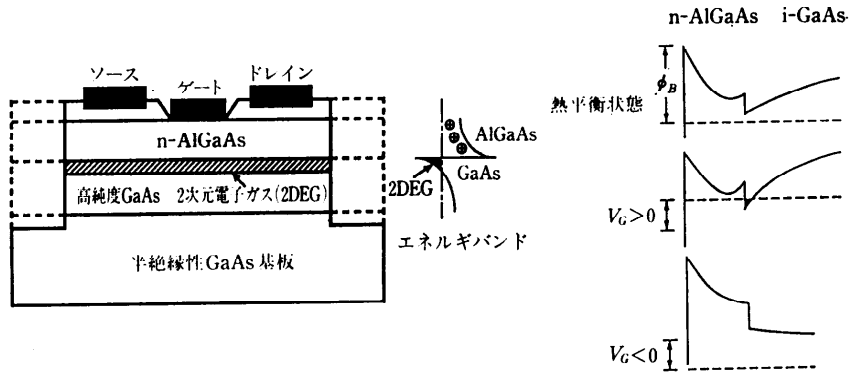


図-1 HEMT の基本構造

長依存性を図-2 に示す。室温、 $L_G=0.15 \mu\text{m}$  において、 $f_T=115 \text{ GHz}^{7)}$  (チャンネル部が GaAs),  $f_T=250 \text{ GHz}^{8)}$  (チャンネル部が InGaAs) が実現されている。閾値電圧 ( $V_T$ ) のゲート長 ( $L_G$ ) 依存性を図-2 に併せ示す。  $L_G=1.4 \mu\text{m}$  から  $0.14 \mu\text{m}$  の間で  $V_T$  のシフト量は無視できるほど小さい。このため、デバイス特性の制御が容易であり、 $0.15 \mu\text{m}$  ルールの LSI への可能性を秘めている。

ゲート長  $0.5 \mu\text{m}$  の HEMT を用いた直接結合型 FET 論理回路 (DCFL) の単位ゲート当りの基本遅延時間は  $19 \text{ ps}$  (室温) である。ファンイン/ファンアウト特性は、 $4 \text{ ps/F.I.}$ ,  $12 \text{ ps/F.O.}$ 、配線遅延時間は  $24 \text{ ps/mm}$  であり、 $F.I.=F.O.=3$ ,  $l=1 \text{ mm}$  のときの負荷付遅延時間は  $75 \text{ ps}$  ( $1 \text{ mW}$ ) である。図-3 は、HEMT<sup>9)</sup>, GaAs MESFET (Metal-Semiconductor FET)<sup>10)</sup> および Si バイポーラ<sup>11)</sup> の各高速デバイス技術に関して、遅延時間/消費電力性能を比較したものである。HEMT は高

速・低消費電力性能面で優位である。また、ゲート電極の金属と半導体の接合で形成される電子障壁 (ショットキー障壁) は、HEMT の AlGaAs 上の場合、MESFET の GaAs 上におけるより  $0.2 \text{ V}$  高く、信号のハイレベルのノイズマージンが大きい。低電界移動度が大きいため、ローレベルのノイズマージンも大きく高集積の回路設計が容易である。

高集積化に向けて、 $64 \text{ K}$  ビットスタティック RAM の試作を行い、最高速メモリ性能を実証したり。本 SRAM のワード構成は  $8 \text{ K}$  ワード  $\times$   $8$  ビット、I/O レベルは ECL 互換である。チップサイズは  $7.4 \times 6.5 \text{ mm}^2$ 、総集積素子数は  $462,000$  である。HEMT のゲート長  $0.6 \mu\text{m}$ 、メモリセルサイズは  $17.5 \times 13.5 \mu\text{m}^2$  である。アドレスアクセス時間  $1.2 \text{ ns}$ 、消費電力  $5.9 \text{ W}$  の最高速メモリ動作を実現した。図-4 は、各種高速デバイス技術によるスタティック RAM の室温動作にお

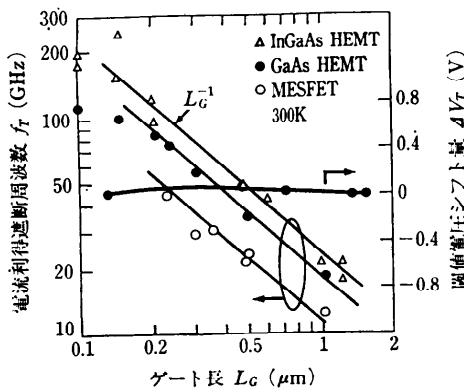


図-2 電流利得遮断周波数のゲート長依存性

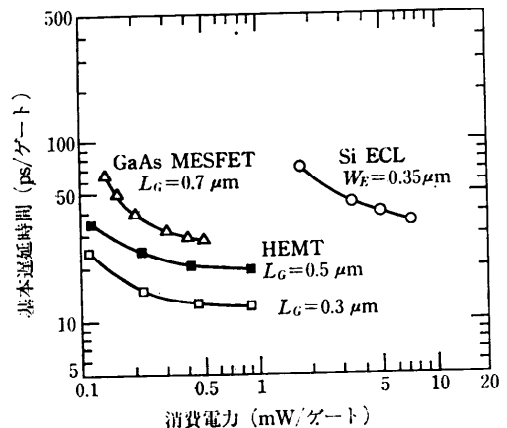


図-3 基本遅延時間の消費電力依存性

けるアドレスアクセス時間と消費電力の関係を示す。ゲート長0.25  $\mu\text{m}$  HEMT 技術を用いてサブナノ秒動作の64K SRAM が実現できると予測できる。

### 3. HEMT LSI プロセスと高均一制御

HEMT LSI において基本ゲートとしては、DCFL (直接結合形 FET 論理) 回路が適している。この DCFL 回路は、駆動用として、入力信号がないとき電流がオフ状態になるエンハンスメントモード (E) HEMT, 負荷用として、入力信号がないとき電流がオン状態になるディプレッションモード (D) HEMT で構成している。回路構成が簡単で、少ない素子数でLSIを設計できる反面、デバイス製作面で高均一な特性を実現するための余裕の大きいプロセス技術が必要とされる。LSI 化のための最大のポイントは閾値電圧の均一化にある。このためにデバイス構造を最適化したセルフアライメントプロセスを開発した<sup>12)</sup>。

E/D-HEMT インバータ (信号反転回路) の構造は図-5 に示すように、半絶縁性 GaAs 基板上に高純度 GaAs チャネル層、n-AlGaAs 電子供給層と n-GaAs キャップ層で構成し、n-GaAs 層中には薄い n-AlGaAs ストップ層を挿入している。HEMT の閾値電圧は、基本的にはゲート直下の n-AlGaAs 層の膜厚の制御によって所望の値に設定できる。E-HEMT で、 $V_T=0.278\text{V}$  のとき標準

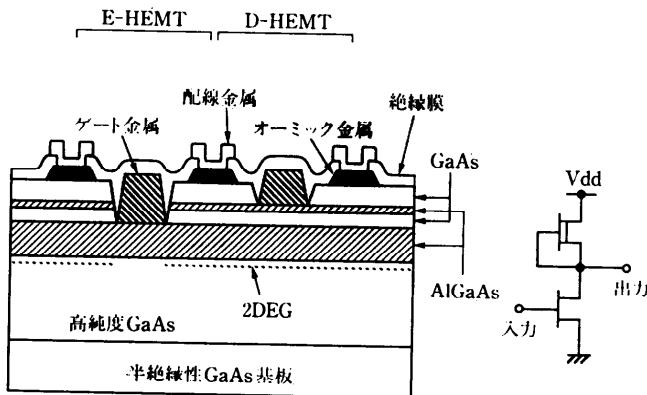


図-5 E/D 構成 HEMT インバータの基本構造

偏差  $\sigma=11\text{mV}$ , D-HEMT において、 $V_T=-0.602\text{V}$  のとき  $\sigma=14\text{mV}$  である。E-HEMT の  $\sigma=11\text{mV}$  は、回路内の論理振幅値  $0.8\text{V}$  に対して  $1.5\%$  以下に相当し LSI レベルの設計が可能である。3 インチウェハ面内での AlGaAs 膜厚制御性は約  $1\text{nm}$  ときわめて高均一である。分子線エピタキシー (MBE)\*/有機金属気相成長 (MOVPE)\*\* 技術とドライエッチング技術の併用で原子レベルの安定制御ができるようになり実用技術に達している。

### 4. スーパーコンピュータ用 HEMT LSI

#### 4.1 HEMT バスドライバ論理 LSI

高速演算用並列処理装置への搭載を目指して、データ転送機能を有する  $1.1\text{K}$  ゲート・バスドライバ論理 LSI を開発した<sup>13)</sup>。この論理 LSI の機能としては、図-6 に示すように、高速システム内でのデータ転送の際に、回路に時間的に不規則に入ってくる  $4$ ワード  $\times 9$  ビットの入力データをまずラッチ部に蓄積する。この蓄積されたデータをクロック信号に同期させて出力することによって、データ転送におけるタイミングのずれを取り除くことができる。バスドライバ論理 LSI のチップパターンを図-7 に示す。本バスドライバ論理 LSI は、 $1137$ ゲート構成で、入出力インタフェースは ECL 互換設計になっている。チップサイズは  $6.1 \times 6.2\text{mm}^2$ , E-HEMT のゲート長は  $0.5$

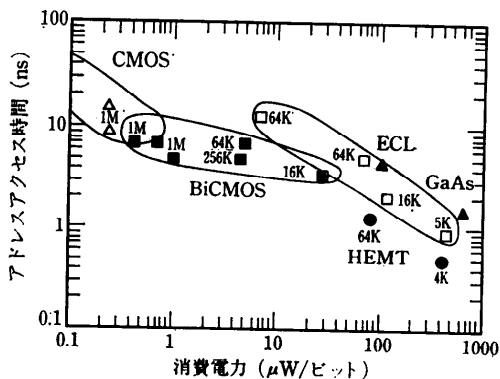


図-4 各種 SRAM のアドレスアクセス時間と消費電力の関係

\* Molecular Beam Epitaxy. 原料を分子状態のビームにして  $10^{-10}$  Torr 以下の超高真空状態で半導体基板に照射・蒸着しエピタキシャル結晶を成長する方法。

\*\* Metal Organic Vapor Phase Epitaxy. トリメチルガリウムなどの有機金属を用いて、大気圧から  $100\text{Torr}$  程度の減圧状態の気体反応によってエピタキシャル結晶を成長する方法。

$\mu\text{m}$ , 回路配線幅, 配線間隔はともに  $2\ \mu\text{m}$ , 論理部分は  $2.4 \times 2.4\ \text{mm}^2$  であり, 3335 個の HEMT を集積した. 入出力ピン数は信号 99, 電源 36 である. 室温において, クロック信号入力からデータ信号出力までのデータ転送時間は  $490\ \text{ps}$ , 消費電力は  $4.1\ \text{W}$  であり, 平均遅延時間  $43\ \text{ps}/\text{ゲート}$  を実現した. 本 LSI を 図-8 に示すように多ピンフラットパッケージに実装し, 高速演算用並列処理装置の共用記憶制御部へ 8 個 (Si バイポーラ LSI と混在) 搭載し, 共用記憶装置と 4 台のプロセッサエレメント間のデータ転送サイクルの高速性を確認した. 最大システム性能は,  $10.92\ \text{GFLOPS}$ , 並列効果は,  $2.1\text{--}3.8$  を実現し実用性を実証した<sup>9)</sup>.

#### 4.2 高速乱数発生器用 LSI チップセット

高速乱数発生器への搭載を目指して, 低温動作の乱数発生 LSI, データバッファ LSI, システムコントローラ LSI の 3 種類からなる LSI チップセットを開発した<sup>10)</sup>. 本高速乱数発生器は, 科学技術計算においてシミュレーションを行う際に必要となる良質の乱数を高速で発生するという機能を持っており, 全てを HEMT LSI で構成したシステムである. 図-9 は高速乱数発生器のブロックダイアグラムである. 乱数発生 LSI は M 系列 (Maximum Length Sequence) を生成する. データバッファ LSI は, 乱数発生 LSI で高速に

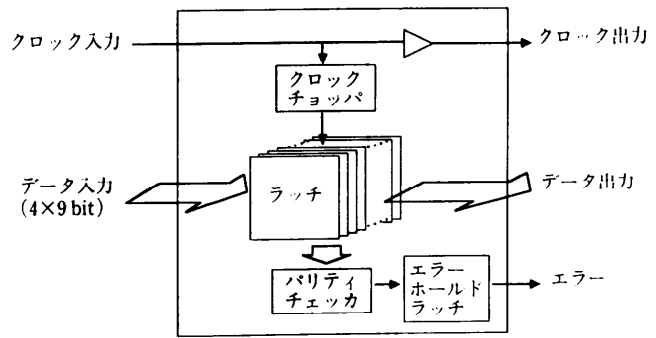


図-6 バスドライバ論理 LSI のブロックダイアグラム

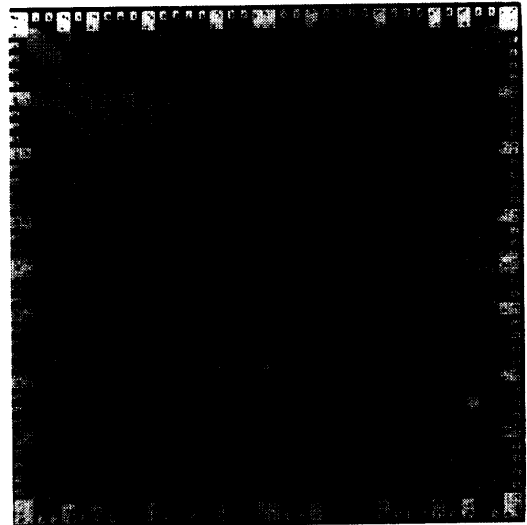


図-7 HEMT バスドライバ論理 LSI

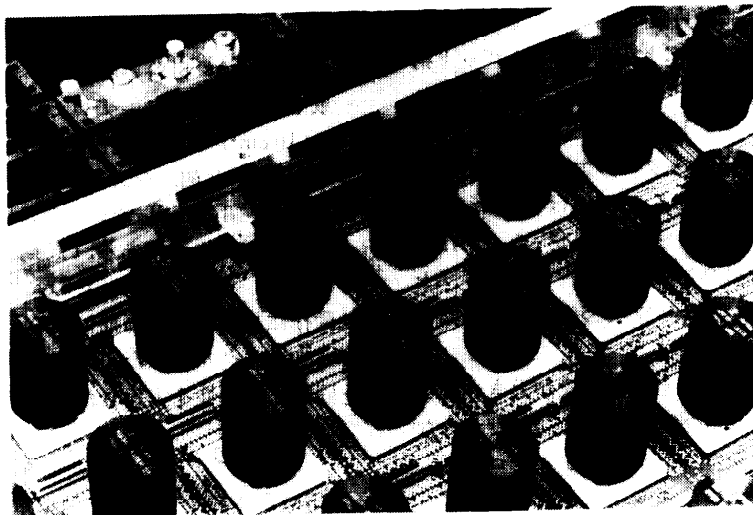


図-8 HEMT バスドライバ論理 LSI (実装状態)

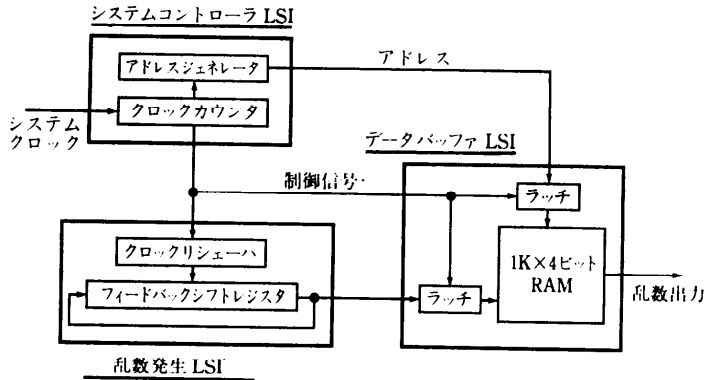


図-9 高速乱数発生器のブロックダイアグラム

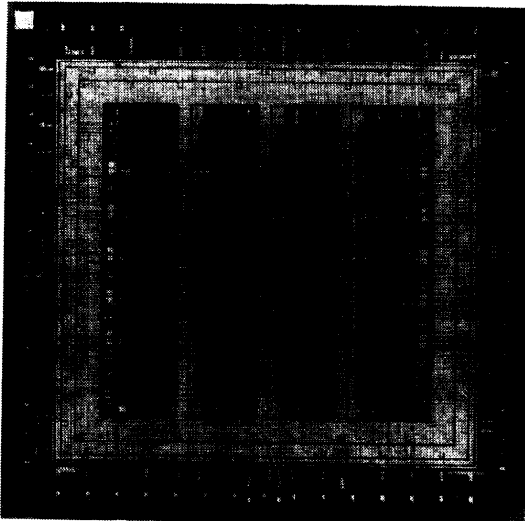


図-10 HEMT 乱数発生 LSI

発生した乱数を外部から随時アクセスできるようにバッファリングする 1K ワード×4 ビット構成の RAM と 524 ゲートの論理回路で構成されている。システムコントローラ LSI は、乱数の発生・停止の制御とデータバッファ LSI へのアドレスを生成する。これらの回路は 1GHz のクロックで動作する。3 種類の HEMT チップは直径 200 μm の球状のハンダ電極を有しており、セラミック基板上にベアチップ実装され液体窒素中で浸漬冷却の状態で使用される。

本乱数発生器の中で最も集積規模が大きい乱数発生 LSI は、図-10 に示すように、47 段からなるフィードバックシフトレジスタが 4 ブロック、クロック分配系およびスキャン系からなる 4 ビット乱数発生機能を有する。E-HEMT のゲート長

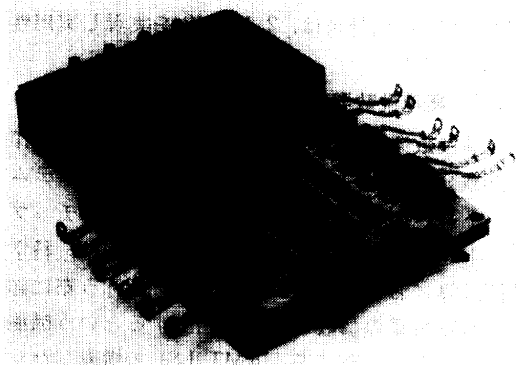


図-11 HEMT 32 ビット高速乱数発生器

は 0.6 μm、基本ゲートは DCFL、ゲート数は 3.3 K ゲート、素子数は 10,183 である。チップサイズは 8.2×8.2 mm<sup>2</sup>、入出力は ECL 互換性、消費電力は 4.2 W である。最高動作周波数 1.6 GHz の性能を実現した。図-11 に示すように、本システムは、GaAs 材料と熱膨脹係数が 10% 以内で一致しているジルコニアガラスセラミック基板 (10×10 cm<sup>2</sup>) に、乱数発生 LSI 8 個、データバッファ LSI 8 個、システムコントローラ LSI 4 個、計 20 個の LSI でシステムを構成した 32 ビットの乱数発生器である。1 周期当りの乱数 (2<sup>47</sup>-1) はクロックサイクル 1.5 ns で 2.4 日間の連続動作に相当する長周期である。本システムでクロックサイクル 1.49 ns 動作の高速性を確認すると同時に実用性を実証した。

5. おわりに

HEMT 本来の高速・低消費電力性能とヘテロ接合構造の設計面での自由度の高さに支えられた

特質を生かして、VLSI レベルの高速論理回路および記憶回路を開発し、高速コンピュータへ適用していくことが重要である。90年代のダウンサイジング時代においては、スーパーコンピュータのみならずワークステーションへと適用領域が拡大し、高性能化、とりわけ超低消費電力化に向けた回路設計および評価技術、サブミクロン化にともなうリンググラフィ、微細加工、配線技術などの精密制御プロセス技術の開発が一段と必要になる。さらに大口径で高品質なヘテロ接合エピタキシャル結晶材料技術開発が実用化への鍵を握っている。また、故障モードの解析、高信頼設計が重要であることは言をまたない。今後、HEMT 技術は工業化に向かって技術成熟度を一段と向上することによってシリコンの限界を補完して発展していくものと考えられる。

なお、本研究は、通商産業省工業技術院大型プロジェクト“科学技術用高速計算システムの研究開発”の一環として研究されたものである。

### 参考文献

- 1) Mimura, T., Hiyamizu, S., Fujii, T. and Nambu, K.: A New Field-effect Transistor with Selectively Doped GaAs/n-Al<sub>x</sub>Ga<sub>1-x</sub>As Heterojunctions, *Jpn. J. Appl. Phys.*, 19, pp. L225-L227 (1980).
- 2) Abe, M., Mimura, T., Yokoyama, N. and Ishikawa, H.: New Technology towards GaAs LSI/VLSI for Computer Applications, *IEEE Trans. Electron Devices*, ED-29, pp. 1088-1093 (1982).
- 3) Notomi, S., Kondo, T., Watanabe, Y., Kosugi, M., Hanyu, I., Suzuki, M., Kaneko, A., Mimura, T. and Abe, M.: A 45 K HEMT Gate Array with 35 ps DCFL and 50 ps BDCFL Gates, in *ISSCC Dig. Tech.*, pp. 152-153 (1991).
- 4) Suzuki, M., Notomi, S., Ono, M., Kobayashi, N., Mitani, E., Odani, K., Mimura, T. and Abe, M.: A 1.2 ns HEMT 64 Kb SRAM, in *ISSCC Dig. Tech.*, pp. 48-49 (1991).
- 5) Awano, Y., Kosugi, M., Mimura, T. and Abe, M.: Performance of a Quarter-micrometer-gate Ballistic Electron HEMT, *IEEE Electron Device Lett.*, EDL-8, pp. 451-453 (1987).
- 6) Shah, N. J., Pei, S. S., Tu, C. W. and Tiberio, R. C.: Gate Length Dependence of the Speed of SSI Circuits Using Submicrometer Selectively Doped Heterostructure Transistor Technology, *IEEE Trans. Electron Devices*, ED-33, pp. 543-547 (1986).
- 7) Mitani, E.: n-InGaP/GaAs HEMTs for Advanced LSI, presented at the conf. on Advanced Heterostructure Transistors, Hawaii (Dec. 1990).
- 8) Mishra, U. K., Brown, A. S., Jelloian, L. M., Thompson, M., Nguyen, L. D. and Resenbaum, S. E.: Novel High Performance Self-aligned 0.15 Micron Long T Gate AllnAs/GaInAs HEMTs, in *IEDM Tech. Dig.*, pp. 101-104 (1989).
- 9) Abe, M. and Mimura, T.: Ultrahigh-speed HEMT LSI Technology for Supercomputer, *IEEE J. Solid-State Circuits*, 26, pp. 1337-1344 (1991).
- 10) Noda, M., Hosogi, K., Maemura, K., Kato, T., Nakajima, Y., Nishitani, K. and Outsubo, M.: High-speed and Highly Uniform Submicron Gate BPLDDFET for GaAs LSIs, *Inst. Phys. Conf. Ser. No. 106; Chap. 9*, pp. 653-658 (1990).
- 11) Suzuki, M., Hirata, M. and Konaka, S.: 43 ps/5.2 GHz Bipolar Macrocellarray LSIs, in *ISSCC Dig. Tech.* pp. 70-71 (1988).
- 12) Abe, M., Mimura, T., Kobayashi, N., Suzuki, M., Kosugi, M., Nakayama, M., Odani, K. and Hanyu, I.: Recent Advances in Ultrahigh-speed HEMT LSI Technology, *IEEE Trans. Electron Devices*, 36, pp. 2021-2031 (1989).
- 13) Watanabe, Y., Saito, S., Kobayashi, N., Suzuki, M., Yokoyama, T., Mitani, E., Odani, K., Mimura, T. and Abe, M.: A HEMT LSI for a Multibit Data Register, in *ISSCC Dig. Tech.*, pp. 86-87 (1988).
- 14) Asada, Y., Kobayashi, N., Hayashi, T., Suzuki, M., Hidaka, N., Odani, K., Kondo, K., Mimura, T. and Abe, M.: A Gigahertz Cryogenic HEMT Pseudorandom Number Generator Chip Set, in *ISSCC Dig. Tech.*, pp. 186-187 (1990).

(平成3年10月17日受付)



### 安部 正幸

昭和42年大阪大学基礎工学部電気卒業。昭和48年同大学院基礎工学研究科物理系博士課程修了。工学博士。同年(株)富士通研究所入社。

ガン効果論理素子、GaAsにおけるホットエレクトロンのモンテカルロ・シミュレーション、光通信用高輝度LEDの研究開発を経て、昭和55年以来、低雑音HEMTおよびHEMT LSI技術の研究開発に従事。現在、化合物半導体研究部長。この間、昭和55年レーザ学会論文賞、昭和62年イタリアSOIA国際賞受賞。著書(共著)「超格子ヘテロ接合デバイス」(工業調査会)、「VLSI Electronics; GaAs Microelectronics」(Academic Press)など。電子情報通信学会、応用物理学会、IEEE学会各会員。