

解説



マルチプロセッサスーパーコンピュータ PHI の研究開発

マルチプロセッサスーパーコンピュータ
のためのジョセフソン素子技術開発†

波多野 雄治†† 川 辺 潮††

0. はじめに

ジョセフソン素子は超電導状態の実現される極低温で動作し、半導体素子よりも約1桁小さいスイッチング遅延と約3桁小さい消費電力を特徴とする。このためスーパーコンピュータのようなハードウェア量の大きいシステムの性能限界を打破する素子として期待されている。本稿では初めにジョセフソン素子の原理、特性に触れ、現状の紹介の後マルチプロセッサスーパーコンピュータへの応用について展望を述べる。

1. ジョセフソン素子の位置付け

ジョセフソン素子のシステム応用を目指してこれまでに行われてきた研究開発の意義と今後の課題を读者に理解していただくためにジョセフソン素子の原理と特性を以下に簡単に示す。ジョセフソン接合は2枚の超電導薄膜の間にごく薄い絶縁物層をはさんだ構造を有し、電流電圧特性に電圧0で一定の臨界値までの大きさの超電導電流が流れる超電導状態と、有限の抵抗をもって電圧を発生しながら電流が流れる電圧状態とが存在する。この2状態を‘0’、‘1’に対応させて論理素子として使用する。

‘0’状態から‘1’状態への遷移は抵抗結合またはトランス結合により入力電流を接合中に流れているバイアス電流に重畳させ、過渡的に臨界電流以上の電流を与えることにより実現させる。入力電流を抵抗結合で与える方式を抵抗結合型、トランス結合で与える方式を磁束結合型と称する。代

表的な抵抗結合型素子であるDCL (Direct Coupled Logic) 素子¹⁾と代表的な磁束結合型素子である3接合干渉型素子²⁾の構成を図-1と図-2にそれぞれ示す。前者は速度と集積度にまさり、後者は入出力分離が完全で無限大のファンアウトがとれるという特長がある。いずれの場合も回路動作を行わせるためには接合に並列に負荷抵抗を配置する。接合が電圧状態に遷移したときに負荷抵抗に流れる出力電流で次段を駆動する。一方、‘1’状態から‘0’状態への遷移は入力電流を取り去るのみならずバイアス電流自身を一度0に落とさなくてはならない。

ジョセフソン素子では超電導状態から電圧状態へのスイッチング速度はジョセフソン接合の有する物理的な容量ではほぼ定まり、2.5 μm 程度の比較的緩い設計ルールでも数 ps の超高速である。さらに消費電力が μW のオーダーであり、液体ヘリウムによる直接冷却により放熱のためのスパー

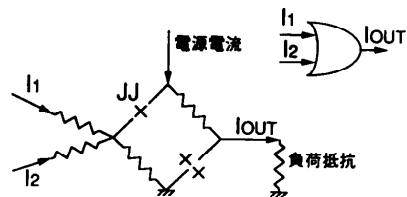


図-1 DCL 素子による OR ゲート

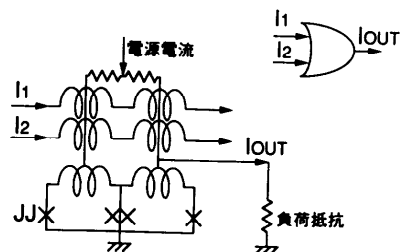


図-2 3接合干渉型素子による OR ゲート

† Josephson Technology for Multi-processor Supercomputers by Yuji HATANO and Ushio KAWABE (Central Research Laboratory, Hitachi Ltd.).

†† (株)日立中央研究所

スを考慮せずに高密度実装可能なことも配線遅延の最小化を実現する。また無損失の超電導ストリップラインにより無反射、低分散の信号伝搬を実現可能なことも高速動作を可能にする。

2. ジョセフソン素子技術の現状

ジョセフソンコンピュータ実現を目標とした素子開発の歴史と現状を以下にまとめる。本分野の先駆者であったのは IBM であり、1965 年より超電導電極材料に Pb 合金を用いて各種の論理回路や記憶回路を開発してきた。そして 1983 年にはプロトタイプコンピュータのクリティカルパス部分を模擬したハードウェアモデルを超電導トランス、超電導ハンダ球、超電導実装基板を組み合わせで作製し、クロック周期 3.7 ns で複数チップにまたがる動作を実現させた⁹⁾。我が国では 1981 年に開始された大型プロジェクト「科学技術用高速計算システムの研究開発」において電総研の指導の下にジョセフソン素子の開発が推進された。本プロジェクトにおいては、より信頼性に優る Nb 系材料の素子作製技術が検討されるとともに、独自の素子構造⁴⁾により信頼性の高い集積化技術が確立された。

一方、回路技術上で試みられた改良の多くはその電源方式にかかわる。ジョセフソン素子には電流電圧特性にヒステリシスがあるため回路動作の前に一度バイアス電流をリセットする必要がある。一般にはバイアス電流は交流電源として与えられる。バイアス電流の遮断とともに素子の有するデータが消失する。

このため、単相の交流電源を用いて記憶要素を含む順序回路を構成する場合には交流電源のサイクル間でデータを保持する特殊なラッチが必要となる⁹⁾ (図-3 (a))。また、この交流電源は信号電流よりほぼ (チップ上のゲート数) 倍大きい電流

であり、かつクロックと同じ高周波でチップに供給されなくてはならないため、入出力信号線に及ぼすクロストークが高速動作時には誤動作の原因となる。これを避けるためには超電導ハンダ球やマイクロピンなどの高度な実装技術⁶⁾が必要になる。

これに対して 2 相⁷⁾ (図-3 (b)) ないし 3 相⁸⁾ (図-3 (c)) の交流電源を用いる場合にはラッチが不要となり動作マージンが向上するほか、回路全体を磁束結合型素子よりもスイッチング速度と集積度に優る抵抗結合型素子で構成可能であるという長所がある。しかし相間の位相関係を調整して高周波の交流電源を供給しなくてはならないため、特に多チップのシステムにおいて実装系への負担がますます大きくなる。

一方、種々の動作原理により直流駆動可能な回路を構成する試みも行われてきたが^{9), 10)}、一般に設計マージンが狭く、スイッチング時間が遅いことのほかに構成 2 素子が誤信号により同時に電圧状態になると回復不能になるハングアップ現象という固有の欠点を有していた。

したがって、主たる開発課題は直流駆動方式においては素子の安定動作と高速化を実現する回路技術であり、単相交流駆動方式においてはラッチの広マージン化であり、多相交流駆動方式においては交流電源系の実装技術と交流駆動下での素子の高速化技術になる。大型プロジェクトにおいては以上の各面から開発が行われた。

まず、直流駆動回路に関しては接合電流密度に対する制約がなく、動作原理上比較的高速化が容易なハッフル型直流駆動フリップフロップ¹⁰⁾ (図-4) を取り上げ、その論理 LSI への適用を検討した。まず、高速動作性能を実験的に評価するため、非同期型カウンタ (図-5) を試作した。使用した接合寸法は $1.5 \mu\text{m} \times 1.5 \mu\text{m}$ 、電流密度は

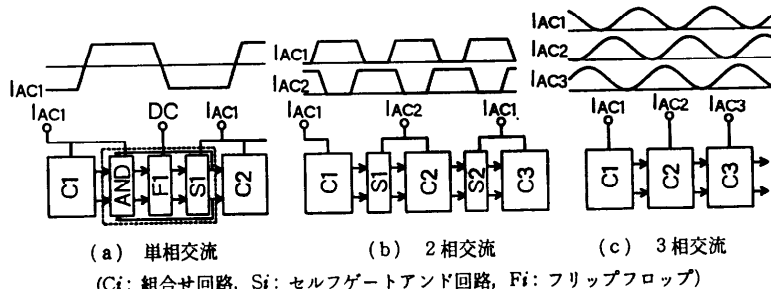


図-3 各種交流電源方式による順序回路の構成

6000 A/cm² であり, 最高 $f=11.9$ GHz までの分周動作を確認した¹¹⁾. これにより上記直流駆動フリップフロップが順序回路要素として十分な高速性を有することを示した. しかし, この周波数はフリップフロップを組合せ回路として使用した場合のスイッチング遅延としては $1/f=84$ ps に相当する. 一方, 同じ $1.5\ \mu\text{m}\times 1.5\ \mu\text{m}$ 接合を用いた交流駆動回路のスイッチング遅延は DCL 素子で 5.6 ps¹²⁾, 3 接合干渉型素子で 13.5 ps¹³⁾ であった. これらの検討結果から論理段数の深い組合せ回路を含むシステムの構築には交流駆動回路が適し, 直流駆動フリップフロップは順序回路要素として高速なクロックを用いる部分に適用することが有効と考えられる. なお, 同フリップフロップのハングアップ現象に関しては並列抵抗 (図-4 R_p) を付加することによって回避可能であることを見出した¹⁴⁾.

続いて直流駆動フリップフロップの順序回路要素としての高速性と安定性を活かして交流駆動方式の欠点を緩和するために両者を併用する方式を検討した. 交流駆動の方式としては比較的事業の負担の軽微な単相交流駆動を採用し, そのラッチ及び出力バッファに直流駆動フリップフロップを

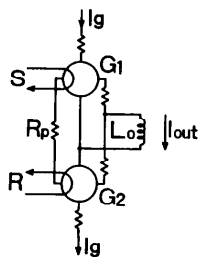


図-4 ハップル型直流駆動フリップフロップの構成

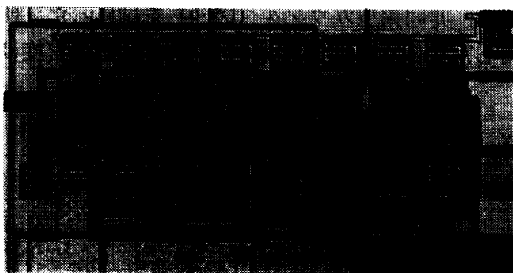


図-5 直流駆動フリップフロップで構成された3ビットカウンタ
ゲート数 16, クロック 11.9 GHz, 消費電力 0.4 mW, チップサイズ $0.9\ \text{mm}\times 0.3\ \text{mm}$.

適用した. 同方式で命令セット 8, ゲート数 2066 の4ビットプロセッサ (図-6) を試作し, クロック 1.02 GHz で動作させた¹⁴⁾.

一方, 2 相駆動においてもジョセフソンプロセッサシステムの試作が行われ, 1280 ビット命令

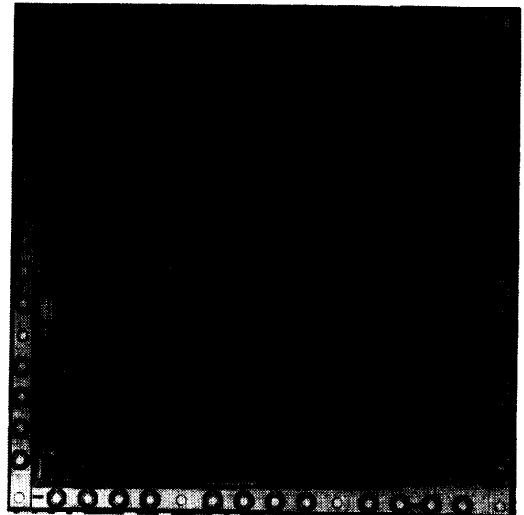
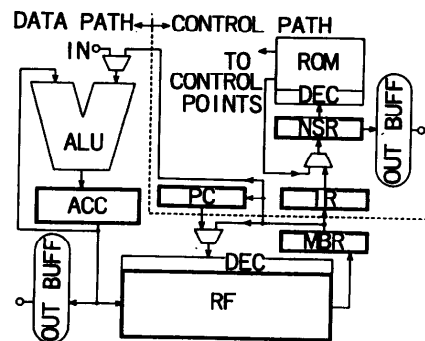


図-6 直流駆動フリップフロップをラッチ及び出力バッファに用いた4ビットプロセッサ
命令セット 8, ゲート数 2066, クロック 1.02 GHz, 消費電力 25 mW, チップサイズ $5.0\ \text{mm}\times 5.0\ \text{mm}$.



- ACC: Accumulator
- ALU: Arithmetic Logic Unit
- DEC: Decoder
- I. DEC: Instruction Decoder
- IN. BUFF: Input Buffer
- IR: Instruction Register
- MBR: Memory Buffer Register
- MPX: Multiplexer
- NSR: Next State Register
- OUT BUFF: Output Buffer
- PC: Program Counter
- RF: Register File
- ROM: Read Only Memory
- W/R: Write Read Control

図-6 の続き: プロセッサのブロック図

ROM, 1K ビット RAM, シーケンサ, RALU の 4 チップからなる総ゲート数 3658 のプロセッサの全チップにまたがる動作が達成された¹⁵⁾. チップはパッケージにワイヤボンダ接続され, 各パッケージ間はプリント基板上の配線で接続されている. クリティカルパス遅延は 1ns 以下に収めてあり, 性能は 1GIPS (Giga Instructions Per Second) である.

また, 3相駆動により 8×8 ビット乗算器, 13 ビット ALU, 256 ビット RAM など備えた 8 ビット DSP (Digital Signal Processor) が試作され¹⁶⁾, 処理性能 1GOPS (Giga Operations Per Second) を実現した.

一方, 数 GHz 以上の高速クロック実現を目的として直流駆動フリップフロップのみで順序回路と組合せ回路の両方を達成する全直流駆動回路の検討も行った¹⁷⁾. 直流駆動フリップフロップのスイッチングの高速化を図るために接合寸法 $2\mu\text{m} \times 2\mu\text{m}$ の下で接合電流密度を 10000 A/cm^2 まで増加し, さらに負荷抵抗に並列にスピードアップ接合を挿入した. そして種々の基本論理回路の機能を確認するとともに 13 段リングオシレータで最小スイッチング遅延 11.3 ps を得た. また直流駆動フリップフロップが過大ゲート電流下で数 GHz の周波数領域での電圧制御発振器として動作することを実証し, チップ上での超高速クロック供給の可能性を実証した.

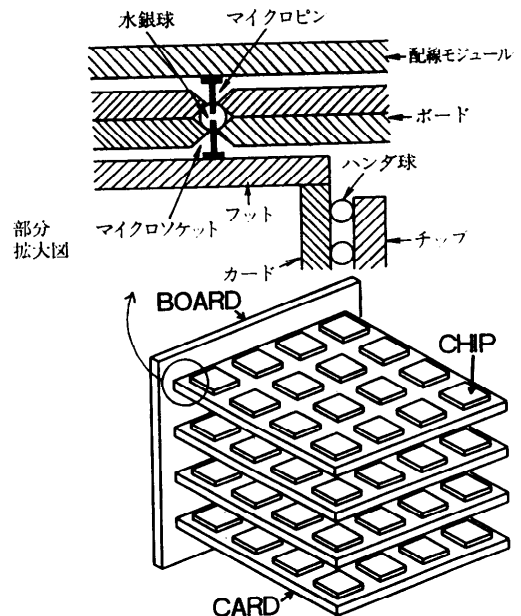
今後, ジョセフソン LSI の発展方向として, 高集積化が求められるところでは多相交流駆動が中心となり, クロック速度に力点がおかれる部分には全直流駆動が広がるものと予測される.

3. マルチプロセッサスーパーコンピュータのための技術課題と今後の展望

ジョセフソン素子の特殊性がアーキテクチャ及び実装を含むハードウェア技術にどのような影響を及ぼすか以下に考察する. ジョセフソン素子は基本的には半導体と同じリソグラフィ技術を用いてシリコン基板上に作成されるのでチップあたりの集積度は半導体に比べて高いということはない. 液体ヘリウム温度という特殊な冷凍環境実現のための高いコストに見合った高いシステム性能を実現するためには低消費電力特性を活かして多数のチップを 3 次元的に高密度実装し, チップ間

遅延を小さく抑えることが決定的に重要である.

IBM が 79 年に発表したジョセフソンコンピュータの構想¹⁸⁾を例にその実装形態を説明する (図-7). 超電導素子を搭載した LSI チップはシリコンでできたカードにチップの表面を向けて超電導ハンダ球により貼り付けられる. カードの両面にチップを貼り付けることも可能である. カード上の配線は集積回路技術を利用して, $10\mu\text{m}$ 程度の幅のストリップラインを多層に重ねて作る. カードの根元にはフットと呼ばれるシリコンでできた板が垂直に立てられ, そこに $300\mu\text{m}$ 程度のピッチで直径 $75\mu\text{m}$, 長さ $150\mu\text{m}$ の白金でできたマイクロピンが立てられる. このカードはさらに別のシリコンで作られたボードに垂直に立てて並べられる. ボードには $300\mu\text{m}$ 程度のピッチで中に水銀球がつまったマイクロソケットが作られており, ここにカードのマイクロピンが挿入される. ボードの裏側からはカードと同じピンピッチの配線モジュールが重ねられる. ピンとピンの接続は水銀を用いているため, 室温での接続は容易であり, 冷却すれば水銀は固まりピンは固定される. これは細いピンを多数接続するには便利である. 基板材料は全てシリコンに統一され, 熱膨張率の差による破壊を避けるようになっている. 旧世代の $2.5\mu\text{m}$ ルールを用いると IBM 3033 クラ



(電子材料 (1985 年 4 月号) より転載)

図-7 ジョセフソンコンピュータの 3 次元実装形態

スのメインフレームが $10 \times 8 \times 8 \text{ cm}$ に収まる。使用する LSI は、論理については 1K ゲート/チップのもの、キャッシュは 4K ビット/チップの非破壊読出しメモリ、メインメモリについては 16K ビット/チップの破壊読出しメモリを想定している。これによりサイクルタイム 1ns が実現でき、プロセッサの処理能力は 250 MIPS に達するという。消費電力は入出力ケーブルからの熱侵入も含めて数 W 以下と考えられる。

放熱空間の確保が不要なことから、上記のプロセッサモジュール多数個を最短間隔で配置することもできる。また、超電導配線を用いると定インピーダンス・無損失のストリップラインを実現でき、チップ内、チップ間を問わず信号パルスを波形劣化をもたらさずに伝搬可能なことから、プロセッサ間的高速データ伝送を実現できる。超電導薄膜はマイスナ効果により完全な電磁シールド特性を示すため、超電導グランドプレーン構造などにより信号線間のクロストークを抑えることができ、配線密度は非常に高い。超電導下ではエレクトロマイグレーションなどの劣化機構が存在しないことも細く薄い配線を許容する。このため、ジョセフソンプロセッサは本質的に並列マシンやアレイプロセッサとの親和性が最良である。

ここで、チップ内で交流駆動が使用されていても、入出力バッファに前述の直流駆動フリップフロップを用いることにより、伝搬遅延がクロックサイクルを越える 2 点間にも数 Gb/s 以上の非同期通信路を確保することができる。また、直流駆動フリップフロップは NRZ (Non Return to Zero) 型の電圧出力も可能なので外部の半導体回路とのインタフェースを実現するのも容易である。

システム構築に際してやや問題になるのはジョセフソンメモリの集積度、速度が現状の方式では論理回路に比べてやや劣るということである。これは単位量子磁束を実現するためのインダクタンスが数 pH 必要であり、ビット線、ワード線の nH 近いインダクタンスを JJ 素子の数 Ω の低インピーダンスで駆動しなくてはならないためである。2 μm ルールによる 4KbSRAM のチップ面積は 6mm \times 6mm で、アクセスタイムは 580ps である¹⁹⁾。一方、1.5 μm ルールによる論理ゲートでは 5mm \times 5mm に 6300 ゲートが搭載され¹⁶⁾、ゲート遅延 2.5ps が実現されている²⁰⁾。この事

実はジョセフソン素子によるシステムでは“メモリネック”の問題が半導体よりも深刻であることを示唆している。“コネクションマシン”²¹⁾のような小規模メモリを備えた高速プロセッサを並列動作させることがシステム性能向上に有効であると考えられる。

ただし、この問題に関しても、JJ 素子の直並列接続体を使って高インピーダンスでインダクタンスを駆動する技術が開発された²²⁾。プロセス面においても寄生容量を減らすために接合障壁層材料や層間絶縁膜の誘電率を低下させ、かつ寄生インダクタンスを減らすために層間絶縁膜を薄く保ち、超電導電極の磁場侵入長を減らすよう膜質を向上する技術開発が続いている。ジョセフソンメモリの高集積化、高速化も今後急速に進展することと期待される。

ジョセフソンコンピュータの実現には以上のようなジョセフソン素子固有の特性を認識した上で、回路方式の特性を実装技術や冷却技術と組み合わせる総合的に評価し、最適なアーキテクチャを追及していく努力がさらに必要である。

謝辞 本研究は通産省工業技術院大型プロジェクトの一環として行われるとともに、その一部は新エネルギー・産業技術総合開発機構 (NEDO) から委託を受けて実施されたものである。

参 考 文 献

- 1) Gheewala, T. R. and Mukherjee, A.: Josephson Direct Coupled Logic (DCL), Technical Digest International Electron Device Meeting (IEDM), pp. 482-484 (1979).
- 2) Gheewala, T. R.: A 30 ps Josephson Current Injection Logic (CIL), IEEE Journal of Solid-State Circuits, Vol. SC-14, No. 5, pp. 783-793 (Oct. 1979).
- 3) Ketchen, M. B., Herrell, D. J. and Anderson, C. J.: Josephson Cross-Sectional Model Experiment, Journal of Applied Physics, Vol. 57 (7), No. 1, pp. 2550-2573 (Apr. 1985).
- 4) Takada, S., Kosaka, S. and Hayakawa, H.: Current Injection Logic Gate with Four Junctions, Proc. 11th (1979 Int.) Conf. Solid State Devices, Tokyo 1979, Japan, J. Appl. Phys. Suppl. 19-1, pp. 607-611 (1980).
- 5) Davidson, A.: A Josephson Latch, IEEE Journal of Solid-State Circuits, Vol. SC-13, No. 5, pp. 583-590 (Aug. 1978).
- 6) Arnett, P. C. and Herrell, D. J.: Regulated AC Power for Josephson Interferometer Latching

- Logic Circuits, IEEE Trans. on Magnetics, Vol. MAG-15, No. 1, pp. 554-557 (Jan. 1979).
- 7) Okada, Y., Hamazaki, Y. and Sogawa, E.: Two-Phase Pulsed Power Supply and its Merits, Bulletin of the Electrotechnical Laboratory, Vol. 48, No. 4, pp. 65-71 (1984).
 - 8) Fujimaki, N., Imamura, T. and Hasuo, S.: Josephson 8-bit Shift Register, IEEE Journal of Solid-State Circuits, Vol. SC-22, No. 5, pp. 886-891 (Oct. 1987).
 - 9) Baechtold, W.: A Flip-Flop and Logic Gate with Josephson Junctions, ISSCC Digest of Technical Papers, pp. 164-165 (Feb. 1975).
 - 10) Hebard, A. F., Pei, S. S., Dunkleberger, L. N. and Fulton, T. A.: A DC Powered Josephson Flip-Flop, IEEE Trans. on Magnetics, Vol. MAG-15, pp. 408-411 (Jan. 1979).
 - 11) Hatano, Y., Nishino, T., Tarutani, Y. and Kawabe, U.: Ultrahigh Speed Direct Coupled Logic Gate Fabricated with NbN/Pb Josephson Junctions, Applied Physics Letter, Vol. 44, No. 11, 1, pp. 1095-1097 (June 1984).
 - 12) 森 博之, 平野幹夫, 山田宏治, 樽谷良信, 波多野雄治, 川辺 潮: 高品質 Nb/AlO_x/Nb 接合の作製, 電子通信学会論文誌, Vol. J 72-C-II, No. 6, pp. 672-683 (June 1989).
 - 13) Hatano, Y., Harada, Y., Yamashita, K., Tarutani, Y. and Kawabe, U.: A 4-bit×4-bit Multiplier and 3-bit Counter in Josephson Threshold Logic, ISSCC Digest of Technical Papers, pp. 196-197 (Feb. 1986).
 - 14) Hatano, Y., Mori, H., Yamada, H., Nagaishi, H., Nakane, H., Hirano, M. and Kawabe, U.: A 4b Josephson Data Processor Chip, ISSCC Digest of Technical Papers, pp. 234-235 (Feb. 1989).
 - 15) 仲川 博, 黒沢 格, 青柳昌宏, 幸坂 紳, 濱崎陽一, 岡田義邦, 高田 進: ジョセフソンコンピュータ ETL-JC 1, 電子情報通信学会技術研究報告 SCE 89-59, pp. 43-48 (1990).
 - 16) Kotani, S., Inoue, A., Imamura, T. and Hasuo, S.: A1 GOPS 8b Josephson Digital Signal Processor, ISSCC Digest of Technical Papers, pp. 148-149 (Feb. 1990).
 - 17) Hatano, Y., Nagaishi, H., Yano, S., Nakahara, K., Yamada, H., Kominami, S. and Hirano, M.: An All DC Powered Josephson Logic Circuit, IEEE Journal of Solid-State Circuits, Vol. SC-26, No. 8, pp. 1123-1132 (Aug. 1991).
 - 18) Anacker, W.: Computing at 4 Degrees Kelvin, IEEE spectrum, pp. 26-37 (May 1979).
 - 19) 田原修一, 石田一郎, 永沢秀一, 日高睦夫, 柘植久尚, 和田容房: 4 K ビットジョセフソン RAM, 電子情報通信学会技術報告 ICD 90-51, pp. 55-62 (1990).
 - 20) Kotani, S., Imamura, T. and Hasuo, S.: A 2.5-pps Josephson OR Gate, Technical Digest, Integrated Electron Devices Meeting 1987, pp. 865-866 (Dec. 1987).
 - 21) Hillis, W. D.: Connection Machine, MIT Press (1985).
 - 22) 鈴木秀雄, 藤巻則夫, 田村泰孝, 今村 健, 蓮尾信也: 高速ジョセフソンメモリの設計, 電子情報通信学会技術研究報告 SCE 88-40, pp. 79-84 (1988). (平成 3 年 11 月 14 日受付)



波多野雄治

昭和 53 年東京大学工学部電子工学科卒業。昭和 55 年同大学院修士課程修了並びに(株)日立製作所入社。平成 2 年まで同社中央研究所にてジョセフソン素子の研究に従事。以来、デジタル移動無線用ベースバンド LSI の研究に従事、現在に至る。平成 4 年、東京大学より博士(工学)学位取得。電子情報通信学会会員。



川辺 潮

昭和 40 年東京工業大学大学院修士課程物理専攻修了。同年(株)日立製作所入社、中央研究所で超伝導材料の研究とコンピュータによる材料探索研究。昭和 47 年に東工大より超伝導の研究により理学博士を授与される。昭和 48 年主任研究員として電子放射材料の研究を推進し、単結晶 L₂B₆ 電子銃の開発で昭和 61 年度東京都知事賞を受ける。昭和 57 年主任研究員として超伝導エレクトロニクスの研究を推進、平成 3 年 2 月に同中央研究所の研究開発のリゼンとコーディネーションを担当、同年 10 月に主任研究員に昇格、現在に至る。電子情報通信学会、応用物理学会、IEEE 各会員。