

1 チップMPEG-2 ビデオ復号LSI

渡辺 英明† 山下 公一† 酒井 潔† 宮坂 秀樹†
太田 光彦† 宮脇 克樹† 河野 忠美†† 小早川 隆洋††

†株式会社 富士通研究所 †富士通株式会社
††富士通デジタル・テクノロジー株式会社 ††富士通九州デジタル・テクノロジー株式会社

†〒211 神奈川県川崎市中原区上小田中1015
Tel: (044)754-2679 Fax: (044)754-2347
E-mail: hideaki@flab.fujitsu.co.jp

あらまし マルチメディアシステムにおけるキーテクノロジーとして注目されている、動画像符号化の国際標準MPEG-2に準拠した、1チップビデオデコーダLSIを開発した。本LSIは標準における主要クラスであるメインプロファイル@メインレベルに対応しており、スタジオレベルの高品質な動画像をリアルタイムで復号可能である。また、本LSIはエンコーダの一部としても使用可能であるという特長を持つ。アーキテクチャの最適化および乗算器等のゲート規模の比較的大きくなる部分を積極的にマクロ化することにより、LSIの小型化、低消費電力化を実現した。使用テクノロジーとしては、0.5 μ m CMOS プロセスを用い、約620Kトランジスタの回路を11.35 \times 11.35mm²のチップに収容した。LSI開発と同時に本LSIを用いたパソコンベースの評価ボードを試作し、正常に動作することを確認した。

Development of a VLSI chip for video decoding conforming to MPEG-2

Hideaki Watanabe† Koichi Yamashita† Kiyoshi Sakai† Hideki Miyasaka†
Mitsuhiko Ohta† Katsuki Miyawaki†† Tadayoshi Kohno†† Takahiro Kobayakawa††

†Fujitsu Laboratories Ltd. †Fujitsu Limited
††Fujitsu Digital Technology Ltd. ††Fujitsu Kyusyu Digital Technology Ltd.

†1015 Kamikodanaka, Nakahara-Ku, Kawasaki 211, Japan
Tel: +81-44-754-2679 Fax: +81-44-754-2347
E-mail: hideaki@flab.fujitsu.co.jp

Abstract A VLSI chip fully compatible with MPEG-2 has been developed. The chip conforms to Main Profile @ Main Level of the standard and realizes real-time decoding of studio quality moving pictures. In addition, it is designed to operate as a part of MPEG-2 realtime encoder. The chip size and power dissipation are reduced by optimizing its architecture and by using hardware macro cells for bulky circuits such as multipliers. Owing to them, the chip has been implemented with approximately 620K transistors on 11.35 \times 11.35mm² using a triple metal 0.5 μ m CMOS technology. The chip has been confirmed to work well after evaluation using PC-based testbed.

1 概要

動画像の国際標準であるISO/IEC 13818-2(MPEG-2 Video) 対応の1チップビデオデコーダLSI (図1)を開発した。本LSIは、720×480(30Hz)または、720×576(25Hz)のITU-R Rec.601画像をリアルタイムで復号可能である。更に符号化装置の一部としても使用可能な構成となっている。

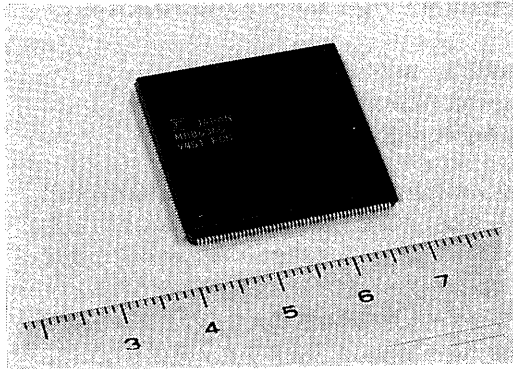


図1 MPEG-2 復号LSI

2 背景

すでに市場にはMPEG1を応用した製品が投入されており、デジタル動画像情報圧縮技術を利用したマルチメディアシステムが着実に浸透し始めている。しかし近い将来の衛星放送、VOD(Video On Demand)等のデジタル映像サービスに用いる圧縮方式としては、現行の地上波放送以上の高画質が実現できるMPEG2の適用が期待されている。

このようなMPEG2を応用したサービスの普及のためには、一般家庭で手軽に利用できる安価なMPEG2デコーダが欠かせないのはもちろんのこと、コンテンツ作成の効率化のために、高性能なリアルタイムエンコーダへの要求も高まっている。

このような状況を踏まえ、さまざまなマルチメディアシステム構築のためのキーデバイスとしてMPEG-2対応の1チップビデオデコーダを開発した。以下まず第二章でLSI設計方針を説明する。第四章ではLSIの仕様を説明する。第五章では試作した復号ボードについて説明する。

3 設計方針

本LSIの開発にあたって考慮した、設計上の基本方針について以下に述べる。

3.1 対応プロファイル・レベルの設定

動画像符号化の国際標準であるMPEG-2の適用範囲は、MPEG-1レベルの低解像度画像から、HDTVに至る広範囲に渡っている。しかしながら、これらの範囲をすべて含むのはLSIの回路規模・コストの観点から現実的でなく、また、先に述べたように、当面はITU-R Rec.601相当の解像度を用いたサービスが主流であるものと予想される。そこで、今回はMPEG-2のMain Profile @ Main Levelに対応することとした。

MPEG-2 MP@MLのリアルタイム復号には、MPEG-1(SIF相当)の場合と比較し、4倍程度の膨大な処理能力が要求される(一般的に1GOP以上といわれる)。回路規模削減および低消費電力化のために、専用のアーキテクチャによる設計を行なうこととした。

3.2 周辺回路とのインターフェース

MPEG-2の復号処理に必要な外部メモリバンクについて、汎用DRAMを用いてバス接続する構成とした。このバスをLSI内部の複数のブロックで共有し、DRAMを1)入力されたビットストリームの格納、2)復号画像の格納、3)参照画像の格納、の3つの用途で共用することとした。

動作モード設定等のために接続するホストCPUのインターフェースとしてx86系、680x0系、SPARC Liteが直結できるようにした。また復号動作中のCPUの負担を最小限とすることを目指した。

ビットストリームの入力ポートとしては、ホストCPUバスと、専用のシリアルポートの2系統を持たせることとした。

3.3 ローカルデコード機能

図2にMPEG(MPEG-1,MPEG-2)の符号器の原理図を示す。図からもわかるようにMPEGの符号器の一部(ローカルデコード部)は、基本的に復号器と同じ構成となっている。そこで本LSIでは、符号器の一部として動作するためのインターフェースを備え、ローカルデコード部として動作可能な構成とした。このために必要な追加回路を最小限に抑えるため、ローカルデコード部として動作する際に使用しないブロックのハードウェアの活用、外ピンの共有化を考慮した。

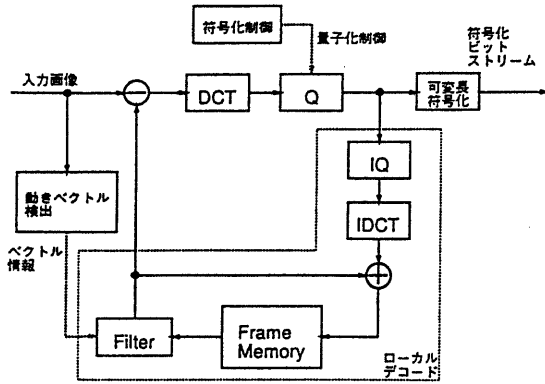


図2 MPEG 符号器の構成

3.4 表示系

復号した画像はITU-R Rec.601 規格に準拠した4:2:2 フォーマットでのデジタルビデオ信号として出力でき、またデジタル同期信号の多重機能も備えることとした。表示画面フリーズ機能、3:2 プルダウン機能のほか、プログレッシブ信号(ノンインタレース)からインタレース信号への変換等のフォーマット変換用のフィルタを内蔵することとした。

3.5 LSI テクノロジ

1チップでの小型化・低消費電力化および、開発工数の短縮を考慮して、社内の0.5 μ m ルールのCMOSプロセスを選択した。

消費電力の目標を1W 以下とし、かつ復号系と表示系の動作クロックの共通化の観点から、LSI の基本動作クロックを54MHz とした。

3.6 LSI 開発ツール

LSI 開発の効率化のため、トップダウン設計を採用した。まず、ハードウェア記述言語 (Verilog) を用いてビヘイビアモデルによる仕様検証を行い、RTL(Register Transfer level) 記述での回路合成、最後にゲートレベルでのシミュレーションという手順で回路検証を行なった。

4 LSI 仕様

第3章で述べた設計方針に基づいて今回開発したLSI の主要諸元を表1に示す。

4.1 内部構成

LSI の機能概略図を図3に示す。以下、各ブロックの概略機能について述べる。

全体制御部 (Main Controller)

LSI 各部の動作を制御するブロックである。ホストCPU からのパラメータに従い、復号動作およびローカルデコード動作を行なうように各ブロックに指示を出す。

ビットストリーム入力部 (Bitin)

入力されたビットストリームを、データバスアクセス調停のために一旦バッファリングするブロックである。入力には、ホストCPU からの平行入力と、直接LSI に入力されるシリアル入力がある。シリアル入力の場合には平行変換を行なう。入力されたビットストリームは外部DRAM に一旦蓄えられる。

可変長復号部 (VLD)

入力された可変長符号を復号するブロックである。パレルシフタを用いて、一クロックで一つの可変長符号を復号する。ブロックレイヤ(画素データ)の情報はランレングス変換を行ない逆量子化部に転送する。また、内部にデータバス調停用のバッファを有する。

逆量子化部 (IQ)

画素データの逆量子化を行なうブロックである。量子化マトリクス係数を保存するRAM を内蔵する。ローカルデコードモード時には、外部の符号化回路より量子化データが入力される。

逆離散コサイン変換部 (IDCT)

画素データの逆離散コサイン変換を行なうブロックである。

フィルタ一部 (Filter)

動き補償における予測値生成を行なうブロックであり、その際必要に応じてブロック単位のフィルタリングを行なう。MPEG-2のサポートする各種の予測モードに対応して、フレームメモリ中の参照画素のアドレスおよび読みだし順序を決定する。また生成した予測画素とIDCT部の予測誤差データ出力との加算のタイミング調整のためのバッファを有する。

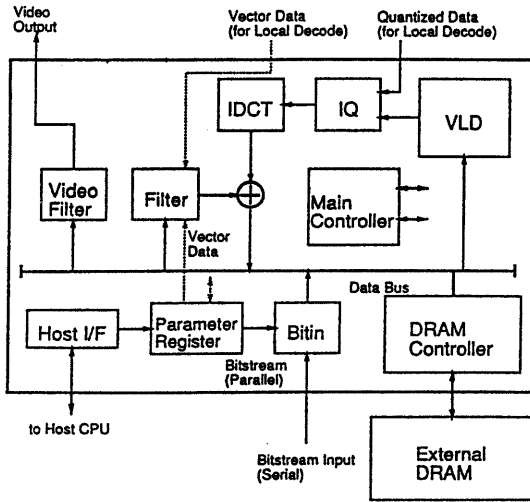


図3 LSI 機能概略図

パラメータレジスタ部 (Parameter Register)

ホストCPU から転送されるLSI 全体の動作を決めるパラメータや、ビットストリームから復号される符号化パラメータを保存し、LSI 内の各部に分配する。ピクチャヘッダ以上の情報はホストCPU 月からアクセスが可能である。

ホストインターフェース部 (Host I/F)

ホストCPU とのインターフェースを行なう。表1のCPU に対応するための回路を有する。

ビデオ出力部 (Video Filter)

フレームバッファ内の再生画像を、LSI 外部の表示系に出力するブロックである。ピン数削減のために、出力時にはY,Cb,Cr を多重化している。内部にプログレッシブ/インタレース変換用のRAM およびフィルタを持つ。

DRAM 制御部 (DRAM Controller)

外部DRAM の制御、およびLSI 内部の各ブロックからのDRAM アクセス要求の調停を行なう。Main Profile @ Main Level の復号を実現するために最低必要な容量である16Mbit での動作をサポートしている。

4.2 特徴

4.2.1 マクロの使用

回路の小型化および低消費電力化のために、比較的回路規模の大きい、乗算器とパレルシフトのマクロ化を行なった。表2に一覧を示す。平均ゲート密度として、3,800gates/mm² の高密度を実現している。

4.2.2 DRAM アクセス調停

本LSI では外部バスに接続したDRAM を複数のブロックで共有しているが、LSI との膨大なデータの転送能力を確保するため、LSI 内部の各ブロックのアクセススケジュールを可変時間割り当てとした。

外部DRAM アクセスには、おもに1) ビットストリームの読み出し、2) 表示画素の読み出し、3) ビットストリームの書き込み、4) 参照画素の読み出し、5) 復号画素の書き込み、があるが、小規模化の観点からは一つの外部DRAM 制御部でこれらのデータアクセスを制御することが望ましい。このためデータバスに上記のデータアクセス調停用のインターフェースを接続し、データバスを共有することにした。

しかしながら、復号中にこれらのデータアクセスが生じるタイミングや頻度は、入力されるビットストリームによって大きく変動する。このため各アクセス毎に最悪値を保証したのでは膨大なバスの転送能力が必要になり、実現が困難である。そこで限られたバンド幅の中で上記のデータアクセスの割当てを効率的に行なうことが課題になる。

前記の各アクセスの発生仕方には、LSI 内部のデータの流れや各ブロック処理の順序関係に起因する規則性がある。そこでこの性質を用いて、データアクセスのスケジューリングを行なうことにした。同時に各ブロックでは、バス調停により生じる最大の遅延時間分のデータを格納するバッファメモリを備えることとした。この手法により、汎用のDRAM を用いた64bit バス構成で最悪値の動作保証を可能にした。

4.2.3 ローカルデコード機能

ローカルデコード機能を、最小限の付加回路のみで可能にした。本LSI を用いた符号器の構成例を図4 に示す。

ローカルデコード動作時には、VLD 部、およびVIF 部を使用しないので、これらの持つRAM をLSI 外部とのタイミング調整のバッファとして使用することで、外部回路の設計の自由度を確保している。

ローカルデコード部として使用する際の本LSI の動作について説明する。まず、外部の動きベクトル検出回路で検出した動きベクトルを直接LSI に入力する。この動きベクトルはFilter 部に転送され、Filter 部では渡された動きベクトルをもとに参照画素データをフィルタリングした後、一旦VLD 部のRAM でバッファリングして出力する。このデータはLSI 内部での画像再生にも使用する。LSI 外部のディレイバッファで、LSI 外部の符号化ループ(DCT および量子化処理)の系との遅延を吸収したのち、LSI 内部に再び入力する。これを逆量子化および逆DCT した画像データと加算しDRAM 内のフレームバッファへ格納する。この時データバスの調停により生じるDRAM アクセスの遅延はVIF 部のRAM で吸収

吸収する。

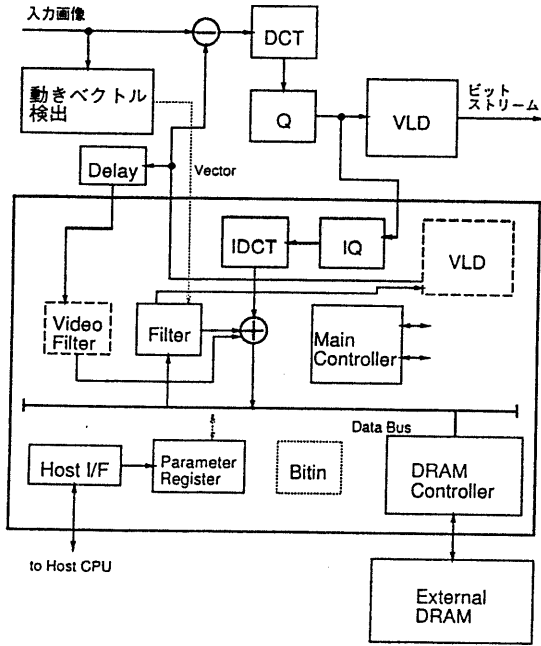


図4 ローカルデコード時のLSI機能概略図

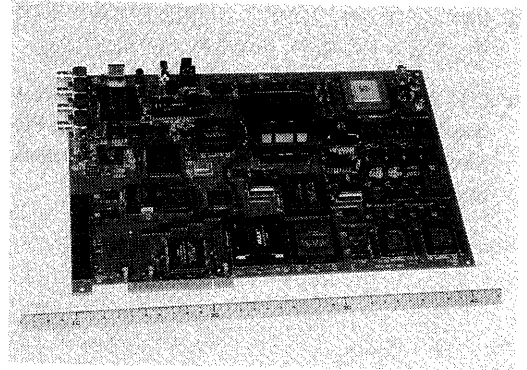


図5 評価ボード

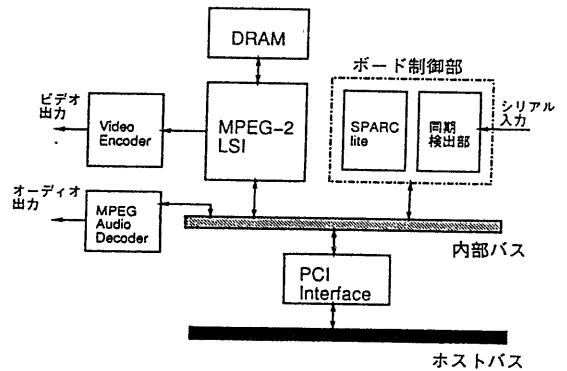


図6 評価ボード内部構成

5 評価ボードの試作

5.1 システム構成

LSI のシステム環境での動作確認を行なうために、パソコン (FMV シリーズ) の拡張バス (PCI バス) に接続する評価ボード (図5) を試作した。

この評価ボードには、ビデオデータ、オーディオデータ等が多重化された MPEG システムビットストリームの復号分離処理およびボード内制御用として、SPARC Lite を搭載している。図6に構成を示す。

ビットストリーム入力として、ホストバス (PCI バス) を経由して入力される経路と、直接システム分離回路に入力する経路 (シリアル) の2系統を備えている。また、出力はビデオ、オーディオともにアナログ/デジタル両方で出力可能な構成となっている。本評価ボードを用いて、MPEG-2 の MP @ ML や MPEG-1 に準拠した符号化データを入力し、いずれの場合も正常に復号することを確認した。

6 まとめ

動画像符号化の国際標準である MPEG-2 に対応した、1 チップビデオデコーダ LSI を開発した。本 LSI はスタジオレベルの高品質な動画像をリアルタイムで再生可能であり、今後のマルチメディアシステムにおけるキーデバイスになるものと期待される。今後、様々なシステムに本 LSI を適用し、システム評価を行なっていく予定である。

参考文献

- [1] ITU-T Rec. H.261: "Video Codec for Audio Visual Services at $p \times 64\text{ kbit/s}$ ", (Mar. 1993).
- [2] ISO/IEC 11172-1/2/3: "Information Technology - Coding of Moving Pictures and Associated Audio

for Digital Storage Media at up to about 1.5Mbit/s", International Standard, (1993).

- [3] 川井 他: "H.261/MPEG-1 対応画像 CODEC 用 LSI チップセットの開発", 信学技報, CS92-82(1993).
- [4] ITU-R Rec. H.262, ISO/IEC 13818-2: "Information Technology - Generic Coding of Moving Pictures and Associated Audio", Draft International Standard, (Mar. 1994).

項目	内容
プロセス	0.5 μ m、CMOS ゲートアレイ
チップ寸法	11.35 × 11.35mm ²
トランジスタ数	62 万トランジスタ
動作周波数	54 MHz (入力周波数は 27 MHz)
電源電圧	3.3V/5V
消費電力	1W 以下
パッケージ	208 pin、プラスチック QFP
最大入力レート	~20Mbps
対応 Profile@Level	MPEG2(MP@ML,SP@ML), MPEG1
復号可能画面サイズ	ITU-R Rec.601 (720×480×30MHz, 720×576×25MHz)
ホスト CPU IF	8-bit/16-bit 680x0,80x86, 又は SPARC Lite
表示出力	4:2:2(Y,Cb/Cr) フォーマット 8bit 時分割多重

表1 LSI の主要諸元

マクロセル	ゲート数	エリア (mm ²)	ゲート密度 (gates/mm ²)
乗算器			
11bit × 8bit	755	0.19	3,900
13bit × 8bit	855	0.19	4,500
18bit × 16bit	2,260	0.58	3,900
20bit × 10bit	1,563	0.40	3,900
乗算器(半固定)			
16bit × 14bit(1)	800	0.21	3,700
16bit × 14bit(2)	812	0.21	3,800
16bit × 14bit(3)	614	0.19	3,500
パレルシフト			
32bit(FF 込み)	1,515	0.50	3,000

表2 ハードマクロ一覧