

4 : 2 : 2 対応 MPEG 2 デコーダ L S I

澤田 明, 三瓶 達也, 木内 成則

日本電気 L S I 事業本部 U L S I システム開発研究所

MPEG 2 規格の中で、テレビ映像に対応した最も標準的な区分はメインプロファイル、メインレベル (MP@ML) である。MP@ML は、一般の民生機器用としては十分な画質を提供するが、元々の映像信号に対してフィールド内のクロマライン間引きを行うため業務用では好まれない。一方、規格の中でクロマライン間引きを行わないのはハイ・プロファイルだけであり、一般の放送分野では過剰な仕様となっている。

そこで経済的に 4 : 2 : 2 クロマフォーマットに対応した業務用デコーダ L S I を開発した。本稿では、処理能力算定など L S I 設計のポイントについて示す。

Adaptable for 4:2:2 chrominance format MPEG2 video decode LSIs

Akira Sawada, Tatsuya Sanpei, Shigenori Kinouchi

NEC Corporation AV SYSTEM LSI DEVELOPMENT LABORATORY

In the MPEG2 video standard, a most standard part (Profile and Level) is a Main Profil at Main Level (MP@ML). MP@ML which supports only 4:2:0 chrominance format has enough picture quality level for general consumer video applications but MP@ML does not fit for professional use which is required 4:2:2 chrominance format. Meanwhile, only High Prolile supports 4:2:2 chrominance format but High Profile is over specification for general broadcasting field applications.

Therefore, NEC developed economical video decode LSIs which are adaptable for 4:2:2 chrominance format, for professional use. This paper shows point of the LSIs' design for example estimation of disposal ability.

1. LSI仕様

我々は、社内でデジタル映像配信を手掛けるシステム部門からの要望に基づき、MPEG2デコーダLSI（ μ PD60351, μ PD60352の2チップセット）を開発した。当初はMPEG2と異なる仕様で開発に着手したが、MPEG2規格が固まった時点で規格に準拠した。ただし、トレードオフを考慮した結果MPEG2のMP@MLには完全に準拠しなかった。表1に本LSIとMP@MLの主な差異を示す。

2. LSIの基本設計

まず、基本的な方針をいくつか定めた。

- ・エンベデッド・セルベースICの採用

開発費と納期、LSI単価を考慮した結果、LSIは敷き詰め型ゲート・アレイとコンパイルド・メモリを組合せたセルベースICにした。

- ・内部動作クロック13.5MHz

自動配置配線の適用を考え、メモリの周囲で配線長が極端に伸びる可能性を考慮して内部動作クロックを基本的に13.5MHzとした。

次に下記ブロックの処理能力と回路構成の検討を行い、結果的に2チップ構成とした。

図1に機能の切り分けを示す。

- ①フレーム・メモリ・アクセス
- ②IDCT
- ③可変長復号
- ④符号バッファ・アクセス

以下この4点の検討内容について説明する。

表1. LSI諸元とMPEG2 MP@MLとの比較

項目	μ PD60351, μ P60352	MPEG2 MP@ML
最大画素数	720x576	同左
フィールドレート	60Hz (NTSC), 50Hz (PAL)	同左
クロマ	4:2:2, 4:2:0	4:2:0のみ
符号速度(bps)	~15M (悪条件時), ~44M (Iのみ)	~15M
Pピクチャ	フレーム/フィールド	同左
Bピクチャ	フィールドのみ	フレーム/フィールド
MPEG1互換性	なし	あり
プロセス	0.8 μ m, エンベデッド・セルベース	/
電圧, 消費電力	5V, 各1.5Wmax.	
パッケージ	208ピンQFP (0.5mmピッチ)	
クロック	54MHz入力, 内部13.5/18MHz	
Tr数, サイズ	490K (12.9 \square), 640K (12.15 \square)	

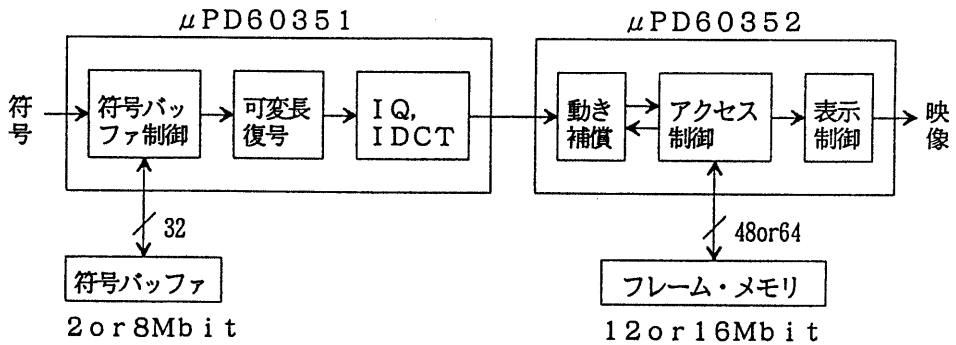


図1 チップセット構成

3. フレーム・メモリのアクセス方式

この検討はMPEG2デコーダを設計する上で最も重要な項目である。一般的には符号バッファやオンスクリーン表示のテキストなどもフレーム・メモリと共用するので、アービトレーションの検討に重点を置く。本LSIの場合は、4:2:2クロマフォーマットによるアクセス量増大が問題であったため、アクセス能力の検討を重点的に行った。その結果、符号バッファは分離独立して持つことにし、オンスクリーン表示は行わないこととした。以下詳細な検討内容を示す。

3.1 メモリ・アクセスの基本条件

使用するメモリは、価格と入手容易性を考慮してアクセスタイム70nsの高速ページモードDRAMに決めた。4MビットDRAMを4個使い、バス幅を64ビットにした。

また、本LSIはBピクチャを16ライン周期で処理して表示するため、1マクロ・ブロック・ストライプ(45マクロ・ブロック)のデータ・アクセスが16ライン周期内に収まることを条件とした。

3.2 データ・パッキング

フレーム・メモリのデータ・バスは、以下の構成とした。

$Y_{n,m}; Y_{n+1,m}; Y_{n,m+1}; Y_{n+1,m+1}; C_{bn,m}; C_{rn,m}; C_{bn,m+1}; C_{rn,m+1}$
すなわち、フィールド上の2x2画素の全データ(YおよびC)を割り当てた。ここで、 $C_{bn,m+1}$ および $C_{rn,m+1}$ は4:2:2時のみ使用する。従って、もし4:2:0しか復号しないのであれば、48ビット・バス(メモリは12Mビット)で済む。

このように完全2x2画素構成にすると他の並べ方に比べてDRAMのページ・サイクルを増やすことができ、アクセス能力を上げる事が出来る。ただし、フレーム予測モードにおいて、垂直データ順序が奇数フィールドと偶数フィールドで入れ子になる場合があり、データ列び替えのバッファが余分に必要となる。また、表示のためにLSI内部に持つライン・メモリも2ライン単位で必要になる。

3.3 アクセス能力の見積り

アクセス条件の最も厳しい16x8MC, 双方向予測の場合について、1マクロ・ブロック当たりの必要クロック数を求めてみる。

参照リード： $(RAS+CAS \times 9+PC+\alpha) \times 5 \times 2 \times 2=240$ クロック

ライト： $(RAS+CAS \times 8+PC) \times 8=80$ クロック

表示リード： $(RAS+CAS \times 8+PC) \times 8=80$ クロック

合計： $240+80+80=400$ クロック

ただし、ページ境界をまたぐ確率を50%と仮定して、 $\alpha=1$ とした。

一方、16ラインでアクセスを完結させると考えると、1マクロ・ブロック当りの許容クロック数はNTSCで305クロック(@13.5MHz)あるいは406クロック(@18MHz)になる。必要クロック数が305クロックに収まるようなデータ・パッキング方式は考案できなかったため、18MHzクロック(54MHzマスタクロックの1/3)でフレーム・メモリ制御を行うことにした。

また、18MHzクロックの場合もアクセス余裕が6クロックしかなく、動き補償以外のアクセスはできない。これ以上クロック周波数を上げるのは70nsの高速ページモードDRAMでは困難な点が多い。また、設計着手時点ではハイパー・ページモードやシンクロナスDRAMの供給に不安があったため、生産量の少ない業務用で採用するにはリスクが大きかった。このため、フレーム・メモリと符号バッファを分離して独立にアクセスする事にした。

なお、DRAMのリフレッシュは、1フレーム毎に垂直ブランキングで一括して行っている。従って、メモリはリフレッシュ周期が50ms以上の製品を使用する必要がある。

4. IDCT回路構成

本LSIで使用したIDCT回路は、JPEG用に開発したDCT/IDCT回路(USP5,331,584)をIDCT専用にしたものである。図2に1次元IDCT部分のブロック図を示す。

図2の回路は8pelのデータを4クロックで処理する。図中の+-+-, f g h e等は4クロック内の各位相で選択すべき極性やデータを示している。この回路のフルアダーの段数は、30段である。1段当たりのビット数は、乗算器部で14~18ビット、累算部で16~24ビットである。転置メモリ格納時のデータ長は15ビットとした。これらのビット長は、H.261で規定された許容誤差範囲に収まるように決定した。表2に本IDCT全体の誤差を示す。

本LSIでは、図2の回路の動作クロックを13.5MHzとし、転置メモリを介してこの回路を2個カスケードに接続している。処理能力は、27Mpel/sになる。

本IDCTの出力は垂直方向に2データずつの組み合わせで出るので、動き補償部でデータの並び替えを行う。またフレームDCT時のデータ並び替えも動き補償部で行う。

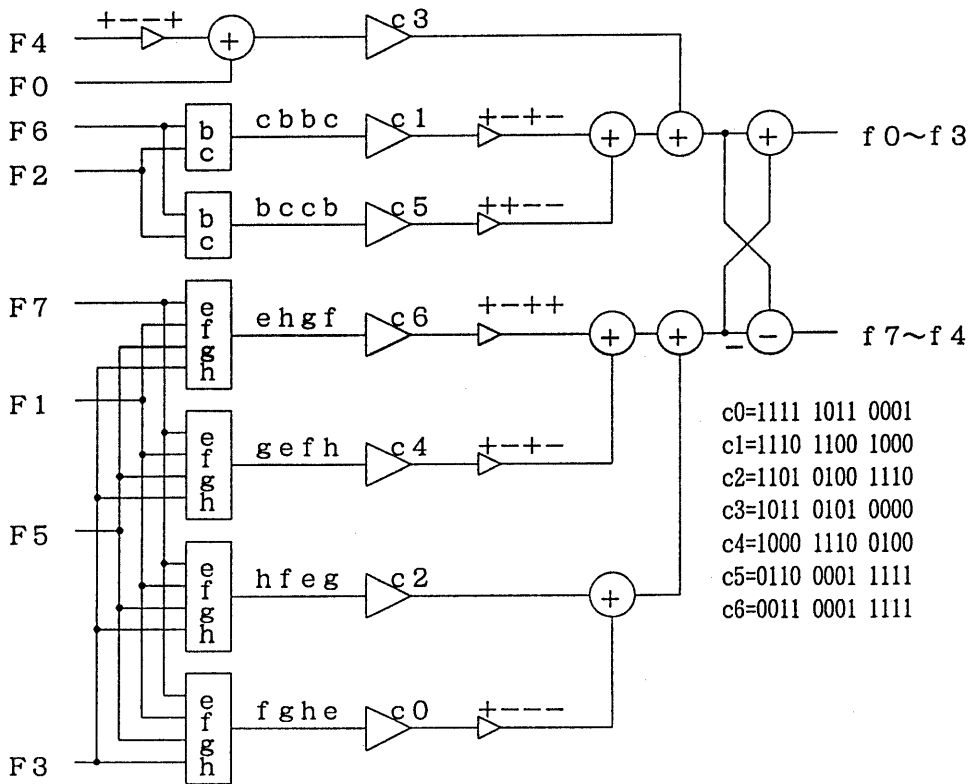


図2 1次元IDCTブロック図

表2 IDCT回路の演算精度

乱数の範囲	平均自乗誤差		平均誤差	
	1点毎 (最大値)	ブロック全体	1点毎 (最大値)	ブロック全体
-256~+255	0.0173	0.0150	0.0050	0.0002
-5~+5	0.0112	0.0090	0.0025	0.0002
-300~+300	0.0175	0.0139	0.0034	0.0002
許容値	0.064	0.02	0.015	0.0015

(注) 上記は生成した乱数をそのまま使った時の値。正負反転や転置でもほぼ同じ結果となる。
 全面素点で誤差±1以下の規定や0入力時0出力の規定も満足している。

5. 可変長復号

本LSIでは、28ビット・バレルシフトを13.5MHzクロックで動作させている。当初は1符号/1クロックで処理を検討した。この場合1ブロック当りの平均非ゼロ要素数が48個(4:2:0時)または32個(4:2:2)を越えると復号処理が間に合わない。

シミュレーションで確認した結果、4:2:2クロマフォーマットの15Mbpsでは、非ゼロ要素数が32個を上回る確率が高かった。可変長復号部を27MHzクロックで動作させれば問題は解決するが、設計着手時点では自動配置配線の27MHzクロック動作はリスクがあった。

そこで、DCT係数のAC成分を2符号/1クロックで処理するようにした。同時復号する符号の組み合わせは、VLCテーブルの先頭50種類程度で十分であった。本LSIでは余裕を持たせるため、2符号目がエスケープ以外で2符号の合計が28ビット以内の符号は全て組み合わせた。また、2符号を同時にゼロラン展開するため、ジグザグ・スキャン変換部はラッチで構成した。

6. 符号バッファ制御

本LSIの可変長復号部は、最大378Mbps(=28bit x 13.5MHz)で動作できる。この状況下でピーク符号入力を24Mbpsまで可能にしている。

符号バッファ・メモリは13.5MHzクロックで制御し、ライトは4ワード x 32ビット単位、リードは64ワード x 32ビット単位で行っている。可変長復号が最大レートで動作した場合の必要クロック数を計算すると、

リード	: 378Mbps / (64 x 32) x 66	= 12, 181, 641
ライト	: 24Mbps / (4 x 32) x 6	= 1, 125, 000
リフレッシュ	: 64000 x 3	= 192, 000
アイドリング		1, 359
合計		13, 500, 000

実際には、可変長復号がピーク・レートで動作し続けることは考えられない。カタログ上はピーク符号入力は24Mbpsになっているが、実力的にはピーク78Mbpsの符号受取能力がある。

7. まとめ

以上、我々の開発したMPEG2デコーダLSIの設計ポイントについて説明した。メモリやロジックの性能向上および自動配置配線ツールの技術向上を考えると、MP@MLでは我々の開発した技術は必要なくなっている。ただ、HDTVなどより高い性能が必要な分野で役立つものと考えている。

8. 謝辞

本LSIの開発・評価にご協力いただきました中央研究所信号処理研究部ならびに映像開発本部第一開発部の方々に感謝致します。