

解説



FPGA—その現状、将来とインパクト

2. FPGA を利用したアーキテクチャとシステム設計†

沼 昌 宏††

1. はじめに

FPGA (Field Programmable Gate Array) は、比較的大規模な回路をユーザ側でプログラムできる素子として、また論理回路のプロトタイプを構築するための素子として注目を集めている。なかでも SRAM タイプの FPGA については、電気的に書き換えることが可能である。この特徴は、一般に製造後の変更が不可能であった従来の LSI に関する常識を覆すものである。この FPGA の特徴を生かして、用途に応じて柔軟に再構成可能 (Reconfigurable) なアーキテクチャへの応用が進んでいる。一方で実際のシステム設計においては、種々の論理回路を FPGA 上に構築し、その動作を LSI の製造前に実動作に近い状態で検証する論理エミュレータの利用も進んでいる。

このような FPGA の応用分野の広がりを反映して、米国においては FPGA に関する学会が開催されるようになった。その一つは 1992 年より開催されている ACM/SIGDA Workshop on Field Programmable Gate Arrays であり、もう一つは 1993 年より始まった IEEE Workshop on FPGAs for Custom Computing Machines (FCCM) である。特に FCCM は、FPGA の専用計算機への応用に焦点を絞っている点で興味深く、多くの新しい提案がなされている。

本稿では、FPGA の柔軟性を有効に利用したアーキテクチャについて述べる。また、実際のシステム設計において利用されている論理エミュレータについても紹介する。以後、特に断わらない限り、SRAM タイプの FPGA を単に FPGA と呼ぶ。

2. FPGA の柔軟性を利用したアーキテクチャ

ここでは、FPGA を用いることによって再構成可能としたアーキテクチャの例を紹介する。FPGA をリニア・アレイ状に配列した Splash と AnyBoard について述べた後、2 次元的に配列した汎用エンジン RM-I/II とその他の応用例について述べる。

2.1 Splash

Splash¹⁾ は、パターン・マッチングに適した再構成可能なプロセッサである。図-1 にその構成を示す。X0 から X31 には Xilinx 社の FPGA である XC3090²⁾ を用いている。XC3090 は、20×16 の格子状に配列した 320 個の CLB (Configurable Logic Block) と、144 個の IOB (Input/Output Block) をもつ。通常は 1 個の FPGA の中に 8~24 個のストリック・セルを実現し、全体では 256~768 個程度のセルからなるリニア・ストリック・アレイを実現できる。

FPGA を用いてプロセッサやシステムを構成するとき、外部端子数の制約がしばしば問題となる。Splash では 128 K×8 ビットの SRAM (アクセス時間 50 ns) を、FPGA 間の配線に接続している。この接続方式によって、各 FPGA ごとに 28 本の外部端子がメモリ接続のために占有されることを防いでいる。メモリを利用しない場合は、1 本の制御信号線を無効とすることで、残る 27 本の信号線を通信に利用できる。デュアル・ポート・メモリを用いてホストから各メモリの内容を読み書き可能とすることも考えられたが、メモリ・アクセス時間の短縮を優先してシングル・ポートのメモリを採用した。

リニア・アレイの両端には FIFO (First-In First-Out) バッファを用意している。FPGA とメモリ

† FPGA-based Architectures and System Design Approaches by Masahiro NUMA (The Graduate School of Science and Technology, Kobe University).

†† 神戸大学大学院 自然科学研究科 (旧姓 富田)

は 4 MHz での動作が可能であるが、この FIFO によって全体の動作周波数は 1 MHz で押さえられている。

Sun 3/260 をホストとしており、VME バスを介して制御信号を送る。バス制御用に 2 個の FPGA を用いている。リニア・アレイで処理されるデータの転送については、8 M バイトのメモリをバッファとして、高速な VSB バスを介してデータの入出力を行う。

各 FPGA 内部の CLB, IOB, および配線のプログラムについては、それぞれ 64 K ビットの構成情報 (Configuration Data) で与えられる。図-1 では省略されているが、VME バスを介して 32 ビットを単位として送られる構成情報の各 1 ビットを、それぞれの FPGA に与えている。32 個の FPGA に対して同時に構成情報を書き込むことで、0.5 秒以下でプログラムを完了する。同一の構成情報をすべての FPGA に与えることも可能である。

また、デバッグを効率よく進めるために、シングル・ステップ実行の機能を備えている。さらに、各 FPGA 内部のフリップ・フロップを読み出すリード・バック機能をもっており、デバッグ

のみならず内部のレジスタに格納される結果の読み出しにも利用できる。

DNA に含まれる塩基配列間の距離を動的計画法に基づいて求める処理に利用した結果を、表-1 に示す。100 個の塩基からなる列を 100 回比較した。処理内容の詳細については、Splash の前身である P-NAC (Princeton Nucleic Acid Comparator)⁹⁾に関する文献を参照されたい。この問題について Splash では DEC VAX 11/785 の 2,700 倍、Cray-2 の 330 倍の処理速度を示している。Splash はそのリニア・アレイ構造を生かしたパターン・マッチング処理の高速実行に適している。しかし、FPGA 間の結合形態がリニア・アレイで固定されている点と、任意のメモリへのアクセスが困難な点などによって、適用可能な分野がある程度限定される。

2.2 AnyBoard

AnyBoard^{4),5)} は、もともとデジタル回路設計の教育用に開発された IBM-PC 用のボードである。神経回路網の実現⁶⁾に利用された後で、より汎用的なプロトタイプ作成用ボードに拡張された。文献 5) で紹介された構成を、図-2 に示す。初期のボード⁴⁾に対してメモリの容量、ローカ

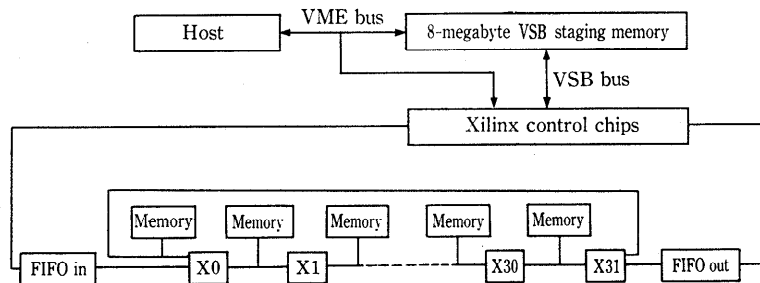


図-1 Splash の構成

表-1 塩基配列の距離計算に関する性能比較

Machine	Best time in seconds	Speedup	Notes
Splash	0.020	2,700	1 MHz, Sun 3/260 host
P-NAC	0.91	60	Special-purpose NMOS device, Sun 2 host
Multiflow Trace	3.7	14	C compiler, optimization level 5, 14 functional units
Connection Machine CM-2	4.7	11	C compiler, Paris library 16,000 processors
Cray-2	6.5	8.3	Vector Pascal, one head
Convex C1	8.9	6.0	Vector C compiler, optimization level 2
Sun 3/140	48	1.1	C compiler
Sun Sparcstation I	5.8	9.3	C compiler
DEC VAX 11/785	54	1.0	C compiler

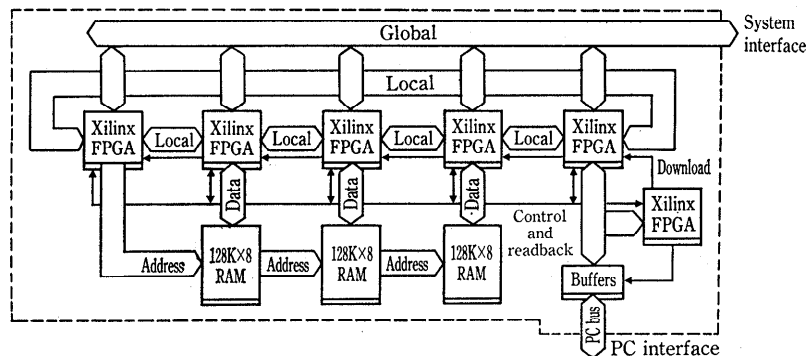


図-2 AnyBoard の構成

ル・バスの結合形態, インタフェース用 FPGA の追加などの点で, 若干の拡張が行われている。5 個の FPGA がリニア・アレイ状に配置されている。もう 1 個の FPGA は PC バスの制御に利用される。Xilinx 社の XC 3000 シリーズのすべての FPGA に差し替え可能とするために, 共通の 84 ピン PLCC (Plastic-Leaded Chip Carrier) のソケットに FPGA を差し込んで利用する。そのため, 外部端子数に関する制限が厳しくなっている。3 個の FPGA はそれぞれ RAM (128K×8 ビット) のデータ線と接続している。RAM の接続に必要な外部端子数を節約するため, 左端の FPGA から出力される共通のアドレスによってのみアクセスされる。

18 ビットの共有バスにより, クロックのように多くの FPGA 間で接続する信号線や, 外部とのインタフェースを実現する。一方, 各 16 ビットのローカル・バスで, 隣接 FPGA 間を結合する。Splash と同様にシングル・ステップ動作やリード・バック機能を実現している。また, クリティカル・バスの遅延と外部端子数の制約を考慮した回路分割を含む開発支援ソフトウェア (Xilinx 社のものを除く) は, 無償で公開されている⁵⁾。

ボードの動作確認に利用するパターン・ジェネレータを AnyBoard で実現した結果, アクセス時間 80 ns のメモリを用いながら, 12 MHz で動作可能であったと報告されている⁵⁾。

2.3 汎用エンジン RM-I/II

論理回路設計の CAD 分野, 特に論理シミュレーションを中心として多くの専用エンジ

ン⁷⁾が開発されたが, 高い柔軟性と処理性能を両立させることは困難であった。これらの両立のために開発されたのが汎用エンジン^{8)~11)}である。FPGA をメモリと組み合わせることによって, 複数の用途に適用可能とする汎用エンジンの概念は, 前述の Splash や AnyBoard と共通している。

(1) 汎用エンジン RM-I

汎用エンジンの最初のプロトタイプとして, RM-I (Reconfigurable Machine-I)^{8),9)}が開発された。図-3 にその構成を示す。対象とするアルゴリズムをハードウェア上に実現する実行モジュールと, ホスト・コンピュータとの通信を行うインタフェース・モジュールからなる。175 本の外部端子 (うち 144 本がユーザ利用可能) をもつ XC 3090 を FPGA として利用している。広範囲の用途への適用を意識して, 各 FPGA 間はおもにデータ転送に利用する共通バスと, データ転送と制御の両方に利用可能な完全結合の信号線で結ばれて

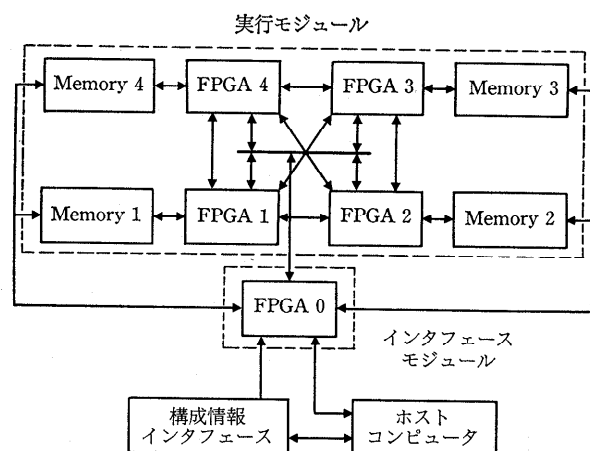


図-3 RM-I の構成

いる。完全結合の信号線によってパイプライン動作の実現が容易となる。処理実行時には対応するFPGAからローカルにアクセスされる4個のメモリ・バンクは、それぞれ32K語×24ビットである。処理停止時にはホスト・コンピュータからインタフェース・モジュールを介したメモリ内容の読み書きが可能である。

論理設計に含まれる誤りを自動的に特定する論理診断手法と論理シミュレーションの2種類について、高速に実行するエンジンがRM-I上に構築された。その結果、従来の専用エンジンに近い処理速度の向上効果が確認された^{9)~10)}。その一方で、FPGA間の配線固定による柔軟性の低下と、メモリバンク数に代表される容量の不足が問題となった¹⁰⁾。

(2) 汎用エンジン RM-II

RM-Iの問題点を解決するために、図-4に示すRM-II^{11),12)}が開発された。RM-IIでは、実現可能な回路規模(約45,000ゲート)、ならびに総メモリ容量(768Kバイト)をRM-Iの約2倍とした。バンク数を8とすることにより、パイプライン段数に関する制約を緩和している。さらに、FPGA間の配線を変更するためのFPGA9を用意して、柔軟性向上を目指している。XC3090の上位モデルであるXC4005¹³⁾をFPGAとして用いることにより、配線効率および内部資源利用率の向上と、システム・クロックの高速化を図っている。

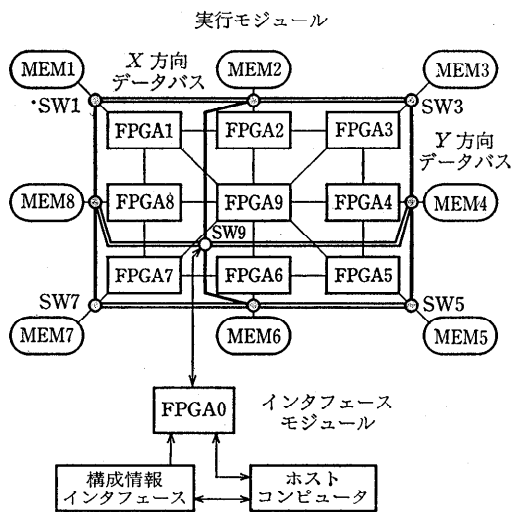
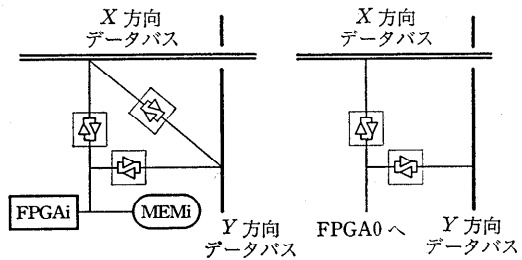


図-4 RM-IIの構成

汎用エンジン上では、通常は単一のプロセッサによって処理される内容が、複数のFPGAに割り当てられる。よって、データバスが複数のFPGAに分岐する場合があります。一対多の通信を一対一の通信と同程度の時間内に行うと同時に、通信の遅れ時間が1クロック以内であることが望ましい。さらに、XC4005では外部端子数が112と比較的少ないため、多くの外部端子を占有することなく通信を実現する必要がある。以上の点を考慮して、FPGA間を複数の縦横のバスで結合するとともに、FPGAとメモリとの接続を流用することによって外部端子の占有を最小限に抑える、クロスバスによる結合を採用している。クロスバス結合や、ハイバ・クロスバス結合¹⁴⁾と類似しているが、クロスバス結合では複数の一対多の通信を、多くの場合1クロックで完了する。

図-4における二重線と太線は、それぞれXおよびY方向について各3本のデータバス(24ビット)を示す。FPGA1~8はそれぞれ対応するMEM1~8のメモリバンクに接続する。各FPGAとメモリバンクを接続する信号線にSW1~8のスイッチを付加することにより、データバスと接続する。FPGAとメモリバンクとの接続信号線を流用することで、FPGAの外部端子を新たに占有することなくデータ転送路を確保できる。さらに、FPGA-FPGA間の転送に留まらず、FPGA-メモリ、メモリ-メモリ間で転送を行うことも可能となる。なお、FPGA9はFPGA1~8の間の配線変更や制御部の実現のために用意され、対応するメモリバンクをもたない。

図-5に、クロスバスを構成するためのスイッチの内部を示す。SW1~8については、図-5(a)に示すように、3分岐の任意の一つが信号源となり、他の2分岐の向方または一方に出力すること



(a) 3分岐全方向型 (SW1~8) (b) 1-2型 (SW9)

図-5 クロスバス・スイッチの構成

ができる。3組の双方向バッファによって構成される。FPGA とメモリについても、それぞれ双方向の出力を利用する。1クロック内での転送を実現するため、各スイッチにはレジスタ要素を含まない。

SW9 については、図-5 (b)に示すように1対2の関係で双方向バッファを用いて接続している。FPGA 0 と X/Y 方向バスとのデータの授受を実現するとともに、X 方向バスと Y 方向バス間でデータを転送することも可能である。

また、図-4 では省略されているが、メモリ・アドレスを転送するバスを利用することで、アドレスを指定して他のメモリバンクを読み書きする操作を1クロックで完了する。経路上のアドレスバスおよびデータバスで競合を起こさない限り、FPGA 9 を除く任意の FPGA から任意のメモリバンクを読み書きすることができる。データバスに比べると利用頻度が低いことを考慮して、X/Y 方向に1行/列おきに間引いて配置している。

RM-II のハードウェアは1ボード (450 mm × 350 mm) 上にワイヤ・ラッピングで実現されており、クロック周波数は、2~10 MHz の範囲で可変である。クロスバスの最大伝搬遅延時間 (5 段) は、30 ns 以下である。

論理診断、論理シミュレータの両者への応用に関して、それぞれ 8 MHz, 4 MHz のクロックで動作を確認し、いずれも RM-I の約 2 倍の処理速度を得ている¹²⁾。

また、画像に対する Wavelet 変換¹⁵⁾にも応用されている。8 画素分のデータに対して同時処理を行うことによって、256 × 256 画素の画像に対して 1.64 msec で処理が完了し (クロック 5 MHz), 11 MIPS の計算機と比べて約 60 倍の速度を得ている。

2.4 その他の応用例

これまでに紹介した例では、FPGA を再構成可能なプロセッサとして利用している。そのほかにも、種々のアーキテクチャへの応用例が発表されている。

(1) FPGA を用いたプロセッサ拡張

PRISM (Processor Reconfiguration through Instruction-Set Metamorphosis)^{16),17)}は、汎用 CPU と FPGA を組み合わせて利用する点に特徴がある。計算量の多いプログラムにおいては、大半の時間

を限られた部分で消費するとの主張¹⁸⁾に基づいている。その部分を関数単位で対話的に抽出し、その処理を代行するハードウェアを FPGA 上に構築することで高速化を図る。最初のモデルである PRISM-I¹⁶⁾では、MC68010 (10 MHz) を CPU とするバスに XC3090 を4個利用した再構成可能なプロセッサを付加している。FPGA が CPU と授受できるデータは 32 ビットに限られる。データの授受に 48~72 クロックを要するが、積和、ハミング距離、2を底とする対数演算などについて、0.5 MIPS の CPU に対して 2.9~54 倍の処理速度を得ている。

XC4010 を3個用いるとともに RISC プロセッサである AMD29050 (33 MHz) を用いた PRISM-II¹⁷⁾が開発され、30 ns で 64 ビットのデータ転送が行えるように性能向上が図られている。

一方で、コネクション・マシン CM-2 の浮動小数演算プロセッサ (FPU) を XC4005 に置き換えた CM-2 X¹⁹⁾ のプロトタイプが開発されている。これも FPGA を用いたプロセッサ拡張の一例と考えられる。

(2) 可変構造型相互結合網

多数のプロセッサを用いた並列処理において、プロセッサ間の通信路となる相互結合網の結合形態と並列プログラムの処理形態との適合性によって、システムの性能は大きく変化する²⁰⁾。結合形態は、格子網や超立方体網のように入出力間の結合がはじめから固定されている静的網と、ベースライン網やオメガ網のように要求に応じて実行時に結合が決まる動的網に分類される。文献 20) では、FPGA を用いて相互結合網を実現することによって、処理すべき問題に応じて各種の網を切り替えて実現する方法が提案されている。静的網、動的網にかかわらず、応用プログラムに適した相互結合網を直接実現できるので、広範囲の問題に対して並列処理性能を高めることが可能な結合網として期待される。

(3) 仮想ハードウェア

仮想ハードウェア^{21),22)}は、汎用計算機における仮想記憶の機構をハードウェアに取り込んだ方式と考えられる。SRAM タイプの FPGA では、その構成情報が SRAM に記憶されており、その内容を変更することで種々のハードウェアを実現できる。仮想ハードウェアでは、1組の構成情報

(結線情報ページと呼ぶ)を記憶する複数のSRAMをFPGAチップ内部に用意して、それらをマルチプレクサで切り替えることによって複数の回路を一つのFPGAで時分割的に実現する。さらに、その外部にも結線情報ページを保存するバックアップRAMを用意する。この仮想ハードウェアに基づくデータ駆動型計算機WASMII(What A Stupid Machine It Is!)では、データ駆動制御に基づいて結線情報ページを切り替える。トークンの到着によってある結線情報ページがアクティブになると、その内部でデータフロー・グラフ上の演算がデータ駆動的に実行される。ページ内のすべてのトークンがページ外に出力された時点でページの交換が起動される。

現状ではこの機構をそのままの形で実現するハードウェアは開発されていないが、FPGAがもつ回路規模に関する制限をなくす手法として興味深い。

3. システム設計への応用

ここでは、FPGAを用いてシステムのプロトタイプを行う論理エミュレータと、内部配線の再構成が可能なLSIを用いたボード・エミュレータについて紹介する。

3.1 論理エミュレータ

FPGAの上に設計した論理回路を実現して早期にプロトタイプを作成する論理エミュレータが、システム設計において重要な役割を果たすようになった。5万ゲートの回路を検証する場合の動作周波数は、通常の論理シミュレーションでは5Hz程度、ハードウェア・アクセラレータを利用すると500Hz程度での評価となり²³⁾、実動作を50MHzとすると、その 10^{-7} ~ 10^{-5} 程度となる。論理エミュレータでは4MHz程度まで評価可能であり、実動作に対して1桁遅い程度まで高速化できる上に、扱う回路規模によらず速度が一定となる。システム全体を検証できることで、テスト・ベクタの不足や、仕様および設計者の間違いに起因して発生するチップの作り直しを減らすことができる。特に、リアルタイム性や大量のデータに対する処理が要求される画像・音声処理や制御などの分野に利用する回路の検証に有効である。

1993年5月にQuickturn Systems社とPiE Design Systems社が合併してできたQuickturn Design Sys-

tems社のRPM(Rapid Prototype Machine)^{24),25)}が代表的な製品である。その初期の製品では25,000ゲートを1MHz程度の周波数でエミュレーションを行っていた。最新のEnterprise Emulation System²⁶⁾では、1枚のLEM(Logic Emulation Module)当たり3万ゲートまで、これを11枚搭載したエミュレーション・システムで33万ゲートまで、これをさらに20台接続することで、660万ゲートまで扱うことができる。論理エミュレータでは、対象となる回路を複数のFPGAに自動分割する。このため、外部端子数の制約を考慮して設計される一般のLSIに比べて、ゲート数に対する外部端子数の比が高くなる。さらに、FPGAの外部端子数に対する制約が比較的厳しいこともあって、各FPGAのゲート利用率が10~20%と低く押さえられることが多い²⁷⁾。その結果、複数のFPGAを通過する信号線パスが多くなり、エミュレーション速度を低下させる要因となっていた。Enterprise Emulation Systemでは、FPGA間を相互接続するためのカスタム・チップMIC(Multiplexed Interconnect Chip)を利用している。MICは、FPGAから論理を構成する部分を除き、電気的な配線変更に特化させたLSIであり、FPGAと交互に配置されている。RPMに比べて高速なFPGAとMICの導入によって、最高で8MHz、通常は2~6MHzとエミュレーションの高速化を図っている。

Intel社は、最新の汎用CPUであるPentium開発に当たって、14台のRPMを用いたエミュレーションによってDOS、Windows、Unixと100種以上のアプリケーションを実行し、計5件の障害をチップ製作前に発見することができた²⁵⁾。

一方で、商用のエミュレータではなく、マルチFPGAシステム²⁸⁾を用いた通信回路のエミュレーションについても報告されている。Xilinx社のFPGAであるXC3042を5×5個のトラス状に配置したボード(最大16枚)を用いて、10MHz以上の周波数でエミュレーションが可能となった。ラッチ挿入による遅延補償が動作周波数の向上に大きく寄与している。

3.2 ボード・エミュレータ

論理エミュレータはもともとASICの内部論理を評価することを目的としていた。これに対してAptix社は、内部配線を電氣的にプログラムでき

る FPIC (Field Programmable Interconnect Component) を利用して、配線を自由に変更できるプリント配線板 FPCB (Field Programmable Circuit Board) を提供している²⁹⁾。FPIC は、MIC と同様に配線変更に特化させた LSI である。940 本のユーザ用端子間の配線を変更できるほか、ロジック・アナライザ接続用の 64 本の端子を用いて、任意の端子の信号をリアルタイムに観測できる。双方向性の素子を用いて配線を変更するため、双方向バスも簡単に実現できる。最近では、FPGA を搭載した FPCB ボードも発表され、小型の論理エミュレータとして利用可能となった²⁹⁾。

4. おわりに

本稿では、FPGA の柔軟性を有効に利用したアーキテクチャと、実際のシステム設計において利用されている論理エミュレータについて紹介した。

FPGA を利用すると通常のゲートアレイに比べて動作周波数が 1/5 程度に低下するとされている。特に入出力バッファにおける遅延が比較的大きい。高速化・高集積化のために、MCM (Multi-Chip Module) 上に FPGA を並べる方法も提案されている³⁰⁾。シミュレーションの結果、多くの場合に入出力バッファが不要となり、また FPGA 間の配線遅延は 3.5~6 ns に短縮できるとしている。

動作周波数を低下させる一つの要因にもなっている外部端子数の不足については、1 本の端子を複数の信号で時分割的に利用することで、必要な端子数を削減する方法が示されている²⁷⁾。

FPGA は FPIC とともに今後ますます利用価値の高まる LSI であると考えられる。将来的には、汎用の計算機の内部に再構成可能なハードウェアが組み込まれ、ソフトウェアと同様にハードウェアの構成情報をロードすることで、用途に応じた高速なプロセッサとして利用できるようになることを期待する。

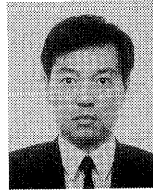
謝辞 本稿を執筆するにあたり、貴重な資料の提供と有益な助言をいただいた慶応大学の天野英晴助教授、早稲田大学の粟島亨助手 (現在、NEC に所属)、パレックス(株)の高石好社長、(株) 図研 CAE 営業部の中村郁生部長に深謝する。

参考文献

- 1) Gokhale, M., Holmes, W., Kopser, A., Lucas, S., Minnich, R. and Lopresti, D.: Building and Using a Highly Parallel Programmable Logic Array, *Computer*, Vol. 24, No. 1, pp. 81-89 (1991).
- 2) プログラマブル・ゲートアレイ データブック, ザイリンクス社 (1990).
- 3) Lopresti, D. P.: P-NAC: A Systolic Array for Comparing Nucleic Acid Sequences, *Computer*, Vol. 20, No. 7, pp. 98-99 (1987).
- 4) Petersen, T., Thomae, D. and Van den Bout, D. E.: The AnyBoard: A Rapid-Prototyping System for Use in Teaching Digital Circuit Design, *Proc. First Int'l Workshop on Rapid System Prototyping*, pp. 25-32 (1990).
- 5) Van den Bout, D. E., Morris, J. N., Thomae, D., Labrozzi, S., Wingo, S. and Hallman, D.: AnyBoard: An FPGA-Based, Reconfigurable System, *IEEE Design and Test of Computers*, Vol. 9, No. 3, pp. 21-30 (1992).
- 6) Van den Bout, D. E., Snyder, W. and Miller III, T. K.: *Rapid Prototyping for Neural Networks*, *Advanced Neural Computers*, R. Eckmiller, ed., North Holland, pp. 91-100 (1990).
- 7) Blank, T.: A Survey of Hardware Accelerators Used in Computer-Aided Design, *IEEE Design and Test of Computers*, Vol. 1, No. 3, pp. 21-39 (1984).
- 8) 菅沼直昭, 村田之広, 富田昌宏, 平野浩太郎: 汎用エンジンの開発と論理診断への応用, DA シンポジウム '92, pp. 89-92 (1992).
- 9) Suganuma, N., Murata, Y., Nakata, S., Nagata, S., Tomita, M. and Hirano, K.: Reconfigurable Machine and Its Application to Logic Diagnosis, *IEEE/ACM International Conf. on Computer-Aided Design*, pp. 373-376 (1992).
- 10) 澄川文徳, 永田真一, 菅沼直昭, 富田昌宏, 平野浩太郎: 汎用エンジン RM-I による論理シミュレーション, 情報処理学会第 45 回全国大会講演論文集, Vol. 6, pp. 159-160 (1992).
- 11) 富田昌宏, 菅沼直昭, 澄川文徳, 平野浩太郎: 汎用エンジン RM-II とその構成, *Joint Symposium on Parallel Processing*, pp. 151-158 (1993).
- 12) 富田昌宏, 菅沼直昭, 澄川文徳, 平野浩太郎: 汎用エンジン RM-II とその応用, DA シンポジウム '93, pp. 85-88 (1993).
- 13) *The XC4000 Data Book*, Xilinx, Inc. (1991).
- 14) 中越順二, 田中輝雄, 濱中直樹, 面田耕一郎: 並列計算機 H2P の要素プロセッサ間非同期データ転送方式, 情報処理学会第 38 回全国大会講演論文集, pp. 1488-1489 (1989).
- 15) Rioul, O. and Vetterli, M.: Wavelet and Signal Processing, *IEEE SP.*, Vol. 8, No. 4, pp. 14-38 (1991).
- 16) Athanas, P. M. and Silverman, H. F.: Processor Reconfiguration through Instruction-Set Meta-

- morphosis, *Computer*, Vol. 26, No. 3, pp. 11-18 (1993).
- 17) Wazlowski, M., Agarwal, L., Lee, T., Smith, A., Lam, E., Athanas, P., Silverman, H. and Ghosh, S.: PRISM-II Compiler and Architecture, *FCCM '93*, pp. 9-16 (1993).
- 18) Hennesy, J. and Patterson, D.: *Computer Architecture: A Quantitative Approach*, Morgan Kaufmann Publishers, Inc. (1990).
- 19) Cuccaro, S. A., Reese, C. F.: The CM-2X: A Hybrid CM-2/Xilinx Prototype, *FCCM '93*, pp. 121-130 (1993).
- 20) 末吉敏則, 梶野公平, 有田五次郎: 書換え可能な LSI による可変構造型相互結合網の実現法, 情報処理学会論文誌, Vol. 33, No. 3, pp. 260-269 (1992).
- 21) Ling, X. P. and Amano, H.: WASMII: A Data Driven Computer on a Virtual Hardware, *FCCM '93*, pp. 33-42 (1993).
- 22) 凌 曉萍, 天野英晴: 仮想ハードウェアに基づくデータ駆動型計算機 WASMII, *Joint Symposium on Parallel Processing*, pp. 143-150 (1993).
- 23) 中山俊一: ボード設計の論理検証にシミュレータの出番到来, 日経エレクトロニクス, No. 589, pp. 106-107 (1993).
- 24) Walters, S.: Computer-Aided Prototyping for ASIC-Based Systems, *IEEE Design and Test of Computers*, Vol. 8, No. 2, pp. 4-10 (1991).
- 25) *Product Overview*, Quickturn Systems, Inc. (1993).
- 26) *Enterprise Emulation System—Product Description*, Quickturn Systems, Inc. (1993).
- 27) Babb, J., Tessier, R. and Agarwal, A.: Virtual Wires: Overcoming Pin Limitations in FPGA-based Logic Emulators, *FCCM '93*, pp. 142-151 (1993).
- 28) 山田一久, 筒井章博, 中田 広, 太田直久: マルチ FPGA システムによる通信用回路エミュレーションの検討, 信学技報 CS 92-83, DSP 92-83, pp. 49-56 (1992).
- 29) *Programmable Interconnect Data Book*, Aptix corp. (1993).
- 30) Dobbelaere, I., Gamal, A. E., How, D. and Kleveland, B.: Field Programmable MCM Systems—Design of an Interconnection Frame, *ACM/SIGDA Workshop on Field Programmable Gate Arrays*, pp. 52-56 (1992).

(平成 5 年 10 月 6 日受付)



昭 昌宏(正会員)(旧姓 富田)
1960年生。1983年3月東京大学工学部精密機械工学科卒業。助手を経て1989年同大学講師。1990年5月より神戸大学大学院自然科学研究科講師。現在に至る。工学博士。主に論理装置のCAD、情報処理工学に関する研究に従事。IEEE、電子情報通信学会、プリント回路学会各会員。

