



TRON プロジェクトの現状と展望

5. CHIP サブプロジェクトの現状と展望
—オープンアーキテクチャと標準化について†—

森 昭 助†

1. ま え が き

本稿ではまず開発の経緯を眺め、続いてトロン仕様チップの特徴と実際にインプリメントされた各チップについて述べる。トロンプロジェクトにおけるマイクロプロセッサ開発の大きな特徴は大学が中心となって開発された標準アーキテクチャに対して、個々の半導体メーカーが独自に機能設計、論理設計、回路設計、レイアウト設計を実施しVLSIとして実現する手法をとっていることである。したがって、このアプローチで実現されたトロン仕様チップのソフトウェア互換性を検証することはきわめて重要な課題である。トロン協会が開発された互換性検定のテストスイートについて言及した後、標準化への課題と今後の課題について述べる。

1.1 開発の経緯

1984年にトロンプロジェクトがスタートし、高性能リアルタイムオペレーティングシステムの仕様と、これらのオペレーティングシステムが実行されるエンジンとしてのマイクロプロセッサ仕様が設計された。トロン仕様に基づいた最初のマイクロプロセッサチップが1988年に発表されたのを始めとして以降現在までに派生品を除く9種類以上のトロン仕様チップが開発されてきた。図-1に今までのすべてのトロン仕様チップが発表された年を示す。

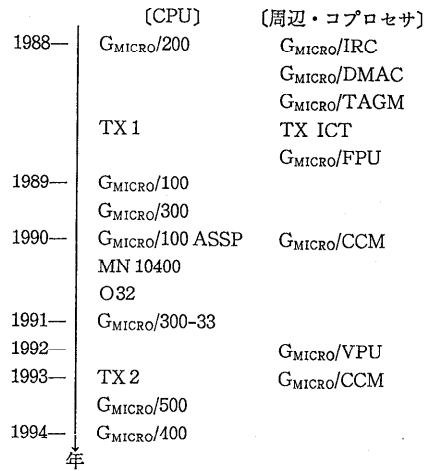


図-1 トロン仕様チップ 開発の経緯

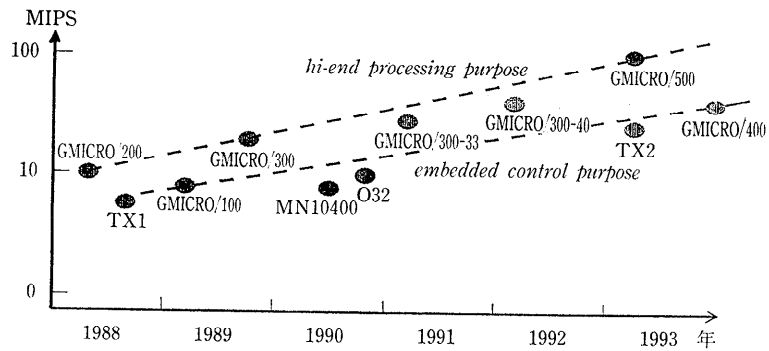


図-2 トロン仕様チップの性能の推移

図-2には各チップの性能数値の推移を示してある。傾向としては、性能重視のハイエンドプロセッサのグループと組み込み機能重視の機器組み込み制御用コントローラのグループに大別される。表-1には現在までに開発された主要なトロン仕様チップの概略仕様一覧を示した。

2. トロン仕様チップの特徴

トロン仕様チップの設計思想については、以前に本誌でも紹介されている¹⁾。ここではその中の

† The Present and future of the TRON-specification CHIP—Promoting Open architecture and Standardization— by Shosuke MORI (Microcomputer Design Dept. System LSI Design Division, Fujitsu Ltd.).

† 富士通(株)マイクロシステム開発部 トロン協会チップ専門委員会 主査

一例を示す。

2.1 高機能命令のサポート

たとえば G_{MICRO}/300 には 1 サイクルで実行する基本命令のほかに各種高機能命令を備えている。以下に高級言語用のスタックフレーム形成とレジスタの退避を行う ENTER 命令と MOV 命令を具体例にあげて高機能命令と基本命令を比較する。例としてはフレームポインタ (FP) をスタックへプッシュし、スタックポインタ (SP) を FP へ格納、レジスタリストで指定したレジスタをスタックにプッシュするという手順を示す (図-3 参照)。

G_{MICRO}/300 の場合、アプリケーションプログラム全体がすべて命令キャッシュ中に格納されている場合には基本命令を使用したほうが、全体の処理は高速となる。しかし、外部メモリアクセスの遅いシステムやリアルタイム処理における安定性が要求される場合、ROM 化などの問題のためコードサイズを最小にしたい場合、レジスタリストをもちしかもリストの内容が多い場合などには高機能命令を使用したほうが有利である。最近の高性能トロン仕様チップでは高速基本命令と高機能命令の両者をサポートできるため、ユーザはその使用形態からどちらかを選択することができる。

	ENTER 命令	MOV 命令
プログラム例	ENTER: E #10, (R5, R6)	PUSH R14 MOV: L R15, R14 SUB: I #10, R15 PUSH R6 PUSH R5
コードサイズ	4 バイト	12 バイト
実行速度	11 サイクル	7 サイクル

図-3 G_{MICRO}/300 における高機能命令と基本命令の比較例

3. インプリメントの実際

トロン仕様チップのインプリメントの現状について紹介する。チップとして、G_{MICRO}/200, /300, /500, /100, /VPU, TX1, TX2, O32 を取り上げる。

3.1 G_{MICRO}/200

G_{MICRO}/200 はトロン仕様に基づく最初の 32 ビットマイクロプロセッサである。マルチユーザ、マルチタスクの環境を実現するための高機能命令および仮想空間をサポートしている。内蔵 MMU (Memory Management Unit) によってページ単位のきめ細かなメモリ保護が行える。また、コプロセッサインタフェースを内蔵し、8 個までのコプロセッサを接続することができる。6 段のパイプラインと分散配置した内蔵キャッシュにより

表-1 トロン仕様 CPU 仕様一覧

	G _{MICRO} /100	G _{MICRO} /200	G _{MICRO} /300	G _{MICRO} /400	G _{MICRO} /500	TX1	TX2	O32
開発メーカー名	三菱	日立	富士通	三菱	日立	東芝	東芝	沖
クロック MHz	25	25	33	40	66	16	25	33
MIPS (ピーク) (平均)	12.5 10.1	12.5 12.0	33 32	80 45	130	8 4	25 12	15 10
ドライストーン V1.1 (回/秒)	16K	21K	58K	78.9K	228K		20K	
命令数	92	123	135	100	126	93	87	103
MMU	No	Yes	Yes	No	Yes	No	No	Yes
キャッシュ I: 命令 D: データ S: スタック	256B (I)	1KB (I) 128B (S)	1KB (I) 1KB (D)	4KB (I) 4KB (D)	8KB (I) 8KB (D)	No	No	1KB (I) 1KB (D)
パイプライン	5 stage	6 stage	5 stage	5 stage	5 stage	5 stage	4 stage	6 stage
トランジスタ数	340K	730K	900K	1,485K	1,650K	450K	350K	700K
製造技術 (μm)	1.0	1.0	0.8	0.5	0.6	1.0	1.0	0.8
パッケージ	135 pin PGA 152 pin QFP	135 pin PGA	179 pin PGA	160 pin QFP	256 pin QFP	155 pin PGA 144 pin QFP	184 pin QFP	208 pin PGA

25 MHz 動作時に 8 MIPS の性能を実現している。

3.2 TX1, G_{MICRO}/100

TX1 ならびに G_{MICRO}/100 は、仮想記憶のサポートは行わず、実記憶のみをサポートして高速ファクシミリやレーザプリンタなどの OA 機器、ロボットなどの FA 機器、各種インテリジェント製品などに要求されるコストパフォーマンスの高い、機器組込み制御用の高速リアルタイム処理システムでの応用を狙っている。TX1 は先行分岐方式により分岐命令を高速に実行する。バスについてはダイナミックバスサイジング機能をもつ。G_{MICRO}/100 は、多段のパイプライン処理を採用した際に問題となる、分岐によるパイプラインの流れの乱れを防ぐために、分岐命令に対して命令デコードステージで先行ジャンプの処理を行う。さらに条件分岐命令に対しては過去の分岐履歴を参照する動的分岐予測手法が採用されている。また、命令セットについては、画像イメージ処理やビットマップディスプレイにおけるウィンドウ操作を効率よく処理する目的でビットフィールド操作命令が強化されている。さらに、この CPU コアを ASIC (Application Specific Integrated Circuits) のプロセッサコアとして利用できるようになっており、実装密度の高いシステムを実現することが可能となる (図-4)。

3.3 O32

O32 は、チップ内部にチップバス監視機能を備えて、二重化システム、多数決システムを容易に構成でき、フォールトトレラント機能がサポート可能である。また、マルチプロセッサシステムの

サポートのために、チップ内蔵キャッシュのエントリを個別に無効化する機能を備えており、内蔵キャッシュを効率的に使用できる (図-5)。

3.4 G_{MICRO}/300

G_{MICRO}/300 は、高速マルチタスク処理を実現するために、まず転送命令などの基本的な命令については 1 命令 1 クロックサイクルで実行し、チップ内に大容量 TLB と高速キャッシュメモリ (命令、データ各 2KB) を内蔵することによってクロック 40 MHz で 39 MIPS の高速処理を実現している。そして他バスマスタによってキャッシュメモリと主記憶との間のデータコヒーレンスを保つ

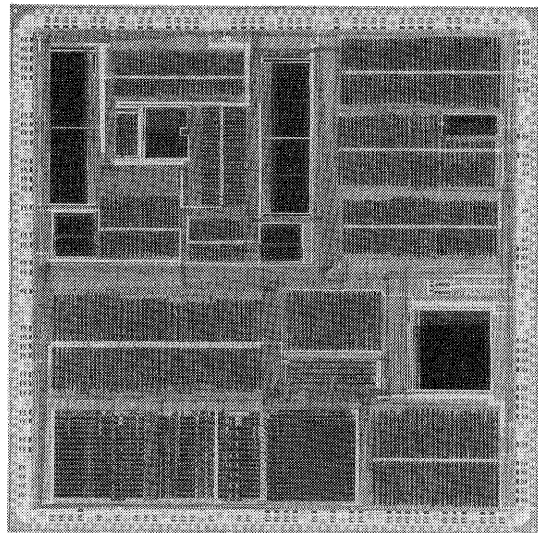


図-5 O32 (沖) チップ写真

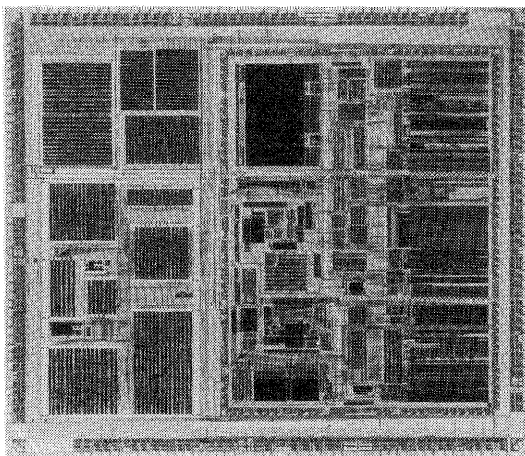


図-4 G_{MICRO}/100 ASSP (三菱) チップ写真

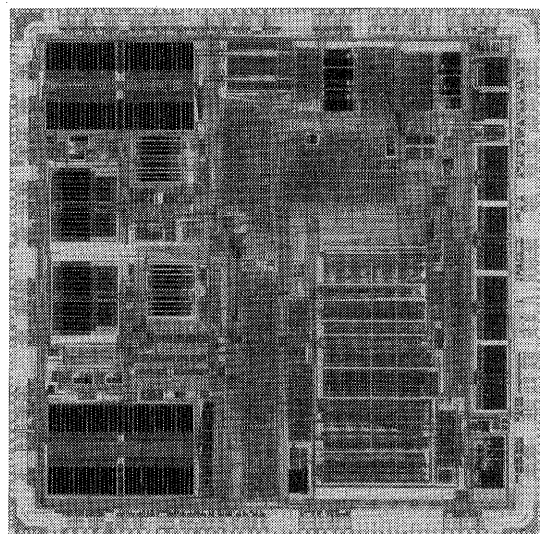


図-6 G_{MICRO}/300 (富士通) チップ写真

ために、他バスマスタが、キャッシュに取り込んでいる範囲と同じ領域に書き込みを行った場合、その部分のキャッシュ情報を無効化する、アドレスモニタ機能をもつ。また、低速メモリとの接続でも性能を落とさないように 16 バイト単位でのブロック転送機能を内蔵している (図-6)。

3.5 G_{MICRO}/500

G_{MICRO}/500 は、現在トロン仕様に基づいたマイクロプロセッサの中で、最上位に位置する。スーパーカラ方式を採用し、2 命令を同時に実行する。性能はクロック 50 MHz 動作時で 100 MIPS 66 MHz 時で 130 MIPS となっている。アドレスバス 32 ビット、データバス 64 ビットであり、内蔵キャッシュメモリは命令/データ各 8 KB をもつ。メモリストアの高速化のためスタアバッファを 4 エントリ、分岐命令の高速化のため分岐ウィンドウを 64 エントリ、リターンバッファを 8 エントリ備えている。また IEEE 規格に準拠した浮動小数点演算機能を有している²⁾ (図-7)。

3.6 TX 2

TLCS 90000/TX 2 は、トロン仕様に基づいた 87 種類の命令をサポートしている。転送命令、算術演算命令などの基本命令を 1 クロックで実行し、クロック周波数 25 MHz 時 25 MIPS のピーク性能を有する。また、低消費電力機能を有し、WAIT 命令実行時には従来の 1/10 にまで消費電力を削減可能である。TX 2 は ASSP/ASIC の CPU コアとしても適用可能である³⁾。

3.7 周辺 LSI ファミリー

また周辺 LSI としては、DMA コントローラ (G_{MICRO}/DMAC)、割込みコントローラ (G_{MICRO}/IRC, TX ITC)、各種キャッシュメモリ/コントラチップ 2 個を並列接続してデータバスを 64 ビットとしてシステムを構成する。この基本構成でのキャッシュ容量は 128 KB となる。4 ウェイセットアソシアティブ、LRU (Last Recently Used) 方式を採用し、主記憶更新アルゴリズムはライトスルー方式、コピーバック方式ローラが開発されている。

G_{MICRO}/CCM (キャッシュコントローラ & メモリ) は G_{MICRO}/500 を用いたシステム用に開発された。本

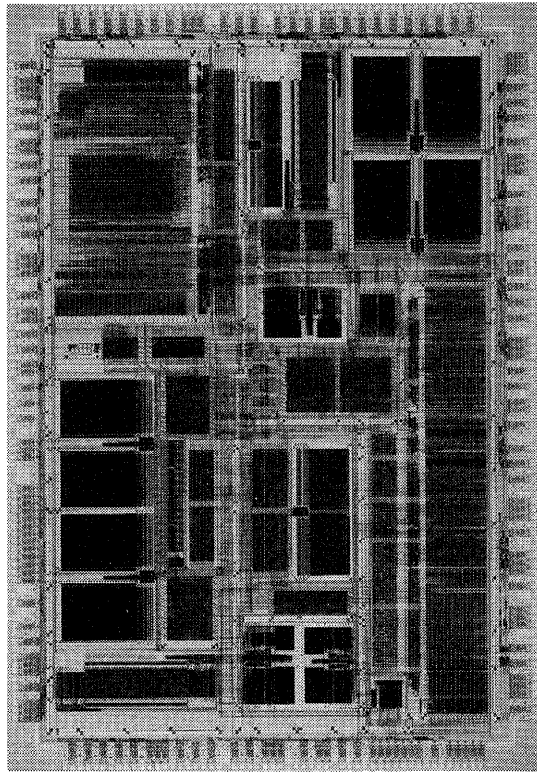
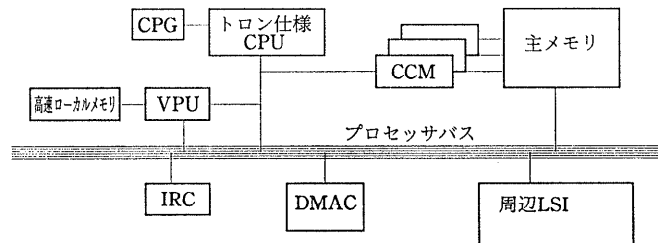


図-7 G_{MICRO}/500 (日立) チップ写真

チップ 2 個を並列接続してデータバスを 64 ビットとしてシステムを構成する。この基本構成でのキャッシュ容量は 128 KB となる。4 ウェイセットアソシアティブ、LRU (Last Recently Used) 方式を採用し、主記憶更新アルゴリズムはライトスルー方式、コピーバック方式のどちらかを選択可能である。

また、コプロセッサとしては、浮動小数点演算コプロセッサ (G_{MICRO}/FPU) や 1 チップで 206 MFLOPS の数値演算性能をもつベクトル処理コプロ



CPG: clock pulse generator
 VPU: vector processing unit
 IRC: interrupt request controller
 CCM: cache controller & memory
 DMAC: direct memory access controller

図-8 トロン仕様チップを使用したシステム構成例

セッサ (G_{MICRO}/VPU) が開発されている。

図-8 に、以上の周辺ファミリ LSI とトロン仕様 CPU を使用したシステム構成例を示す。

4. アーキテクチャの課題

過去のマイクロプロセッサのアーキテクチャに関してハードウェアとソフトウェアのトレードオフの観点で数多くの議論が行われてきた。

メモリ、プロセッサの技術動向をみれば今後もメインメモリの速度がプロセッサのサイクルタイムよりも遅い状態が続くと予想され、したがってメモリープロセッサ間のバス転送が最も重要な速度制限要因になる。この問題に対する一つの解として高機能な命令セット、すなわち1命令あたりの機能が高い命令セットを設計することがあげられる。T. E. Anderson らはアーキテクチャとオペレーティングシステム設計の関係について研究を行い、最近の RISC アプローチにおける以下の興味ある問題点を指摘している⁴⁾。

これまでハードウェアとソフトウェアのトレードオフを議論するのに用いられてきたシミュレーションや、測定は主にアプリケーションソフトに関するものであり、オペレーティングシステムについては軽視される傾向にある。しかしながらオペレーティングシステムのふるまいはアプリケーションと大きく異なる。そして、オペレーティングシステムの中でも上流の機能については重点的に最適化が行われてきたが、たとえばシステムコール、トラップ、コンテキストスイッチなどに代表されるようなプリミティブな機能に対する最適化はあまり考慮されてこなかった。このプリミティブなオペレーティングシステムの機能というのは、過去に、いわゆる CISC においてマイクロプログラム設計者が最適化に注力してきたものであるのは興味深い。ソフトウェア全体の中での OS とアプリケーションのウェイト比が議論されるのが前提ではあるが、RISC アプローチでの高速化の努力はオペレーティングシステムにとってアプリケーションほどは恩恵を受けてこなかった。

これに対してトロン仕様はオペレーティングシステムとマイクロプロセッサアーキテクチャの仕様が並行して開発されたものであり、仕様決定の段階でソフトウェアとハードウェアの統合した最適化の考え方が取り入れられている。具体的には

オペレーティングシステムの高速実行に向けた命令セット、あるいはコンパイラ開発に有利な命令セットが準備されている。以下、その主な例を示す。

4.1 トロンアーキテクチャにおけるオペレーティングシステム向き命令

これまで ITRON, BTRON, CTRON のトロン仕様オペレーティングシステムが各種実現されてきたが、これらにはトロンアーキテクチャに特有のオペレーティングシステム向き高機能命令が有効に活用されている。ここでは G_{MICRO}/100 を例としてこれらの高機能命令の適用例を紹介する⁵⁾。

4.1.1 ITRON

G_{MICRO}/100 にインプリメントされた ITRON 仕様オペレーティングシステムではタスクスイッチの高速化に有効なコンテキストのストアとロードを行う STCTX (Store the Current Context) と LDCTX が用いられている。コンテキストブロックに含まれない汎用レジスタのロード/ストアには複数レジスタを一度に取り扱うことのできる LDM (Load Multiple Registers) と STM (Store Multiple Registers) が使用される。

タスクスケジューラは、タスクの状態に応じてキューを操作することと、レディーキューの中から最も優先度の高いキューを探すことの二つの機能をもつ。このキューにエントリを挿入したり、削除する操作を直接行う QINS, QDEL 命令を用いた場合、転送命令を使う場合に比べて速度を45%、コードサイズを約1/3に改善することが可能となる。キューの中から最も優先度の高いタスクを探し出すにはビット操作命令を使用することができる。図-9 は可変長のビットフィールドからビットを検索する BVSCH 命令を用いた場合と、通常の命令を用いた場合の比較を示す。この例では応答時間が1/4に改善されている。

4.1.2 BTRON

BTRON では GUI の性能がきわめて重要な要素となる。トロンアーキテクチャではこのためビットブロック転送機能をもつビットマップ操作命令が整備されている。これらの高機能を用いてウィンドウの移動、描画など、ビットマップディスプレイの制御を行うことができる。

汎用レジスタに指定されたデータを繰り返しデスティネーションのストリングに書き込む SSTR 命令、任意長ビットフィールドの演算を行う

BVMAP 命令, 任意長ビットフィールドのコピーを行う BVCPY 命令, 任意長ビットフィールドとパターンとの演算を行う BVPAT 命令のそれぞれを用いて長方形の塗りつぶし, 移動処理を評価した結果を図-10 に示す。ビットマップ命令を用いた場合, MOV や XOR 命令の繰り返しに比べて, 図形の塗りつぶしでは 1.5~2.0, 移動では 2.7~3.3 倍高速化されている。

5. オープンアーキテクチャ・標準化の推進

トロンプロジェクトではオープンアーキテクチャを最重要視している。トロン仕様チップでもこの考え方は同じであり, その例として互換性検定スイートと TOXBUS システムバスについて述べる。

5.1 互換性検定

従来より規格制定とその検証とは表裏一体の課

```

MOVA  @RDQ_BIT, R0
MOV    #0, R1
MOV    #272, R2
BVSCH/F/1
    
```

マシンサイクル 62
コードサイズ 14 バイト
(a) BVSCH 命令の場合

```

MOVA  @RDQ_BIT, R0
MOV    #0, R1
MOV    #0, R2
MOV    #7, R3
MOV    #0, R4
SRCH1: CMP.W  #0, @R0
        BNE  FOUND1
        ADD  #4, R0
        ACB  #1, R1, #8, SRCH1
FOUND1:
SRCH2: CMP.B  #0, @R0
        BNE  FOUND2
        ADD  #1, R0
        ACB  #1, R2, #3, SRCH2
FOUND2: MOV.B  @R0, R4
        MOV.W #H'FE, R5
SRCH3: AND.B  R5, R4
        BEQ  FOUND3
        SHL.B #1, R5
        SCB  #1, R3, #0, SRCH3
FOUND3: SHL   #5, R1
        SHL   #3, R2
        ADD   R2, R1
        ADD   R3, R1
    
```

マシンサイクル 244
コードサイズ 78 バイト
(b) 単純命令の組合せの場合

図-9 任意長ビットフィールド命令を用いた優先度検索

題であり, 検証は規格を定める組織の責務でもあるが, 特に近年, コンピュータに関する標準化が重要視される中で, その方法の一つを確立し実践することの意義は大きい。トロン仕様チップでは仕様についての互換性を検定するためのシステムがすでに確立されている⁶⁾。互換性検定を行う検定スイートプログラムは, 検定対象チップがトロン仕様書に準拠されているかどうかを客観的に確認するプログラムである。図-11 に示すように検定スイートをチップに実行させ, すべての命令に

(a) 4x4 ピクセルパターン

論理演算	命令	320x400 (ms)	640x400 (ms)	1024x400 (ms)
なし	SSTR	23.2	32.4	42.5
	MOV	54.1	92.6	138.1
あり	BVPAT	32.4	50.0	70.9
	XOR	62.9	110.3	166.8

(b) 16x16 ピクセルパターン

論理演算	命令	320x400 (ms)	640x400 (ms)	1024x400 (ms)
なし	BVCPY	50.2	82.4	120.6
	MOV	112.9	208.2	322.0
あり	BVMAP	58.8	99.1	146.8
	XOR	116.9	215.5	333.5

ビットマップ転送速度の比較

論理演算	命令	320x400 (ms)	640x400 (ms)	1024x400 (ms)
なし	BVCPY	18.7	36.2	56.9
	MOV	61.9	120.8	190.7
あり	BVMAP	27.5	53.8	85.1
	XOR	64.2	125.3	198.0

図-10 長方形の描画 (塗りつぶし) 速度の比較

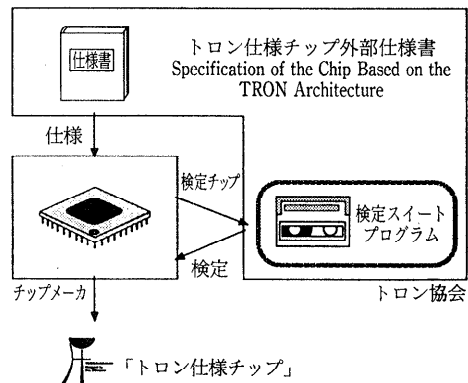


図-11 検定スイートの位置づけ

わたって正常に動作したときそのチップをトロン仕様チップとして認定するものである。

5.1.1 検定項目

検定は、以下の各テストを行う。

①命令特有の機能をテストするオペレーションテスト

②アドレッシングモードのテスト

③フラグが正常にセット/クリアされているかどうかのテスト

④命令に依存する EIT (例外, 割込み, トラップの総称) のテスト

これらのテストを、命令 82 種、命令フォーマット 8 種、オペランドのアドレッシングモード 26 種、サイズ 3 種、フラグ 6 種、EIT 10 種について実施する。全体の項目数は約 3 万に及ぶ。

5.1.2 検定スイートの概要

検定スイートは 49 個のモジュールより構成され、検定はこのモジュールを 1 単位として実施する。各モジュールは一つのオブジェクトファイルに対応しており、さらに複数のセクションと呼ばれるテスト単位から構成される。セクションは一つのフォーマット別命令の全検定項目をまとめたものである。

図-12 にテスト項目の構成を示す。初期処理部では、対象となる命令を実行するために必要なメモリ上のデータ、レジスタ、フラグなどを初期設定する。次に実行部でテスト環境の設定、テスト対象命令の実行、実行結果の退避を行う。そして判定部で、実行結果と期待値の比較を行って動作が正常であるかどうかと予期せぬ EIT が発生しないことの判定を行う。後処理部では、初期処理部で設定した各種の値を元の値に戻す処理を

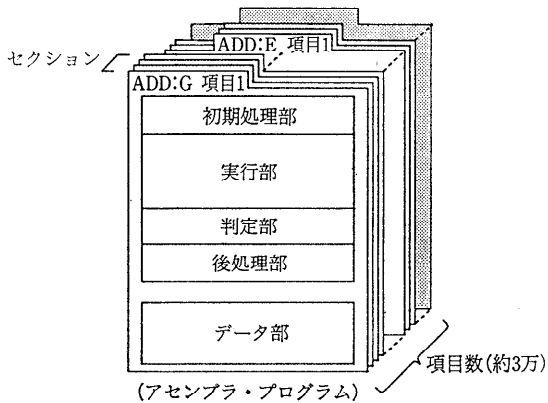


図-12 テスト項目の構成

行う。

5.2 TOXBUS: システムバス

LSI 技術の進展によりプロセッサ単体の性能が向上しても、それに合わせてシステムバスの情報転送能力などが向上しなければシステム全体の処理性能は向上しないであろう。また、高性能なマルチプロセッサシステムを構築するためにたとえば使用されるコピーバックキャッシュを考慮して、システムバスにはキャッシュコヒーレンシ制御をサポートする機能をもたせる必要もある。さらに、障害検出機能や連続運転機能を充実したフォールトトレラントシステムを開発するためには、これらの機能をサポートできるシステムバスを開発しなければならない。

このような要求条件を満たす新しいシステムバスとして TOXBUS が提案された⁷⁾。

• TOXBUS の特徴

TOXBUS の主な特徴を以下にあげる。

①転送性能の改善

- バス使用効率が高く高性能の同期転送方式を採用した。
- システムバスの無効保留時間を削減し、システムバスを効率良く使用できるスプリット転送方式を採用した。

②信号数の削減

- アドレス/データを多重転送するとともに、転送制御情報の一部をデータ線を利用して転送する方式を採用し、大幅に信号数を削減している。また、信号線数を増加させないでアドレス、データを 64 ビット化できる仕様となっている。

③フォールトトレランス

- バス信号線、バスインタフェース制御部の障害検出機能を強化している。
- 発生した障害がシステム全体に波及することを防止するため、障害を起こした機能ユニットをシステムバスから切り離す機能 (アイソレーション機能) をもつ。

④コピーバックキャッシュコヒーレンシ機能

スプリット転送では、オーダとアンサの間であったバスを開放するため、キャッシュ状態の遷移が行われないままアンサ待ちの状態になっており、その間に、別の転送によるキャッシュコヒーレンシ制御が行われると処理の矛盾を生じるおそ

れがある。このため TOXBUS では状態遷移の途中であることを表す状態（過渡状態と呼ぶ）を新規に定義し、それらの状態においてもキャッシュコヒーレンシ制御プロトコルを規定している。

6. 今後のトロン仕様チップの課題

6.1 64ビットへの拡張

現在のいわゆる 64 ビットマイクロプロセッサは、データバスが 64 ビットであるものを指す場合が多い。トロン仕様における 64 ビットアーキテクチャは 64 ビットのリニアアドレスをサポートする。デバイス技術の進歩やマルチメディア環境における動画の処理、大規模化されるネットワークのアドレスなどを考えると 32 ビット以上のアドレスに対する要請は強まってくるであろう。もともと現在のトロン仕様アーキテクチャでは、32 ビットから 64 ビットへの拡張が容易に可能な配慮がなされているが、拡張のためにはさらに詳細な仕様設計が必要である。近い将来に 64 ビットの詳細仕様が公開されるであろう。

6.2 カスタム指向への対応

32 ビットマイクロプロセッサが市場に登場してはば 10 年を経過した現時点ではその応用分野が多様に広がってきており、応用システム分野ごとの機能・性能・コストの最適化、すなわちアーキテクチャのカスタム化が行われる傾向にある。これは各アプリケーションシステムに対して最適化して設計されるためにコストパフォーマンスを最大に狙うことが可能という利点がある反面、標準化の流れから離れることにより失う損失も見逃せない。トロン仕様チップがその存在価値を見出すためには、このカスタム指向への対応は最重要課題であるとする。

7. あとがき

トロン仕様チップほかについて概観した。トロンプロジェクトの一つとしてトロン仕様チップ開

発は、国産独自技術による 32 ビットマイクロプロセッサ開発技術促進に多大な貢献をしていることは明白な事実である。そしてこの成果であるすべてのトロン仕様は公開され、トロン協会から入手することが可能である。トロン仕様チップの各方面のアプリケーションシステムへの応用例についても最近では報告が活発となってきている⁹⁾。

トロン仕様チップは、オープンアーキテクチャのドメインで今後も変わることなく継続されるであろう。

参考文献

- 1) 坂村 健, 榎本龍弥: TRON 仕様に基づく 32 ビット・マイクロプロセッサ, 情報処理, Vol. 30, No. 5, pp. 565-573 (1989).
- 2) 川崎郁也ら: 分岐命令の実行を見えなくした 32 ビットマイクロプロセッサ, 日経エレクトロニクス, No. 590, 1993. 9. 13, pp. 211-217.
- 3) 後藤治隆ら: TRON 仕様 32 ビットマイクロプロセッサ TX2 の方式設計, 東芝レビュー, Vol. 48, No. 6, pp. 487-490 (1993).
- 4) Anderson, T. E. et al.: Proc. ASPLOS IV, pp. 108-120, ACM (1991).
- 5) The TRON Project 1993: CHIP サブプロジェクト, pp. 28-32 (1992).
- 6) 井上智史, 松井重純, 鈴木正人: トロン仕様チップの互換性, TRONPROJECT BIMONTHLY, No. 11, AUGUST-SEPTEMBER, pp. J-18 (1992).
- 7) トロン協会: TRON Standard System Bus Architectures: An Introduction (1992).
- 8) 坂村 健監修, トロン協会編集: トロン仕様チップ標準ガイドブック, パーソナルメディア(株) (1992. 12).

(平成 6 年 4 月 7 日受付)



森 昭助

1949 年生。1973 年東京工業大学大学院修士課程修了。同年富士通(株)入社。以来、バイポーラメモリのプロセス開発、パーソナルコンピュータおよびビットマイクロプロセッサの設計開発に従事。