

パーソナル3次元CGシステム

中山 寛 中川 幸洋 工藤 法子 岩瀬 洋道

富士通研究所

浮動小数点演算器と入出力FIFOを内蔵し、座標変換、ライティング、クリッピングなどの3次元幾何変換をパイプライン接続で高速に実行するLSI(TGP)を開発し、TGPを用いたグラフィックス・ボードを試作してパソコンをホストとするパーソナル3次元CGシステムを実現した。

本システムの性能評価を行った結果、ベクトルは51Kベクトル/秒、グーローシェーディング付の多角形は6.5Kポリゴン/秒、ライティングおよびグーローシェーディング付の多角形は4.5Kポリゴン/秒の表示速度で動作することを確認した。

Personal Three-Dimensional Computer
Graphics System

Hiroshi NAKAYAMA Yukihiko NAKAGAWA Noriko KUDOH Hiromichi IWASE

FUJITSU LABORATORIES LTD.

This paper describes the architecture of our personal three-dimensional computer graphics system using the 3-D geometric processor(TGP). The TGP, a 32-bit floating-point digital signal processor equipped with first-in first-out memory, executes coordinate transformation, lighting, and clipping in a pipeline. The personal 3-D computer graphics system consists of a Fujitsu personal computer, the FMR, and a graphics-board that uses three TGPs.

The peak performance of this system is 51,000 3-D vectors/second, 6,500 3D-polygons/second with gouraud-shaded and 4,500 polygons/second with lighted, gouraud-shaded.

1. はじめに

コンピュータ・グラフィックスやビジュアルイゼーションは様々な分野で利用され、テレビ番組のタイトルやコマーシャルを引き合いに出すまでもなく我々の身近な技術になってきた。

パーソナルで強力なコンピュータ環境の提供を目指したワークステーションの世界では、その主なアプリケーションの一つが3次元CADであったため、特に3次元グラフィックスの処理能力が重要視された。このため高速な3次元グラフィックスを売り物とするグラフィックス・ワークステーションの市場は、一般のエンジニアリング・ワークステーションの2倍近い勢いで成長している。これにともない3次元グラフィックスの処理能力も飛躍的に向上し、中には100万ポリゴン/秒の処理能力を持つシステムも登場した⁽¹⁾。最新のグラフィックス・ワークステーションでは、従来のポリゴンレンダリング機能に加え、高品位表示には不可欠なアンチエイリアシング、テクスチャマッピング、半透明表示機能などをハードウェア化し、さらにラジオリティ、レイ・トレーシングといった写実感のある表示も比較的短時間で実行できるようになっている。反面、価格的には高価なものにならざるを得ず、個人ユーザの手に届き難いものになっている。

一方、比較的低価格なパーソナルコンピュータの世界では、CPUについては数MIPSの性能を持つ32ビットプロセッサが普及したため、ワークステーションと同様のアプリケーションが開発されてきている。しかしながら3次元グラフィックスの処理能力を向上させるハードウェアが開発されておらず、安価なフレームバッファによる多数色の同時表示、スクロール、パン/ズーム、カラーテーブルの変更などでアプリケーションの操作性を向上させているのに留まっていた。

近年このような背景のもと3次元グラフィックスの処理能力を高めるため、隠面消去付きローシェーディングを高速に実行する描画処理用LSIが開発されている⁽²⁾⁽³⁾。これらの描画能力を生かしたシステムを実現するためには、3次元物体を任意に回転、拡大/縮小、移動する座標変換やライティング計算などの幾何変換処理の高速化が不可欠である。そこで、筆者らは幾何変換処理を高速に実行するLSIを開発し、これを用いてパソコンをホストとするパーソナルCGシステムを試作した⁽⁴⁾。本文では、開発したLSIの概要、システムのハードウェア構成、ファームウ

ェア機能、および性能評価結果について報告する。

2. 幾何変換LSIの概要

幾何変換処理の内容は、

- ① 座標変換
- ② ライティング
- ③ クリッピング

の3つに大別される。これらの計算では膨大な積和演算が必要であり、物体の存在する3次元空間の大きさや精度的な問題を考えると少なくとも単精度の浮動小数点データを扱う必要がある。

また扱うプリミティブの種類や属性の指定に応じて演算内容を変化させる必要があり、将来的な機能拡張にも備えなければならない。

こうした問題に対して、高速な浮動小数点積和演算機能とその演算内容をプログラムで制御できる機能を両立し、パイプライン接続でパソコンからワークステーションまで幅広く応用できる3次元幾何変換LSI「TGP(Three-dimensional Geometric Processor)」を開発した。その主要諸元を表1に示す。

TGPは1サイクル75nsで動作する。扱う浮動小数点データはIEEE単精度フォーマット(32ビット)であり、加算、減算、乗算がそれぞれ2サイクルで、除算が28サイクルで実行できる。また、乗算と加減算は同時に実行可能である。

マイクロコードで記述されたプログラムは2Kワード(32ビット/ワード)の内部ROMに搭載することができる。

内部データメモリは256ワードと512ワードの2面に分かれており、それぞれを独立に同時アクセスすることができる。また、メモリとレジスタ間のロード/ストアは上述の演算命令と並列動作が可能なので、積和演算を行いながら、次の乗算に必要な2つのソースデータを内部データメモリから乗算器の入力レジスタへロードするという動作が1インストラクションで実行できる。このような動作は、幾何変換処理におけるマトリクス演算、ベクトル演算で威力を発揮する。

外部データメモリは最大64Kワード接続することができ、内部データメモリと独立にアクセス可能である。アクセスタイムはノンウェイトで2サイクルである。

入出力として入力側、出力側にそれぞれ16ワードの非同期FIFOを内蔵している。各FIFOは内部データメモリの拡張空間にマッピングされており、通常のメモリアクセスと同じインスト

ラクションで入出力を実行できる。データ入力命令実行時に入力FIFOがエンプティの場合、あるいはデータ出力命令時に出力FIFOがフルの場合、MPUは自動的に停止し、それぞれ入力FIFOが非エンプティ、あるいは出力FIFOが非フルになってから動作を再開する。したがって、プログラム側から入出力データの有無をチェックする必要がなくプログラムの負荷を軽減できる。TGPを複数個接続する場合、TGPの出力FIFOおよびその制御端子と別のTGPの入力FIFOおよびその制御端子は直接接続することができ、任意段数のパイプライン接続を容易に実現することが可能である。

図1にTGPの外観を示す。パッケージ上部の端子はエミュレータを接続するためのデバッグ用端子である。

3. ハードウェア構成

TGPを用いたグラフィックス・ボードを試作し、当社製パソコンFMR(60, 70シリーズ)をホストとするパーソナル3次元CGシステム

表1 TGPの主要諸元

項目	内容
サイクルタイム	75 ns
データ形式	IEEE単精度浮動小数点
演算速度	浮動小数点2サイクル (積和演算同時実行)
内部ROM	2Kワード
内部RAM	(256+512)ワード
インタフェース	FIFO(16段)×2
パッケージ	PGA135

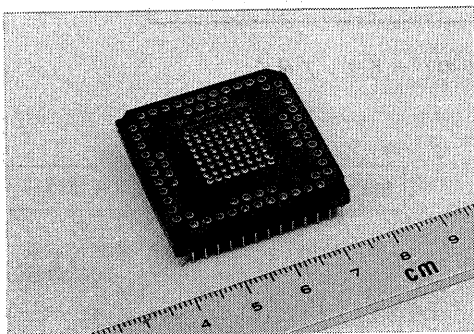


図1 TGPの外観

を実現した。図2にグラフィックス・ボードのハードウェア構成を示す。

幾何変換処理部はTGP3段パイプライン接続で構成されている。TGP3では32Kワードの外部メモリ空間が使用され、512ワードがホストとの通信を行う共有メモリ空間として、残りの空間がワーク領域として使用される。共有メモリは、ピック検出データや後述の描画プロセッサHSPの動作状態をホストに通知したり、ホストからTGP3を介してHSPにコマンドを発行するために用いられる。なお、共有メモリ領域は、ホストのバスとの整合性を考慮してワード長を2バイトとしており、容量は1Kバイトである。

描画処理部は東芝社製HSP⁽²⁾2個で構成されている。HSP1はZバッファおよびフレームバッファのRプレーンに、HSP2はGプレーンおよびBプレーンに接続され、隠面消去、グーローシェーディングなどの描画動作を並列に行う。各HSPの入力FIFOはTGP3の外部メモリ空間1ワードにマッピングされ、TGP3から図3に示すコマンド形式でデータが入力される。補助回路によりビット20, 21が参照され、データ入力を行うHSPが選択される。なお、HSPへの入力クロックは12MHzである。

フレームバッファはR, G, B3プレーンで構成され、1プレーンの大きさは1024×1024×8ビットである。ただし、パソコンモニタに表示されるのは1024×750ピクセルの領域である。フレームバッファは通常HSPによって3プレーン同時に描画されるが、表2に示すように描画領域のY座標によって、それぞれのプレーンを独立に描画することもできる。また、フレームバッファは、ホストのメモリ空間上にマッピングすることが可能であり、ホストCPUから直接アクセスできる。これにより、描画結果の読み出しや画像処理をホストCPUによって行うことが可能である。

Zバッファは1024×1024×16ビットで構成される。このうち上位4ビットはホストのメモリ空間上にマッピングすることが可能であり、マスクプレーンとして使用することによって、ウィンドウ制御などにおける任意形状のクリップが行える。この場合、Zバッファの精度は12ビットになる。

DAコンバータはBrooktree社Bt473を用いている。Bt473は256×8ビットのLUTを3個内蔵し、8ビット3入力(RGB)に対して、実カラーモードでは直接DA変換

を施し、24ビット疑似カラーモードでは3入力をインデックスとして3個のLUTを個々に参照した後DA変換を施す。また8ビット疑似カラーモードでは1入力のみを選択してインデックスとし3個のLUTを同一のインデックスで参照した後DA変換を施す。すなわち、1670万色中の256色が同時表示される。これらのモードの切り換えはホストの制御によって行う。

先に述べたフレームバッファの単独プレーン描画機能とBt473の8ビット疑似カラーモードにより、256色でダブルバッファリングの機能を実現することができる。例えば、Rプレーンに描画処理を行いながらGプレーン内の完成された画像を8ビット疑似カラーモード（G選択）で表示し、Rプレーンの描画が終了したら描画プレーンと表示プレーンを切り換えるといった操作を繰り返せばよい。

ビデオ信号生成部は、ホストのビデオ信号出力（テキスト、グラフィックVRAM）とDAコンバータのビデオ出力（フレームバッファ）を重畳して、パソコンモニタ表示のためのビデオ信号を生成する。画像表示が不要な場合は、ホストのビデオ信号のみ出力することができる。またホストのビデオ表示が不要な場合には画像のみ表示す

ることもできる。

インタフェース部は、ホストとグラフィックス・ボードとの間でグラフィックスデータや制御信号を受け渡すためのインタフェースであり、表3に示す5種類のインタフェースがある。

ボード制御レジスタは、ボード全体のリセット、フレームバッファの表示/非表示制御、フレームバッファのメモリマッピングON/OFF制御、Zバッファ4ビットマスク制御などを行うためのレジスタである。

TGP通信レジスタは、TGP1にグラフィックスデータを供給するためのレジスタである。

DA制御レジスタは、Bt473の動作モードの切り換え、LUTパレット値設定などを行うためのレジスタである。

共有メモリレジスタは、TGP3に接続された共有メモリをリード/ライトするためのレジスタである。

これらのレジスタは、FMRのI/O空間ユーザ領域4Kバイト内の1Kバイトにマッピングされている。マッピング領域はディップスイッチにより1Kバイト単位で切り換えられるので、1台のFMRに対して4枚までのグラフィックス・ボードの並列接続が可能である。

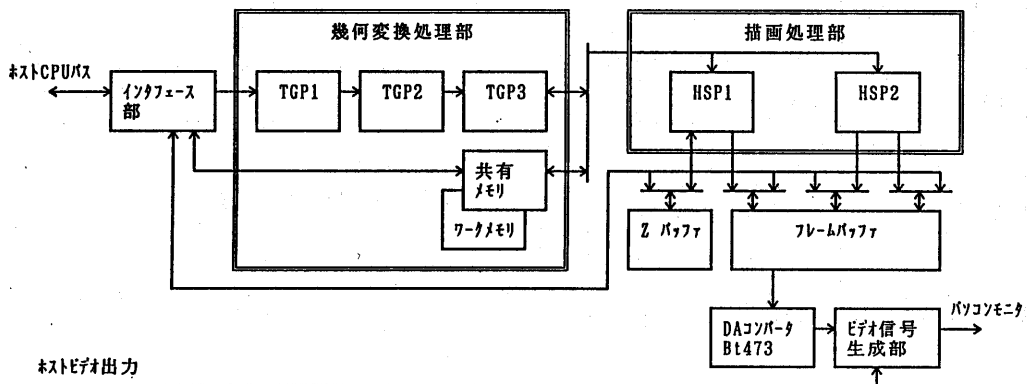


図2 グラフィックス・ボードのハードウェア構成

表2 描画領域Y座標による描画プレーンの選択

Y座標	描画プレーン
0 ~ 1023	R, G, B
1024 ~ 2047	R
2048 ~ 3071	G
3072 ~ 4095	B

21	20	19	16	15	0
HSP 選択		HSP コマンド		HSP パラメータ	

ビット20, 21 : HSP 選択ビット
 (0, 0) : HSP1, HSP2選択
 (0, 1) : HSP1選択
 (1, 0) : HSP2選択

図3 HSPへの入力コマンド形式

フレームバッファ I/F は、Z バッファの上位 4 ビットおよびフレームバッファの 3 プレーンを FMR のメモリ空間にマッピングするためのインタフェースであり、マッピング領域はディップスイッチにより 1 M バイト単位で切り換えることができる。ホストからこの領域をアクセスするためには、CPU (インテル社製 80386) をプロテクトモードで動作させる必要がある。

グラフィックス・ボードは図 4 に示すプリント板 1 枚であり、470×380×50 mm の筐体に電源とともに格納した。

4. ファームウェア機能

パイプライン接続された 3 個の TGP に搭載されたファームウェア構成を表 4 に示す。TGP 内部で扱われる座標系は PHIGS PLUS に準拠しており、幾何変換部の入力図形プリミティブはすべてモデリング座標系で記述されなければならない。図形プリミティブ、および変換行列や光源情報などの属性プリミティブなどのコマンドパラメータ形式は PHIGS PLUS を意識して

設計されており、ホストのグラフィック・ベジックソフトの負担を軽減している。

以下に、マーカ、ベクトル、多角形 (ライティング無)、多角形 (ライティング有) の 4 種についてファームウェア機能を述べる。

4. 1. マーカ処理

TGP1 は入力マーカの基点座標を正規化投影座標系 (以下、NPC と略す。) に変換し、XY クリッピングを行う。

TGP2 は基点座標の Z クリッピングと装置座標系 (以下、DC と略す。) への変換を行う。

TGP3 は属性として指定されているマーカパターンのドット座標を入力される基点座標をもとに計算し、DC ウィンドウ内に収まるドットのみ、HSP コマンドに変換して描画処理部へ出力する。なお、指定できるマーカパターンのサイズは 16 × 16 ドットである。

4. 2. ベクトル処理

表 3 ホストインタフェース

インタフェース	ホストマッピング領域
ボード制御レジスタ	ユーザ I/O 領域 (7000h ~ 7FFFh) 内の 1 K バイト
TGP 通信レジスタ	
DA 制御レジスタ	
共有メモリレジスタ	
フレームバッファインタフェース	メモリ領域 800000h 番地以降の 4 M バイト

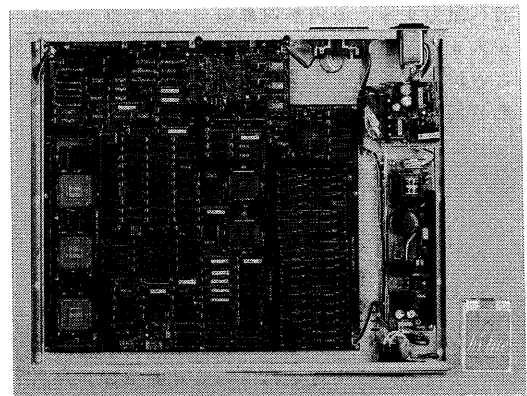


図 4 グラフィックス・ボードの外観

表 4 幾何変換部ファームウェア構成

処理図形	TGP 1	TGP 2	TGP 3
マーカ	MC ⇒ NPC 変換 X クリップ	Y, Z クリップ NPC ⇒ DC 変換	マーカドット展開 HSP コマンド変換
ベクトル	MC ⇒ NPC 変換 X クリップ	Y, Z クリップ NPC ⇒ DC 変換	HSP コマンド変換
多角形 (ライティング無)	MC ⇒ NPC 変換	X, Y, Z クリップ NPC ⇒ DC 変換	三角形分割 HSP コマンド変換
多角形 (ライティング有)	MC ⇒ WC 変換 ライティング WC ⇒ NPC 変換	X, Y, Z クリップ NPC ⇒ DC 変換	三角形分割 HSP コマンド変換

TGP1, TGP2の機能分担はマーカ処理と同様で、TGP1の入力ベクトルの端点列に対して、クリッピングされたDC座標値がTGP2から出力される。

TGP3は属性として指定されている線種、線色を入力されるベクトルの端点列に付加し、HSPコマンドに変換して描画処理部へ出力する。線種は32ビットの繰り返しドットパターンとして定義することができる。

4. 3. 多角形処理 (ライティング無)

TGP1は入力多角形の頂点座標をNPCに変換して出力する。その際、多角形データが頂点色を持たない場合は属性として指定されている多角形色を各頂点に付加する。

TGP2は頂点座標をNPCのクリップボリュームにしたがってクリッピングし、DCへの変換を行う。

TGP3は属性として指定されている多角形の内部様式とエッジの描画様式にしたがって、入力頂点データをHSPコマンドに変換して描画処理部へ出力する。多角形内部のハッチパターンは、4×4の繰り返しドットパターンとして指定することができる。その他に、凹多角形に対する三角形分割処理もここで行われる。

4. 4. 多角形処理 (ライティング有)

TGP1はまず入力多角形の面法線、頂点座標、頂点法線を世界座標系(以下、WCと略す。)に変換する。つぎに面法線と視点情報をもとに面の表裏判定を行う。ライティング計算は、頂点データと属性として指定されている光源情報、視点情報、領域特性情報等をもとにWC空間上で行われる。光源の種類は環境光源、平行光源、点光源の3種類の指定が可能で最大8個の光源を設定できる。反射光は環境光、拡散光、鏡面光の3種類の計算が可能である。拡散色はあらかじめ属性として面の色を指定するか、各頂点に色を割り当てるとかいずれかの指定が可能である。シェーディング方法がコンスタントに指定された場合、第1頂点に対して計算した反射光を多角形の他の各頂点に割り当てる。ライティング計算では法線の正規化のため平方根演算が必要であるが、TGP1では仮数部を10階微分の項までテーラー展開することにより、20ビット以上の精度で平方根演算を行っている。TGP1はライティング計算を終了

すると、座標値をNPCに変換し、表裏判定結果、計算色とともに出力する。

TGP2はクリッピング、DC座標への変換を多角形(ライティング無)と同様に行う。さらに、属性の指定によってLUTへのインデックスを計算色から変換して求めることができる。

TGP3も多角形(ライティング無)と同様の処理を行う。さらに、属性の指定によって裏向き多角形の描画の有無を指定することができる。

5. 性能評価

システムの性能を評価するためベクトルと多角形について処理速度の実測を行った。

5. 1. 測定条件

ベクトルは、DCにおけるベクトル長をパラメータとして処理速度を実測した。

多角形は、底辺と高さが等しい三角形に対し、DCにおける底辺長(=高さ)をパラメータとして処理速度を実測した。ライティングの条件は、光源を環境光源、平行光源各1個とし、反射光として環境光、拡散光、鏡面光の和を計算した。三角形のすべての頂点で必ずすべての反射光が計算されるように光源位置、視点位置を配慮した。

ホストはFMR70HX3(CPU:インテル社製80386, 25MHz)を使用した。データ入力プログラムは、TGP1の入力FIFOをチェックしながらTGP通信レジスタをアクセスする部分のみアセンブラで記述し、ループの制御など他はすべてC言語で記述した。

ベクトル処理においては、1万ベクトル/画面の表示データをホストで生成しながらTGP1に転送する動作を繰り返して処理時間を測定した。

多角形処理においては、1万ポリゴン/画面の表示データをホストで生成しながらTGP1に転送する動作を繰り返して処理時間を測定した。

5. 2. 転送速度

システム全体の性能を把握するためには、ホストからグラフィックス・ボードへの転送速度を明らかにしておく必要がある。そこで、グラフィックス・ボードにNOP(ノンオペレーション)データを繰り返して転送し、ホストのデータ転送速度を測定した。各図形のデータ転送速度を表5に示す。

5. 3. グラフィック処理の実測結果

各図形データに対するグラフィックス処理の実測結果を図5、図6のグラフに示す。

ベクトルの処理速度は、10ピクセル以下のベクトル長で51.7Kベクトル/秒で一定である。

多角形（ライティング無）の処理速度は、20ピクセル以下の底辺長で6.5Kポリゴン/秒で一定である。

多角形（ライティング有）の処理速度は、コンスタントシェーディング時には25ピクセル以下の底辺長で5.7Kポリゴン/秒で一定あり、グーローシェーディング時には35ピクセル以下の底辺長で4.5Kポリゴン/秒で一定ある。

幾何変換処理部は頂点単位の処理を行うためその処理能力は同じ処理を繰り返す場合一定であるが、描画処理部はピクセル単位の処理を行うためその処理能力は描画するピクセル数の影響を受ける。したがって、図5、6のグラフにおいて、表5の転送速度も考慮すると、処理速度が一定の範囲は幾何変換処理部がネックになっており、処理速度が低下する範囲は描画処理部がネックになっていることがわかる。

6. 表示例

富士通九州システムエンジニアリング社のFMR用三次元CADソフトウェア（意匠設計：PABLO）を用いて作成した多角形データの表示例を図7に示す。図7の建築物の表示に要した時間は約3秒である。

図8はフレームバッファI/Fを用い、ピクセルデータをホストから直接フレームバッファに書き込んで表示した例である。画面下の画像は透視投影された面にテクスチャマッピングを行ったもので、左右の画像はそれぞれ線型補間と奥行き補正補間によるマッピングの処理結果を示している。

7. 今後の課題

性能評価の結果やアプリケーションソフトを動作させた結果を踏まえ今後の課題を検討する。

ホストのデータ転送は、5節の評価実験では問題とならなかったが、実際のアプリケーションではグラフィックデータを限られたメモリ空間内で保持することは難しくディスクに格納するため、ディスクへのアクセスが発生し転送速度が低下してボトルネックとなる。この問題は、絶え間ない

CPUパワーの向上、集積技術の進歩、広範囲なメモリ空間をアクセスできるソフトの開発などで

表5 ホストの転送速度

処理図形	転送速度
ベクトル	53.5K ベクトル/s (18.6 μ s/ベクトル)
多角形 (ライティング無)	13.0K ポリゴン/s (76.7 μ s/ポリゴン)
多角形 (ライティング有)	8.1K ポリゴン/s (123.3 μ s/ポリゴン)

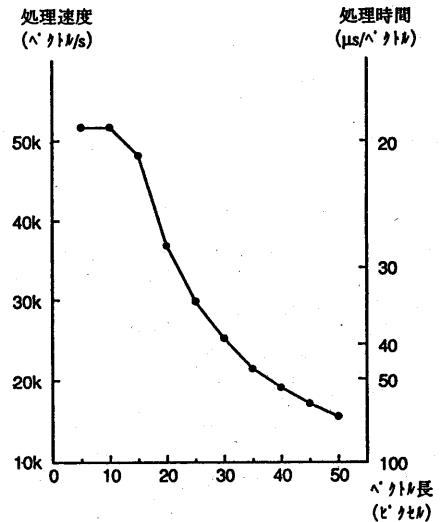


図5 ベクトルの処理性能

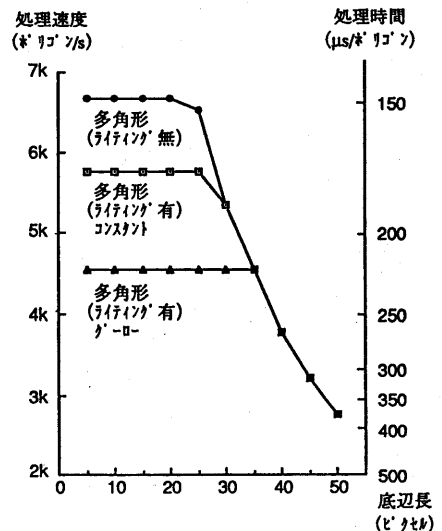


図6 多角形の処理性能

いずれ解決されていくだろう。

幾何変換処理部は、現在の3段構成では、HSPへのコマンド変換処理を中心とするTGP3に比べて、TGP1、TGP2の負荷が大きい。したがって、TGP1、TGP2の負荷をそれぞれ2個のTGPに分散した5段構成が考えられる。これにより、幾何変換処理部の性能を2倍近くに向上できる。

描画処理部は、描画データの大きさに依存する部分である。しかし、図7の表示例で明らかなように、実際の応用ではさまざまな大きさの描画データが存在し、描画処理部のさらなる高速化が望まれる。HSPの動作周波数は16.7MHzであるが現状のシステムでは12MHzで動作させているので、今後入力クロックと周辺回路を改良して描画処理を高速化させたい。

8. おわりに

3次元幾何変換LSIを用いたグラフィックス

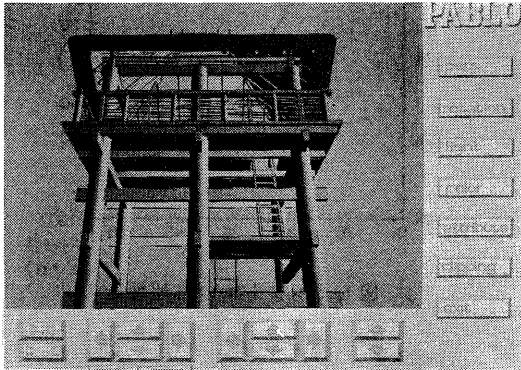


図7 多角形データの表示例

・ボードを試作し、パソコンをホストとするパーソナルCGシステムを実現した。システムの主な性能を表6に、システム外観を図9に示す。今後は、MMIを含めより高機能、高性能で使い勝手の良いグラフィックス・システムの実現を目指していきたい。

<参考文献>

- (1) Silicon Graphics, "Power Series Technical Report", 1990.
- (2) 岡村他, "パーソナル3次元グラフィックスボードの開発", 情処全大41回, pp.2-269~2-270, 1990.
- (3) 大木他, "シェーディング機能を有した隠れ面処理プロセッサ", 信学技報, CPSY87-57, 1988.
- (4) 中山他, "パソコンCGシステム", 情処全大41回, pp.2-261~2-262, 1990.

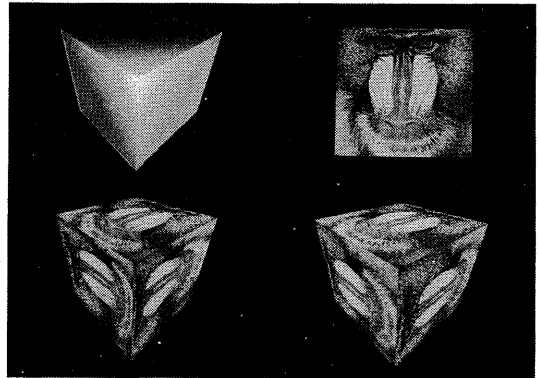


図8 ピクセルデータの表示例

表6 システムの主な性能

項目	性能
表示速度	51.7K ベクトル/s 6.5k ポリゴン/s (Z-Buffer) 4.5K ポリゴン/s (Z-Buffer, フォンライティング)
表示色	24 ビット実カラー 24/8 ビット疑似カラー
重畳表示	フレームバッファ+文字, グラフ
光源数	最大8個(点, 平行, 環境)
分解能	1,024 × 750
深さ情報	16 ビット

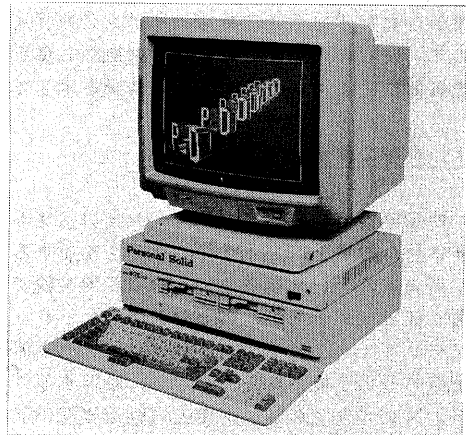


図9 システム外観