

FDDI-II サイクル同期方式の性能評価

平松 晃一 横山 幸雄 市橋 立機 厚井 裕司

三菱電機株式会社 通信システム研究所

あらまし FDDI-IIは標準化作業中のマルチメディアLANであり、独立同期方式の上で固定長のデータフレーム(サイクル)を中継伝送することにより、回線交換を実現する。我々は、この従来にない同期方式を実現する物理層内部の構成方法をいくつか提案し、計算機シミュレーションによる比較検討を行ってきたが、それらの構成が目標性能を満足するかどうかの評価は為されていなかった。

そこで今回、FDDI-II同期方式の性能を概略的に把握する目的で、いままで提案した物理層構成のいくつかを対象として、計算機シミュレーションと推定による評価を試みた。その結果、標準規格に記述されているFDDI-II同期方式が十分に現実性を持つことを確認した。

Performance Evaluation of FDDI-II Cycle Synchronization Mechanism

Koichi HIRAMATSU Yukio YOKOYAMA Tatsuki ICHIHASHI Yuuji KOUI

Mitsubishi Electric Corp. Communication Systems Lab.

5-1-1 Ofuna, Kamakura, Kanagawa 247, Japan

Abstract FDDI-II, a multi media Local Area Network (LAN) standard under development at ANSI X3T9.5, serves both packet and circuit switching. To support circuit switching service, stations with local independent clock, connected as a ring, repeat fixed length data frames called cycle. Physical layer functions are responsible to maintain the new synchronization mechanism. ANSI FDDI-II documents specify their operations, conditions, and target performance. We have introduced a variety of possible physical layer implementations and made a relative estimation, however, it was not cleared whether the implementations satisfies the target performance on various conditions.

In this paper, we evaluate the performance of several implementations by computer simulation and inference. As a result, we confirm that the FDDI-II synchronization mechanism can be achieved with feasible implementaions.

1. はじめに

FDDI-IIはANSI(米国規格協会)で標準化作業中のマルチメディアLANであり、バケット交換の他に回線交換をもサポートする。リング状に接続された各ステーションがそれぞれ独立のクロック源を持つ独立同期方式の上で、125μs固定長のサイクルと呼ばれるデータフレームを中継伝送することにより回線交換を実現する。この従来にない同期方式は、主に物理層の機能によって実現される。その動作および動作条件(クロック精度等)、目標性能のガイドラインは標準規格[1][2]に記述されている。我々は物理層内部の構成方法をいくつか提案し、計算機シミュレーションによる比較検討を行ってきた[3][4]が、シミュレーション実行に膨大な時間を要するため、それらの構成が目標性能を満足するかどうかの評価は為されていなかった。

そこで今回、FDDI-II同期方式の性能を概略的に把握する目的で、いままで提案した物理層構成のいくつかを対象として、計算機シミュレーションと推定による評価を試みた。その結果、標準規格に記述されているFDDI-II同期方式が十分に現実性を持つことを確認した。

2. FDDI-IIシステムのサイクル中継伝送モデル

FDDI-IIシステムでは、マスタステーションが発生したサイクルが、リング上のスレーブステーションによって順次中継されていく。この過程で、隣合う2つのステーション間の動作クロック周波数偏差を吸収する物理層のエラステシティバッファ(EB)において、125μs固定長のはずのサイクル長が中継の度に量子化誤差の分だけ伸縮する。これがサイクルジッタである。サイクルジッタの累積によって、サイクルが縮退しすぎた場合にはデータの欠落が起こり、マスタステーションから各スレーブステーションにサイクル長として伝えられる8kHzタイミングの劣化が生じる。これらの悪影響を実用上問題ない程度にまで抑圧するのが、物理層機能に規定されるサイクルジッタ抑圧機構、即ちターゲットスムーザ(TS)とリミットスムーザ(LS)である。FDDIのビットクロック周期は8nsであるが、5ビットからなるシンボルを符号化単位とする。従って、1サイクルは公称3125シンボルで構成される。TSはサイクル長をできるだけ3125シンボルに調整するものであり、LSは3124シンボルから3126シンボルの範囲に調整するものである。この範囲を外れるサイクルが発生すると、上位層において同期はずれが検出される。標準規格[1]は、この同期はずれ率の目標を10⁻¹⁰以下としている。

FDDI-IIシステムを8kHzタイミング、即ちサイクル長の中継伝送に関して整理すると、図2.1のよう

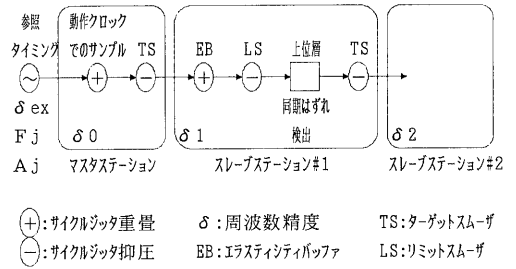


図2.1 サイクル中継伝送モデル

に表現できる。システムは、外部の公衆網などと通信するために、そこから供給される8kHzの参照タイミングに従属する。この参照タイミングの周波数精度を δ_{ex} 、そこに含まれるジッタ成分(これを入力ジッタと呼ぶ)の周波数と振幅を、1サイクル長(125μs)を1時間単位として、 F_j [ノイズ/サイクル]、 A_j [振幅/サイクル]と表す。CCITT勧告にならって入力ジッタをsin波で近似する。参照タイミングについて第0サイクルの先頭に当る時刻を0にとると、第mサイクルの先頭に当る時刻 $X_{ex}(m)$ は式(1)で表される。

$$X_{ex}(m) = (1 - \delta_{ex}) \cdot m + A_j \cdot \sin(2\pi \cdot F_j \cdot m) \quad \text{[サイクル]} \dots (1)$$

式(1)をmについて微分した式(2)が、参照タイミングにおける第mサイクル長 $X'_{ex}(m)$ である。

$$X'_{ex}(m) = (1 - \delta_{ex}) + 2\pi \cdot F_j \cdot A_j \cdot \cos(2\pi \cdot F_j \cdot m) \quad \text{[サイクル]} \dots (2)$$

次にEBで重畳するサイクルジッタについて考える。マスタステーションから数えて第k番目のスレーブステーション(#k)が周波数精度 δ_k の動作クロックを持ち、そのEBがデータ幅u[サイクル](例えばシンボル幅なら、 $u = 5 \times 8 \text{ ns} / 125 \mu\text{s} = 320 \text{ ppm}$)で実装されているとする。ほぼ3125シンボルの入力サイクルを同一シンボル数で出力した場合、EBはサイクルを誤差 $\Delta\delta_k$ だけ縮めたことになる。ここで、 $\Delta\delta_k$ は上流ステーションの動作クロックとの周波数偏差($\delta_k - \delta_{k-1}$)を示す。何サイクルかを出力して、この誤差の累積がデータ幅uに達すると、入力サイクルを($u - \Delta\delta_k$)だけ伸ばしたサイクルが出力される。つまり、スレーブステーション#kのEBで重畳するサイクルジッタ $X'_{EBk}(m)$ は、周波数 $|\Delta\delta_k|/u$ 、振幅uのインパルス波形である。この波形は一般に式(3)で表される

$$X'_{EBk}(m) = \Delta\delta_k \cdot \sum_{n=1}^{\text{int}(u/|\Delta\delta_k|)} \cos(2\pi \cdot (\Delta\delta_k/u) \cdot n \cdot m) \quad \text{[サイクル]} \dots (3)$$

スムーザは、自己のバッファを用いてステーション内のデータバスに挿入する中継遅延量を調整することにより、前述の動作を行う。この動作は、EBジッタ及び入力ジッタを抑圧する効果を持つが、その周波数特性等は未だ明らかでない。

以上から、スレーブステーション#kの上位層入力におけるサイクル長 $X'k(m)$ は式(4)で表される。(但し、マスタステーションにおいて図示のとおり動作クロックによるサンプルが起これりEBジッタに似たジッタが重畳するが、より複雑であるためここでは省略する。)

$$X'k(m) = X'ex(m) + \sum_{i=1}^k \{ - (TS_{i-1} \text{でのジッタ抑圧分}) + X'_{E_{B_i}}(m) - (LS_i \text{でのジッタ抑圧分}) \} \dots(4)$$

スレーブステーション#kにおける3125シンボル長は $(1-\delta k)$ であるので、そこで同期はずれが検出されない条件は、 $X'k(m)$ と $(1-\delta k)$ の差が1シンボルを越えないことである(式(5))。

$$X'k(m) - (1-\delta k) = | (1-\delta ex) - (1-\delta k) + 2\pi \cdot F_j \cdot A_j \cdot \cos(2\pi \cdot F_j \cdot m) + \sum_{i=1}^k \{ - (TS_{i-1} \text{でのジッタ抑圧分}) + \int_0^{u/|\Delta\delta i|} \cos(2\pi \cdot (\Delta\delta i/u) \cdot n \cdot m) - (LS_i \text{でのジッタ抑圧分}) \} | \leq 1 \text{シンボル} = 320\text{ppm} \dots(5)$$

参考のため、マスタステーション($k=0$)で式(5)を満足する条件を求めると、以下ようになる。

$$A_j \leq \{ 320\text{ppm} - |\delta 0 - \delta ex| \} / (2\pi \cdot F_j) \dots(6)$$

標準規格は、動作条件として、 δk に $\pm 53.6\text{ppm}$ 、 δex に $\pm 32\text{ppm}$ を許容している。入力ジッタのピークトゥピーク振幅を A_{sp-p} 、同期はずれの起こらない最大 A_{sp-p} を $A_{sp-pmax}$ とすれば、式(6)は式(6')のように表される。

$$A_{sp-p} = 2 \cdot A_j \leq A_{sp-pmax} = \{ (320 - (53.6 + 32)) \cdot 10^{-6} / \pi \} \cdot (1/F_j) \log_{10} A_{sp-pmax} = (1.873 - 6) - \log_{10} F_j \dots(6')$$

スレーブステーション#kにおける同期はずれ率がある値以下であることを保証する $A_{sp-pmax}$ と F_j の関係は、式

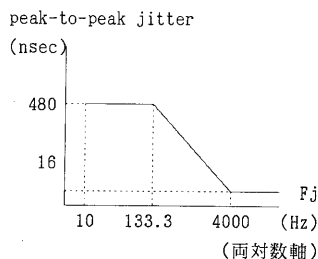


図2.2 許容入力ジッタ

(6')で示される基本的な反比例関係に、kステーション分のEB、スムーザのジッタ重畳、抑圧特性が影響したものになると考えられる。

標準規格は、その他の動作条件として、システムのステーション数Nの最大値を1000、許容入力ジッタを図2.2のとおり規定している。また、目標性能として、同期はずれ率がいずれのステーションにおいても 10^{-10} 以下であることを望んでいる。

3. 評価方法

ある物理層構成を適用した1000ステーションのシステムを考える。但し、各ステーションの動作クロックおよび参照タイミングの周波数精度は、前述の範囲で任意の値をとりうるので、式(5)から考えて、EBジッタの特性が異なる様々なシステムが存在すると考えられる。これらの内のあるシステムについて、目標同期はずれ率 $P=10^{-10}$ を満足する $A_{sp-pmax}$ を求めた時、それが許容入力ジッタを上回るならば、そのシステムは目標性能を達成していると言える。更に、上記の様々なシステムの中で目標性能を達成するものの割合が十分に高ければ、FDDI-IIの同期方式がこの物理層構成によって実現可能であると考えられる。ここでは、上記の $A_{sp-pmax}$ を求めるために、シミュレーションと推定を用いる。

同期はずれ率のような性能を評価する場合に、個々のシステムの実装に依存する要素を統計的に処理する手法を用いるのはあまり例を見ないが、FDDI-IIの同期方式においては各ステーションの動作クロック周波数による性能のパラッキを無視しえない可能性があるため、このような考え方をとる。

3.1 評価対象とする物理層構成

種々考えられる物理層構成[3][4]のうち、以下の理由により、図3.1に示す2つ(バイト幅構成とコンボジット構成)を評価対象とする。

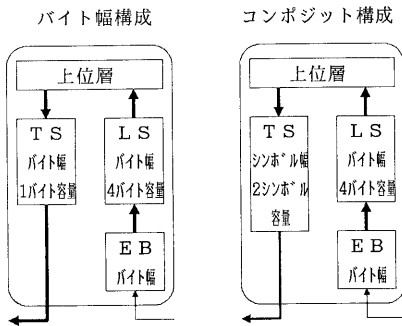


図3.1 評価対象とする物理層構成

- 1) 容易に実装するためには、バイトクロックで動作可能な構成が望ましい。このような物理層構成として、EB、TS、LSともバイト幅であるバイト幅構成を評価する。このTSは我々の提案するJ_Flagメカニズム [3] を用いているが、比較のため、TSのみシンボル幅であるコンボジット構成も評価する。
- 2) スムーザのバッファ容量を増せば一般にジッタ抑圧性能は向上すると考えられるが、半面ステーション中継遅延の増加、回路量の増大を招く。このため、まずバッファ容量最小の構成を評価する。但し、バイト幅EBの場合にはLSのバッファ容量が4バイト以上必要であることが報告されている [3] ので、LSが4バイト容量、TSが1バイト（2シンボル）容量の構成を評価する。
- 3) 構成要素（EB、LS、TS、上位層）の配置は、標準規格に記述された参照モデルに従う。

3.2 シミュレーションパラメータの取り扱い

シミュレーションの実施にあたり、式(5)に表れるパラメータを以下のように取り扱う。

δ_{ex} : 片方の最悪値である +32ppm とする。

F_j : 許容入力ジッタ規定の下限である 10Hz からサイクル周波数の 1/2 である 4kHz の範囲で、何点かの F_j をサンプルし、それぞれに対する $Asp-pmax$ を探索する。 F_j と $Asp-pmax$ の基本的な関係は、双方の対数をとると式(6') のように単純に表されることに基づいて、 F_j のサンプル間隔、 $Asp-pmax$ を探索する時の変化幅は、それぞれの対数領域で一定とする。それ従って、結果データの処理も対数領域で行う。

$\{\delta k\}$: δk の並び順 $\{\delta k\}$ によって EBジッタの特性が異なるため、 $Asp-pmax$ も各システム毎に違った値をとる。 δk はある確率分布に従うので、 $Asp-pmax$ も確率変数と考えられる。ここでは δk が $\pm 53.6ppm$ の範囲に一様分布するとして、数ケースの並び順についてシミュレーションを行い、得られた $\log_{10} Asp-pmax$ の平均と偏差を分析する。

ステーション数 N と目標同期はずれ率 P については、シミュレーション実行時間の関係上、以下のように取り扱う。

N : 始めに、20ステーションのシステムについてシミュレーションを行う。次に、 F_j のサンプル数を減らして、1000ステーションのシステムについてシミュレーションを行い、 N が $Asp-pmax$ に与える影響を見積る。

P : P を満足する $Asp-pmax$ として、 $R (= 1/P)$ サイクルをシミュレーションで観測した時にいずれのステーションでも同期はずれが起こらない $Asp-p$ を探索する。始めに、 $R = 10^4$ でシミュレーションを行う。次に、 F_j のサンプル数を減らして、 $R = 10^5, 10^6, 10^7$ でシミュレーションを行い、 R が $Asp-pmax$ に与える影響を見積る。その結果から、 $R = 10^{10}$ の場合の $Asp-pmax$ を推定する。

上述のアイデアに従って、表3.1に示す3つのシミュレーション（基本シミュレーション、 N の影響、 R の影響）を実施する。最後に、基本シミュレーションの結果に N, R の影響を考慮して、 $N = 1000, P = 10^{-10}$ に対する $Asp-pmax$ を推定する。

表3.1 シミュレーションパラメータ

パラメータ	本来検証すべき値	[1] 基本シミュレーション	[2] ステーション数の影響	[3] 目標同期はずれ率の影響
$\{\delta k\}$	無限ケース	5ケース	5ケース	5ケース
N : ステーション数	最大1000	20	1000	20
F_j : 入力ジッタ周波数	10Hz ~ 4kHz	53ポイント $10^{1.00}$ Hz $10^{1.06}$ Hz ~ $10^{3.60}$ Hz	6ポイント $10^{1.00}$ Hz $10^{1.30}$ Hz ~ $10^{3.40}$ Hz	7ポイント $10^{1.00}$ Hz $10^{1.30}$ Hz ~ $10^{3.40}$ Hz
R : 観測サイクル数	10^{10}	10^4	10^4	10^8 10^6 10^7

4. シミュレーション結果と推定

4.1 基本シミュレーション

図4.1に、バイト幅構成とコンポジット構成それぞれについて、 $\log_{10} F_j$ と $\log_{10} Asp-pmax$ の関係のシミュレーション結果（平均、および平均 $-\sigma$ ～平均 $+3\sigma$ （ σ ：偏差））を示す。

いずれの構成もほぼ同等の性能を示している。 $\{\delta k\}$ によるバラツキは F_j 全域に対してさほど大きくない。点線で示す式(6')の基本的な関係とシミュレーション結果を比較すると、 $F_j < 100\text{ Hz}$ の低域ジッタに対してはスムーザの抑圧効果が弱く、EBジッタの重畳分を吸収しきれていないことが窺える。一方、 $F_j > 100\text{ Hz}$ の中高域ジッタに対してはスムーザの抑圧効果が高く、入力ジッタまでも抑圧できることがわかる。

4.2 ステーション数(N)の影響

N が $\log_{10} Asp-pmax$ の平均、偏差それぞれに与える影響を見積もる。現状では各パラメータの関係を理論的に予測できていないので、次に示す比較的単純な評価値を用いることにする。（偏差への影響は差で評価できない。4.4の最終結果で偏差が負数をとる可能性があるからである。）

$$N_ave.(F_j) = \{ \log_{10} Asp-pmax(N=1000) \text{の平均} \} - \{ \log_{10} Asp-pmax(N=20) \text{の平均} \}$$

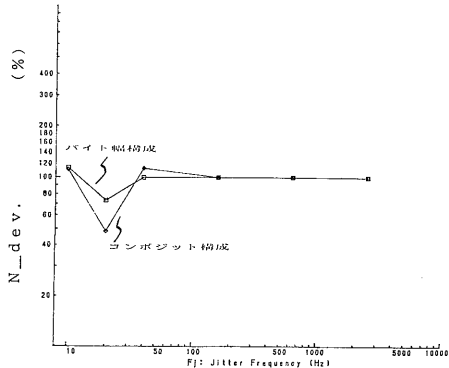
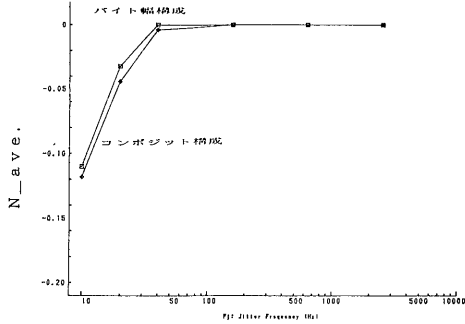


図4.2 ステーション数(N)の影響

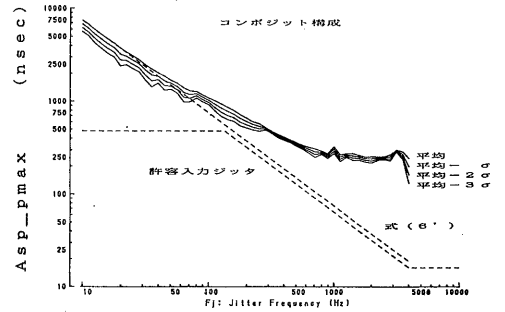
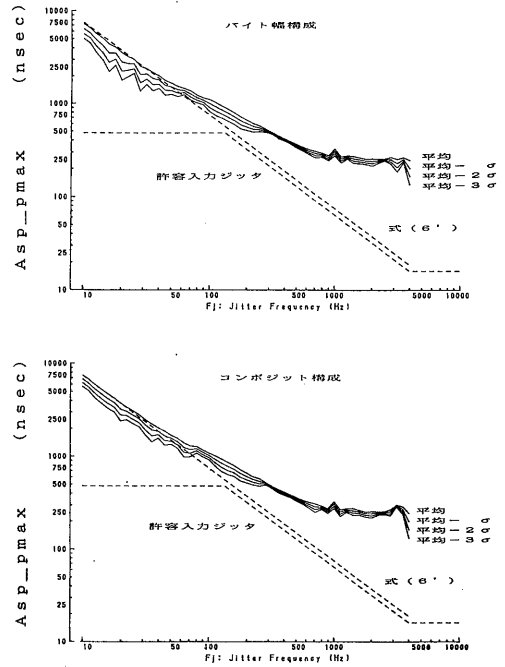


図4.1 基本シミュレーション

$$N_dev.(F_j) = \{ \log_{10} Asp-pmax(N=1000) \text{の偏差} \} / \{ \log_{10} Asp-pmax(N=20) \text{の偏差} \}$$

これら評価値のシミュレーション結果を図4.2に示す。シミュレーションした F_j 各点の間は直線で補間した。図より次のことが観察される。

- 1) 入力ジッタの高域成分はステーション数に影響されない。このことから、EBジッタの高域成分は直後のスムーザで完全に抑圧されていると考えられる。
- 2) N を増加するには、入力ジッタの低域成分を制限する必要がある。
- 3) N を増加しても、 $\{\delta k\}$ によるバラツキは強調されない。

4.3 目標同期はずれ率(P)の影響

まず、 $R = 10^{10}$ での $\log_{10} Asp-pmax$ の平均、偏差を $R = 10^4 \sim 10^7$ でのシミュレーション結果から推定する。 $\log_{10} Asp-pmax$ の平均、偏差とも $\log_{10} R$ の一次関数として近似し、その係数を最小自乗法で求める方法で推定を行う。次に、 $R(P)$ が $\log_{10} Asp-pmax$ の平均、偏差それぞれに与える影響を見積もるため、4.2と同様に、次の評価値を用いることにする。

$$R_ave.(F_j) = \{ \log_{10} Asp-pmax(R=10^{10}) \text{の平均} \} - \{ \log_{10} Asp-pmax(R=10^4) \text{の平均} \}$$

$$R_dev.(F_j) = \{ \log_{10} Asp-pmax(R=10^{10}) \text{の偏差} \} / \{ \log_{10} Asp-pmax(R=10^4) \text{の偏差} \}$$

これら評価値の推定結果を図4.3に示す。シミュレーシ

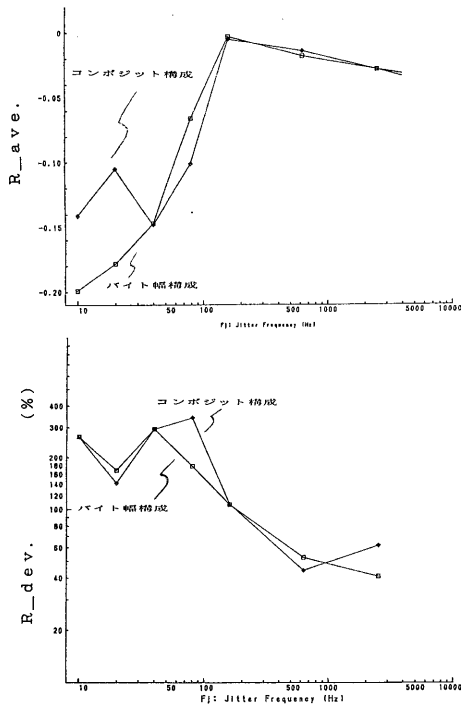


図 4. 3 目標同期はずれ率 (P) の影響

ョンした F_j 各点の間は直線で補間した。「ある程度低い同期はずれ率を更に低く抑えるには、まれに同期はずれを引き起こすジッタ、即ちジッタの低域成分を制限する必要がある」ということは直感的にも理解できる。図 4. 3 の上の図はこのことを示している。図 4. 3 の下の図からは、観測サイクル数を長くすると、 $\{\delta k\}$ によるバラツキが F_j の低域では強調され、逆に F_j の高域では抑制されることが観察される。

4. 4 最終結果

基本シミュレーションで得られた $\log_{10} Asp-pmax$ の平均 (偏差) に、N の影響、R の影響の評価値を加えて (乗じて)、1000ステーションのシステムが、目標同期はずれ率 10^{-10} を満足する入力ジッタ条件を求める。計算結果を図 4. 4 に示す。

図において、バイト幅構成では (平均 -3.14σ) で、コンポジット構成では (平均 -1.92σ) で許容入力ジッタのラインに達する。仮に $Asp-pmax$ が正規分布に従うとすれば、それぞれ 99.9%、97.2% のシステムが目標性能を満足することになる。入力ジッタの周波数精度に最悪値を仮定していることを考慮すれば、実際に目標性能を満足するシステムの割合は、より高いであろう。以上の結果から、FDDI-II の同期方式は、評価対象とした物理層構成のような現実的な回路構成によって、十分実現可能であると類推できる。

5. まとめ

FDDI-II 同期方式を実現する物理層構成の性能を、計算機シミュレーションと推定により評価した。その結果、FDDI-II の同期方式は、現実的な回路構成によって、十分実現可能であることを確認した。

本報告のようなシミュレーションによる評価方法では、計算実行時間の関係上、より詳細な分析は困難と思われる。今後は、理論的アプローチによる解析方法の確立、或は理論に基づくシミュレーションの単純化を検討していきたい。

謝辞 STANATEK社のJ.Hamstra氏をはじめANSI FDDI-IIワーキンググループのメンバーに感謝いたします。

参考文献

- [1] Draft Proposed American National Standard "FDDI Hybrid Ring Control (HRC)", ASC X3T9.5 Rev6.1, December 5, 1990
- [2] Working Draft Proposed American National Standard "FDDI Physical Layer Protocol (PHY-2)", ASC X3T9.5 Rev4.1, March 5, 1991
- [3] 市橋・横山 "Simulation Results of FDDI-II Smoothing Mechanisms based upon HRC rev5.1", FDDI-II Working Group Meeting, February 14, 1990
- [4] 市橋・横山 "Simulation Results of FDDI-II Smoothing Mechanisms, -Comparison of jitter waves -", FDDI-II Working Group Meeting, April 23, 1990

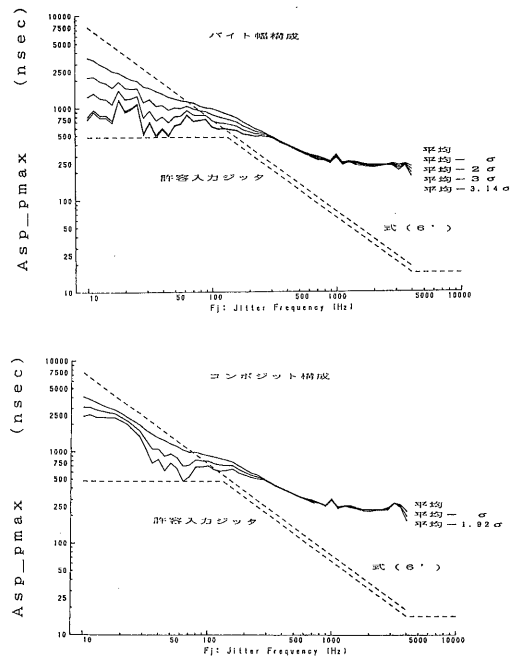


図 4. 4 最終結果