

## FDDI-IIサイクル同期方式の検討

横山 幸雄 平松 晃一 市橋 立機 厚井 裕司

三菱電機株式会社 通信システム研究所

あらまし FDDIはビット伝送方式として各ステーションのクロックを用いて中継伝送を行う独立同期方式を採用している。更に回線交換サービスを行うFDDI-IIではその機構の上で125 $\mu$ sec周期のサイクルを周回させ、各ステーションはそのタイミングに従属同期している。それ故、ある程度の周波数の揺らぎが伝播過程において発生する。各ステーションにおける物理層制御部のスムーザは、8kHz同期を維持するためサイクルの長さを適宜調整する。本報告は、FDDI-IIの同期方式の動作原理を考察すると共に、スムーザに対する問題点の解決方法、更にスムーザ実装に係わるバリエーションについて検討を行った。

## A study on cycle synchronization in FDDI-II

Yukio YOKOYAMA Koichi HIRAMATSU Tatsuki ICHIHASHI Yuuji KOUI

Mitsubishi Electric Corporation Communication Systems Laboratory

5-1-1 Ofuna, Kamakura, Kanagawa 247 JAPAN

Abstract FDDI adopts independent bit clocking method on which each station transmits data with own station clock. FDDI-II, supporting also circuit-switched service, needs an 8kHz synchronization which is achieved with interval of cycle frames. This cycle synchronization is realized on the independent bit clocking. Therefore, some frequency deviations necessarily occur. Smoother function of physical layer protocol in each station adjusts length of cycle adaptively in order to maintain 8kHz synchronization. This paper describes mechanism of 8kHz synchronization and considers several possible implementations of the smoother and their characteristic.

## 1. まえがき

今後発展していくと予想されるマルチメディア通信アプリケーションをサポートするために、FDDIをベースにパケットと回線の両サービスをハイブリッド伝送により実現するFDDI-IIの規格化が進んでいる。

FDDI-IIの同期方式の特徴は、各ステーションが各々独立のクロックによりリンク・バイ・リンクにデータの送受信を行ってリング伝送路を構成するというFDDIの方式を基本としつつ、回線交換サービスの基本となる8kHzクロックについてはリング内で唯一の8kHz供給源となるマスタステーションを定めて、そのステーションが送出する固定長フレームである「サイクル」に他の全てのステーションが従属同期する方式を採用していることである。つまり、ビット同期とサイクル同期という2つのレベルが存在し、かつ前者は独立、後者は従属といった複雑な機構を採用している。この方式は、機能的にFDDIのサブセットとして定義されるFDDI-IIの同期方式としては妥当性があるが、従来にはない新しい方式であるがために、その機能、特性は明らかではなかった。

その理由としては、以下のような疑問点が挙げられる。

- ・各ステーションは基準となる公称8kHzクロックの実際の周波数を知らずに、等時性の必要なサイクルを過不足なく中継できるのか。
- ・多段に中継された後のジッタを含むサイクルを、前項と同様に、各ステーションは何を基準に、正しく矯正し中継できるのか。

本報告では、これらの項目を踏まえFDDI-IIの同期方式の動作原理を考察した後、ANSI X3T9.5委員会において我々が関与した問題点の解決方法とインプリメントに係わるバリエーションについて検討を行った。

## 2. FDDI-II同期方式の考察

### 2.1 独立ビット同期

リング型LANに使われる基本的なビット同期方式には、一般のTDMA型LANやIEEE802.5トークンリングが採用している従属式とFDDIが採用している独立式（ポイント・ツー・ポイント・クロッキングとも呼ばれる）がある。従属式の長所としては、システムのクロックを統一できる、エラスティシティバッファ（以降EB）が不要といったことが挙げられる。一方、短所としてはクロック抽出回路におけるジッタの累積により総ステーション数が制限されることである。大規模システムをターゲットとするFDDIでは、この短所を避けるため独立式を用いている。また、それに伴い、クロックの乗せ替えのためのEBを保有すると共に、有効データ領域においてバッファフローが発生しないよう、プリアンブル通過時にEBの動作点アジャスト（リセンタリング）が行われている。このことは各ステーションが自身に都合の良いように、プリアンブル長を操作することであり、あるケースではプリアンブル長がどんどん短くなっていき、遂には、正常にフレーム受信が出

来なくなる恐れがある。この対策として、PHY規格[2]では、必要以上に長いプリアンブルからシンボルをもらい短すぎるプリアンブルに付け足すといった再分配機能を司るスムーザといった機構を定義している。（厳密に言えばFDDI-Iモード時のスムーザ動作である。）

ところで、EBの構成を考えた場合、ビット単位のものシンボル(5ビット)単位のものバイト(10ビット)単位のものが可能である。しかしながら、上位のMACレベルではシンボル単位かバイト単位での動作が規格として定められていることから、EBでビット単位で細かく制御を行っても、その後シンボルあるいはバイトへの切上げ/切捨てが起こることになる。即ち、この切上げ/切捨てを含めてEBにおける量子化単位はシンボルかバイトかということになる。

### 2.2 従属サイクル同期

FDDI-IIでは回線交換サービスを提供するため、図1に示すような8kHzの周期で発生するサイクルを定義している。また、図2に示すようにサイクルの生成は外部網からの8kHzタイミング（外部参照8kHzタイミングと称す）を元にマスタステーションで行われ、それ以外のスレーブステーションは上流から流れてくるサイクルの間隔から8kHzタイミング（受信8kHzタイミング）を抽出する。この処理は前節で述べた独立ビット同期の上でなされることに注意しなければならない。

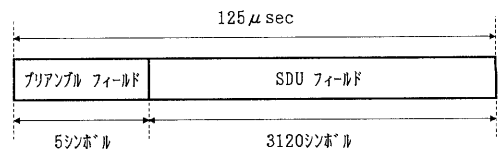
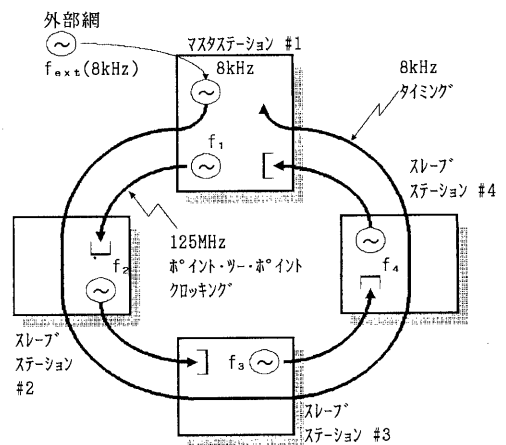


図1 FDDI-IIのサイクル構成



$f_n$ : ステーションクロック周波数

図2 FDDI-IIにおける同期構成

独立ビット同期の影響を受けずに8kHzを伝搬する方策としては、図3に示すJ.A.Kolling[1]の提案にあるように、EB通過前にサイクル間隔を認識するとともに、送出ビット数にその間隔を反映させることで次ステーションに通知するやり方がある。しかしながら、この方法はビットレベルでの制御が必要であり、実装上FDDI-Iとのインタオペラビリティを保つことが困難になる。また、ビット単位の誤差分が発生することから、多くのカスケード接続ではやはり問題が生じる。

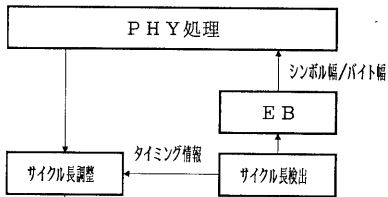


図3 直接的な8kHzタイミング制御

上記方法はマスタステーションの生成するサイクル間隔つまり8kHzを厳密に中継していくことを前提に考えているが、別のアプローチとしては、規格に採用されているような、平均的には外部参照8kHzの周波数に従属するもののサイクル間隔のある範囲の揺らぎを認めた上で中継していくという考え方ができる。

この「ある範囲」を決める際の依り処となるのは、PHY規格で各ステーションクロックの絶対的精度が $125\text{MHz} \pm 50\text{ppm}$ に規定されていることであり、この尺度により計ったものも絶対的精度を持ち得るということである。つまり上記の「ある範囲」を計る基準が各々のステーションクロックに依存していても、結果的には絶対的な精度により限定されることになる。

それでは、この「ある範囲」をどう設定するかが問題となる。広ければ8kHzタイミングの品質を劣化させることになるし、狭ければその維持制御が難しくなる。一方、PHYや上位のH-MUX部での最小処理単位がシンボルであることを考慮する必要がある。これらの条件からPHY-2規格[3]では、1シンボル分の変動、つまり1サイクル(3125シンボル)当り $\pm 1$ シンボルの偏差を許容した。これは、 $\pm 320\text{ppm}$ の許容偏差に相当し、上記ステーションクロック精度を含み、規格により以下のように分配されている。

ステーションクロック周波数精度	$\pm 50\text{ppm}$
ステーションクロック・ジッタ	$\pm 3.6\text{ppm}$
外部参照8kHzタイミング周波数精度	$\pm 32\text{ppm}$
外部参照8kHzタイミング・ジッタ	$\pm 234.4\text{ppm}$
	計 $\pm 320\text{ppm}$

上記規定により、この品質を満たす外部参照8kHzタイミングが入力された場合は、全てのステーションは3124~3126シンボルの発生頻度を調整することで、外部参照8kHzタイミングの平均周波数を表現できることになる。

例えば、マスタステーションのステーションクロック精度が $+32\text{ppm}$ の場合、 $125\mu\text{sec}$ はほぼ3125.1シンボルに相当

し、3125シンボルのサイクルと3126シンボルのサイクルを9:1の割合で送出することになる。次のステーションのステーションクロック精度が $-32\text{ppm}$ なら、今度は3124シンボルのサイクルと3125シンボルのサイクルを1:9の割合で送出することになる。

### 2.3 8kHzタイミングにおけるジッタ

上述したように、全てのステーションは3124~3126シンボルの範囲で外部参照8kHzに従属同期できるはずである。しかしながら、独立ビット同期にともなうEBでのプリアンブル伸縮は隣接ステーション間のクロック偏差にのみ依存し、入力するサイクルの長さとは無関係である。

また、このプリアンブル伸縮の単位(量子化単位)はシンボルやバイトといった単位を用いることから、その量子化単位に相当するスレッシュホールドに至るまではビットオーダでの誤差分が反映されない。結局、1サイクル時間の平均値はEBの前と後で同じであるが、その分散はEBの後の方が大きくなる。これはEBにおけるジッタ重畳であり、8kHzタイミングに対し、内部的に発生するジッタ要因と考えられる。他方、外部的なものとしては当然のことながら外部参照8kHzに付随するジッタが考えられる。

このような内部的なジッタ要因があることから伝搬される8kHzも歪んでいくことになる。例えば、上流ステーションが3124シンボルで出したサイクルが、自ステーションのEB通過後に3123シンボルと認識された場合、このサイクルは過度に縮められたと判断される。しかし、それが自身のEBに依るものなのか、上流過程における累積によるものなのかは区別がつかない、というより両方に依存しているので、規定範囲逸脱を認識したステーションがその責任を負い補正を行うことになる。

この補正動作を行い、サイクルの多段中継を可能にするのがスムーザである。(厳密にはFDDI-IIスムーザ。)更に、その性能としては3124~3126シンボル以外のサイクルの出現頻度が $10^{-10}$ 以下になることが目標とされている。

### 3. スムーザ機能

FDDI-IIリングの8kHz同期に関するシステムモデルを図4に示す。PHYは、EBと2つのスムーザを持つほか、S/P変換、コーディングなどの機能を果たす。ここで示す機能配置はPHY-2規格の参照モデルに従っている。上位層は、SDUフィールド内のデータにアクセスする。また、マスタステーションの上位層は、サイクルジェネレートブロックにおいて外部参照8kHzタイミングをローカル送信クロックに同期してサイクルを生成する。ここでも、8kHzタイミングに量子化誤差によるジッタが印加されることに注意されたい。

#### 3.1 リミットスムーザ(LS)の目的

仮に、PHYがスムーザ機能を持たないとすると、多段

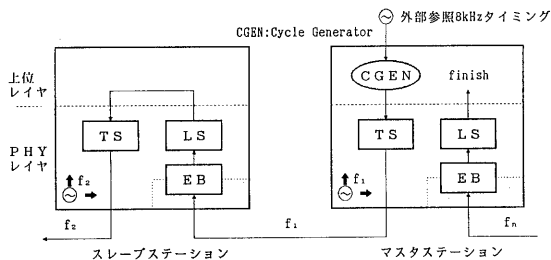


図4 8kHz同期についてのシステム図

接続されたEBは同一のサイクルからプリアンプルシンボルを削除してSDUフィールドの侵食を起こす可能性がある。リミットスムーザ(LS)の役割は、この現象を回避して多段接続されたステーションを経由するサイクル伝送を可能とすることである。LSは、EBにおいて3124~3126シンボルの範囲外にされたサイクルを範囲内に調整する。これは、一つのサイクルにジッタが過度に累積する前にそのジッタを一時的にLSのバッファに吸収することに相当する。

### 3.2 LSの自己回復作用

上記の目的のためには、ある容量の遅延バッファを持ち対処できる限りに於て、3123シンボルのサイクルが現れた時は、1シンボル分遅延させ3124シンボルにして出す。また、反対に3127シンボルのサイクルが現れた時は貯めておいた1シンボル分の遅延をキャンセルし3126シンボルで出す。このような仕組みで良さそうであるが、実際は、ステ

ーションの発振器と外部参照8kHzタイミングの精度により、3124~3126シンボルの範囲より長いサイクル入力と短いサイクル入力の発生頻度はつり合わないのが普通である。従って、あるステーションのLSは通常最長に伸びる(遅延最大)傾向を持ち、別のステーションのものは通常最短に縮む(遅延ゼロ)傾向を持ち得る。これは、バッファ容量を有効に活用していないことになり、各種ジッタの変動分に対し、有効に対処できなくなる。

そこで筆者等は自己回復という概念を考案した[4]。これは、LSが出力するサイクル長を3124~3126シンボルの範囲内におさめることができる限りにおいて、バッファ長をセンタポジションにできるだけ近づけるものである。表1に容量4シンボルの場合のステート遷移の中心的部分を示す。この場合バッファに蓄えられているデータ量の違いによりA~Eの5状態を持つことになる。このメカニズムは、あるサイクルに重畳した大きなジッタを、一時的にLSのバッファに吸収し、それを小さなジッタしか重畳していない別の後続のサイクルに少しずつ分配することを意味する。

また、LSのバッファ容量に関しては、大きいほど吸収できるジッタ量も多い。しかし、大きなバッファ容量は、多くのハードウェアと大きなステーション中継遅延につながるので、必要最小のバッファ容量であることが望ましい。

### 3.3 LSのバイト幅インプリメント

ここまでは、シンボル幅での考察を行ってきたが、実際のインプリメンテーションにおいては、バイト幅での動作が一般的である。上述したように、LSの動作境界は3124と3126シンボルなので、これはそれぞれ1562と1563バイトとしてみなせる。

表1 自己回復作用を含むLSのステート遷移(部分)

現在の状態	縮退状態		中央	伸張状態	
入力サイクル長 Xシンボル	A[-2]	B[-1]	C[0]	D[+1]	E[+2]
...					
3123	X+2/C	X+1/C	X+1/D	X+1/E	X/E
3124	X+2/C	X+1/C	X/C	X/D	X/E
3125	X+1/B	X+1/C	X/C	X-1/C	X-1/D
3126	X/A	X/B	X/C	X-1/C	X-2/C
3127	X/A	X-1/A	X-1/B	X-1/C	X-2/C
...					

表2 TSのステート遷移

現在の状態	縮退状態	中央	伸張状態
入力サイクル長 Xシンボル	A[-1]	B[0]	C[+1]
3123以下	X+2/C	X+1/C	X/C
3124	X+1/B	X/B	X/C
3125	X/A	X/B	X/C
3126	X/A	X-1/A	X-1/B
3127以上	X/A	X-1/A	X-2/A

X+1/C  
↑  
次の状態  
出力サイクル長(シンボル)

また、EBの量子化単位がバイトになると1つのサイクルに重畳するジッタの振幅と周期も倍になることから、バッファ容量は2倍必要となる。これについてはシミュレーションにより確認されている[5]。

### 3.4 ターゲットスムーザ(TS)の目的

LSの機能は、原則的に3124~3126シンボルの範囲外のサイクルが入力されて初めて起動される。従って、この範囲を越えないジッタは抑圧できない。

このようなジッタは、直接にSDUフィールドの侵食を引き起こすわけではないが、次のような影響を持つ。

- (1) 受信8kHzタイミングの品質を劣化させる。
- (2) 放っておくと、LSの性能を越えるような大きなジッタにつながる恐れがある。

ターゲットスムーザ(TS)の役割は、この種のジッタを抑圧して、受信8kHzタイミングの品質を高めるとともに、LS機能を補助することである。TSは、全ての入力されるサイクルを、自身のバッファ長(：TSでのデータ遅延量)を変化させることにより、出来る限り3125シンボ

ルに調整して出力する。一般に、外部参照8kHzタイミングに基づく125 $\mu$ sec長をステーションの発振器に基づく40nsシンボルクロックで割っても、ちょうど3125シンボルにはならない。従って、3.2節での述べたことと同様にTSのバッファは安定状態においては、通常最長に伸びているか最短に縮んでいるかであることが多い。

このことは逆に、TSのバッファ容量が必要以上に大きいと定常状態に至る過程において不必要な誤差分を吐き出すことによりオーバードンピングを招く危険があるということである。また、ハードウェア増大と中継遅延増にもつながる。

表2に容量2シンボルのTSのステート遷移を示す。また、表1と表2に示したスムーザの組み合わせによる、ジッタ抑圧効果の例を図5に示す。LS、TSの状態はバッファの midpoint を0とした場合の遅延量を示しており、入力サイクル長を補正した後の状態を表している。この例では、ピーク・ツー・ピークで4シンボル分のジッタが2シンボルに抑圧される場合を示している。

### 3.5 TSのバイト幅インプリメント

シンボル幅でのTSの動作は出来る限り3125シンボルにして出すというものであるが、これをバイト幅実装するのは、出力サイクル長の目標値が1562.5バイトに相当することから単純ではない。これを実現する1つの方法は、0.5バイトを出力すべき時に、上位シンボルの出力データバスと下位シンボルの出力データバスを切り替えることである。この方式(擬似シンボル制御方式)の容量2シンボルの場合のロジックとステート遷移の仕方を図6に示す。この方式は容量が増えるとかかなり制御が複雑になる。

もう1つの方法は、出力サイクル長の目標を「1562バイトと1563バイトの交番」にすることである。このために直前に切り出したサイクルの長さを記憶するJ-flagを設ける。この方式(J-flag方式)[4]における容量2バイトの場合のステート遷移を表3に示す。

### 4. 実装モデルの提示と考察

これまで述べたことから、実際のステーションモデルについて考えてみる。まず、EB、L

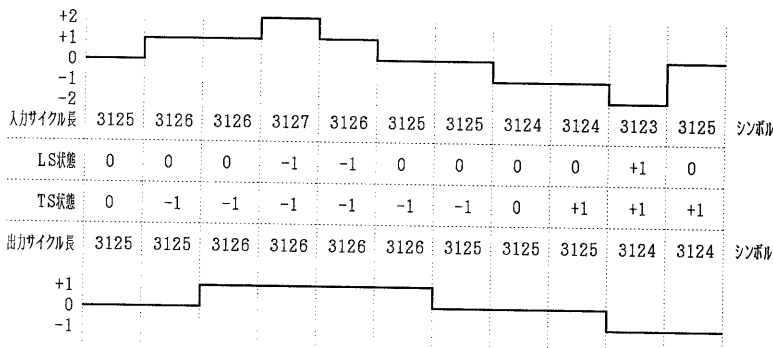
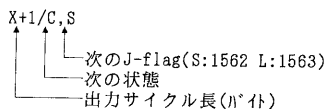


図5 スムーザによるジッタ抑圧効果の例

表3 J-flagを用いたTSのステート遷移

現在の状態	縮退状態		中央		伸張状態	
	A[-1]		B[0]		C[+1]	
入力サイクル長 X(N'バイト)	J-flag=S	J-flag=L	J-flag=S	J-flag=L	J-flag=S	J-flag=L
1560以下	X+2/C,L	X+2/C,L	X+1/C,L	X+1/C,L	X/C,L	X/C,L
1561	X+1/B,L	X+2/C,S	X+1/C,L	X+1/C,L	X/C,L	X/C,L
1562	X/A,L	X+1/B,S	X/B,L	X+1/C,S	X/C,L	X/C,L
1563	X/A,S	X/A,S	X-1/A,L	X/B,S	X-1/B,L	X/C,S
1564	X/A,S	X/A,S	X-1/A,S	X-1/A,S	X-2/A,L	X-1/B,S
1565以上	X/A,S	X/A,S	X-1/A,S	X-1/A,S	X-2/A,S	X-2/A,S



S、TSの全てがシンボル幅で構成される場合、LSの容量については、クロック精度規定が同一ベースであるFDDI-IIスムーザとの類似性によって推し量ることができる。FDDI-IIスムーザでは再分配機能を有効に機能させるため容量2シンボルを規定している。FDDI-IIスムーザでは伸張と縮退の両方向に対応するため±2シンボル即ち容量4シンボルが必要と考えられる。また、TS容量についてはその動作原理およびオーバダンプ要因を考え±1シンボル即ち容量2シンボルが適当と思われる。

次にこのシンボル型(タイプA)をリファレンスとした場合のバイト幅実装について考える。その際の考慮点としては次のような項目が挙げられる。

- (1) 同期はずれの確率が十分低いこと。つまり、2.3節で述べた品質を満たすこと。
- (2) ジッタ抑圧効果が高いこと。
- (3) TSのオーバダンプの影響が少ないこと。つまり、必要最小のバッファ容量であること。
- (4) 実装が容易なこと。

結局、候補として以下のようなタイプBからEが挙げられる。

ここで、TSの制御に関し、複合型は3.5節で述べた擬似シンボル制御方式、バイト型はJ-flag方式を用いるものとする。

ジッタ抑圧特性の観点からはタイプCやEが良さそうであり、オーバダンプについてはタイプBやDが良い。また、実装の容易さではタイプB、D、Eが良いと考えられる。総合的に判断した場合、タイプEが望ましく、また $10^{-10}$ の同期品質の保証が出来るならば、タイプBやDも採用できると考えられる。

ステーションタイプ	シンボル型	複合型			バイト型	
構成	タイプA	タイプB	タイプC	タイプD	タイプE	
EB量子化単位	シンボル	バイト				
LS容量	4シンボル	4バイト				
TS容量	2シンボル	4シンボル	1バイト	2バイト		

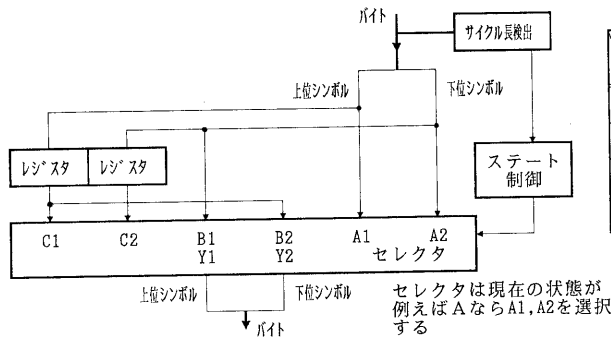


図6 バイト幅TSの実現例

## 5. おわりに

本報告では、FDDI-IIにおけるサイクル同期を維持する機構であるスムーザについて、リミットスムーザにおける自己回復作用による特性改良およびバイト幅構成に拡張するための方策について提案した。また、これらを実装する際の具体的なモデルを提示するとともにその特性を考察した。なお、シミュレーションによる詳細特性については別途報告[6]することとする。

## 謝辞

本検討にあたり、有益な御討論、御助言を頂いたSTANA-TEK社のHamstra氏および関係各位に感謝いたします。

## 参考文献

- [1] J.A.Kolling, "Result of FDDI-II Point to Point Clocking Analysis", FDDI-II Ad Hoc Working Group Meeting, 1986
- [2] "FDDI Physical Layer", Draft International Standard 9314-1, 1987
- [3] Working Draft Proposed American National Standard. "FDDI Physical Layer Protocol (PHY-2) (Maintenance Revision)", ASC X3T9.5 Rev3.1, May 25, 1990
- [4] 市橋他, "Simulation Results of FDDI-II Smoothing Mechanisms", FDDI-II Working Group Meeting, August 16, 1989
- [5] 市橋、横山, "Simulation Results of FDDI-II Smoothing Mechanisms based upon HRC rev5.1", FDDI-II Working Group Meeting, February 14, 1990
- [6] 平松他, "FDDI-IIサイクル同期方式の性能評価" 1991年9月26日 信学会研究会(IN)発表予定

## ステート遷移

現在の状態 入力サイクル長 X(バイト)	A [-0.5]	B [0]	C [+0.5]
1561バイト以下	X+1/C	X+0.5/C	X/C
1562バイト	X+0.5/B	X+0.5/C	X/C
1563バイト	X/A	X-0.5/A	X-0.5/B
1564バイト以上	X/A	X-0.5/A	X-1/A

X+1/C  
↑  
次の状態  
出力サイクル長(バイト)