

可変長染色体 GA を用いた LDPC 符号の最適化設計システムの高速化

野里裕高[†] 石田 由香里[†] 飯島 洋 祐^{††}
村川 正宏^{†††} 梶谷 勇^{†††} 高橋 栄一^{†††}
古谷 立美[†] 樋口 哲也^{†††}

近年、誤り訂正符号の中でも高い誤り訂正能力を持つ LDPC 符号が注目を集めている。しかし、最良な LDPC 符号の設計には、試行錯誤による膨大な時間がかかるという問題がある。この問題を解決する方法として、我々は可変長染色体 GA を用いた LDPC 最適化設計システムを提案した。このシステムでは、可変長染色体 GA を用いた多目的最適化の導入により、誤り訂正能力とトレードオフの関係にある、ハードウェア実装時の実装面積と動作周波数におけるパレート最適な LDPC 符号の集合を求めることが可能である。しかしながら、実用規模の問題を扱うためには、大幅な高速化が必要である。そこで本稿では、可変長染色体 GA を用いた LDPC 符号の最適化設計を高速化するシステムを提案する。本提案システムの高速度の特徴は、(1) マスタースレーブ方式による並列化、(2) スレーブの処理に FPGA を使用、の 2 点である。提案システムの有効性を検証するために、ソフトウェアによるシミュレーションを行った結果、実用規模の大きさの LDPC 符号を現実的な時間で扱える見込みを得た。

Speed Enhancement of Optimal LDPC Code Design System Using A Genetic Algorithm with Variable Length Chromosomes

HIROTAKA NOSATO,[†] YUKARI ISHIDA,[†] IJIMA YOSUKE,^{††}
MASAHIRO MURAKAWA,^{†††} ISAMU KAJITANI,^{†††} EIICHI TAKAHASHI,^{†††}
TATSUMI FURUYA[†] and TETSUYA HIGUCHI^{†††}

Recently, Low Density Parity Check (LDPC) codes have been attracting much considerable attention due to their significant potential for error correction codes. However, because it is extremely difficult to design optimal LDPC codes, we have proposed a design optimization system for LDPC codes utilizing variable length chromosomes of genetic algorithm. Nevertheless, the design of practical-scale LDPC codes requires a great deal of time. Accordingly, this paper proposes an acceleration technique using both Master-Slave model-based parallelization and hardware emulation with Field Programmable Gate Arrays (FPGAs). Simulation results demonstrate that the system will be capable of designing LDPC codes of practical sizes within reasonable time constraints.

1. 序 論

近年、誤り訂正符号の中でも高い誤り訂正能力を持つ LDPC (Low Density Parity Check) 符号が注目を集めている¹⁾。しかし、最良な LDPC 符号の設計には、試行錯誤による膨大な時間がかかるという問題がある。この問題を解決する方法として、我々は可変長染色体 GA を用いた LDPC 最適化設計システムを提案した²⁾。このシステムでは、可変長染色体 GA を用いた多目的最適化の導入により、LDPC 符号のハードウェア実装を行う際にトレードオフの関係がある複数の項目 (例えば、動作速度の向上と回路規模

の縮小、など) を同時に考慮することができる。最終的には、複数の項目におけるパレート最適な LDPC 符号の集合の中から設計者が最終解を選択することが可能である。しかしながら、実用規模の問題を扱うためには大幅な高速化が必要である。そこで本稿では、可変長染色体 GA を用いた LDPC 符号の最適化設計システム (以下、最適化設計システム) の高速化を提案する。本提案システムの高速度の特徴は、(1) マスタースレーブ方式による並列化、(2) スレーブの処理に FPGA (Field Programmable Gate Array) を使用、の 2 点である。この特徴により、最適化設計システムでボトルネックになっていた GA の評価値計算を高速で行うことが可能になる。提案システムの有効性を検証するため、ソフトウェアによるシミュレーションを行った結果、実用規模の LDPC 符号を現実的な時間で扱える見込みを得た。

以下、2 章では最適化設計システムについて説明し、3 章では、本稿で提案する最適化設計システム

[†] 東邦大学 理学部

Faculty of Science, Toho University

^{††} 筑波大学大学院 システム情報工学研究科

Graduate School of Systems and Information Engineering,
University of Tsukuba

^{†††} 産業技術総合研究所 情報技術研究部門

ITRI, National Institute of Advanced Industrial Science and
Technology (AIST)

の高速化について述べる。4章では、提案システムの有効性の検証を行い、最後に5章で、結論について述べる。

2. 最適化設計システム

本章では、我々が提案した最適化設計システムについて説明する。2.1でLDPC符号、2.2で最適化設計システムの概要、2.3で最適化設計システムの特徴についてそれぞれ述べる。

2.1 LDPC符号

LDPC符号の特徴について以下に述べる。LDPC符号は‘0’と‘1’で表現され、‘1’の数が非常に少ない疎な検査行列によって定義される。そして、LDPC符号を用いて誤り訂正を行う対象の符号長が長い場合には、シャノン限界と呼ばれる通信路における最大の通信容量に近い値まで誤り訂正が可能であると知られている³⁾。

しかしながら、LDPC符号における検査行列の構成方法には、系統的な方法が知られていない。加えて、LDPC符号のハードウェア実装を考えた場合、LDPC符号の設計はさらに困難になる。これは、ハードウェア実装においてトレードオフの関係にある評価項目(例えば、動作速度の向上と回路規模の縮小、など)を同時に満たすLDPC符号の設計が困難だからである。

この問題を解決するために、我々は、最適化設計システムを提案した。この最適化設計システムにより、高性能なLDPC符号を高速で探索することが可能である。

2.2 最適化設計システムの概要

最適化設計システムの概要を図1に示す。図1に

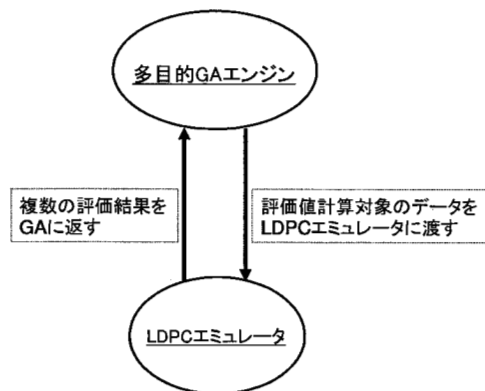


図1 最適化設計システムの概要

において、多目的GAエンジンでは、多目的最適化GAを用いて、最適なLDPC符号を設計する。LDPCエミュレータでは、GAの評価値となる通信路における誤り訂正率を算出して、評価した結果を多目的GA

エンジンに返す。

2.3 最適化設計システムの特徴

最適化設計システムの特徴を以下に述べる。

● 多目的最適化

LDPC符号のハードウェア実装において問題点であった、トレードオフの関係にある評価項目に対して多目的最適化⁴⁾を適用した。これにより、設計対象に応じて最適なLDPC符号を選択することが可能になった。

● 可変長染色体GA

多目的最適化手法に可変長染色体GAを導入した。LDPC符号の特徴である、疎な検査行列に着目して、検査行列の‘1’の場所のみを処理の対象にした。これにより、探索の高速化を実現した。

3. 最適化設計システムの高速化

本稿で提案する、最適化設計システムの高速化について説明する。

3.1 最適化処理時間の内訳

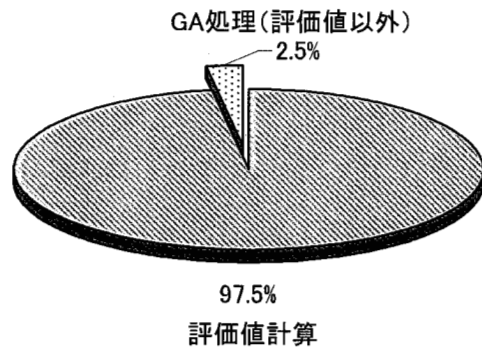


図2 処理時間の内訳

まず、最適化設計システムにおいて、1CPUで実行時の全体の処理時間の内訳を検証した結果を図2示す。図2に示すように、GAにおける評価値計算の部分が最も処理の割合が大きく、処理全体のボトルネックになっていることがわかる。そこで、この評価計算の部分に対して並列処理を行い、さらに、処理計算にハードウェアであるFPGAを使用することを提案する。これにより、並列化に加えてハードウェアでの高速な処理を行うことで、ボトルネックである評価値計算の時間を大幅に短縮することが可能である。

3.2 高速化システムの提案

システムの概要を図3に示す。提案システムの特徴は、(1)高速化システムの並列化方式として、マスタースレーブ方式⁵⁾を使用、(2)スレーブでの処理計算に、FPGAを使用、の2つである。具体的な実装を以下に挙げる。

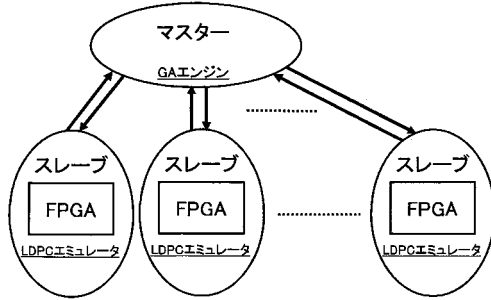


図3 高速化システムの概要

- GA の選択, 交叉, 突然変異, 淘汰の処理はマスターが行う。
- マスターは評価値計算の部分のみを複数のスレーブに渡す。
- スレーブは各々の FPGA 上で評価値計算処理を行い, 結果をマスターに返す。
- マスターはスレーブから返された計算結果を集めて, 次の GA の処理を行う。

このシステムを用いることで, 最適化設計システムでの高速処理を実現する。なお, FPGA を用いた LDPC 符号の性能評価の高速化については, 参考文献 6) を参照されたい。

4. 検証実験

本章では, 有効性検証のために行った実験について述べる。4.1 で実験条件, 4.2 で検証方法, 4.3 で検証結果, 4.4 で考察についてそれぞれ述べる。

4.1 実験条件

今回提案する高速化システムの有効性を検証するために, ソフトウェアを用いたシミュレーションを行った。シミュレーション実験に用いた並列計算機の性能を表 1 にまとめた。LDPC 検査行列のサイズは 80 行 160 列であり, SNR(信号対雑音比)は 0.5dB である。GA の諸条件は, 最適化設計システムにおいて参考文献 2) で設定した条件と同じである。

	Xeon プロセッサ 3.4GHz
CPU	Xeon プロセッサ 3.4GHz
Memory	4GB
OS	SUSE LINUX Enterprise Server 9
Compiler	gcc 3.3.3
通信ライブラリ	OpenMPI 1.2.5
プロセッサ数	16

4.2 実験方法

実験では, 並列化を行わない場合と, 並列化を行った場合のシミュレーションを行った。並列化を行った場合では, シミュレーションを行う際に設定するスレーブ数を変えて, それぞれ実験を行った。得られた結果から, 並列化を行わない場合と比べた時の高速化率を求めた。なお, この実験で設定したスレー

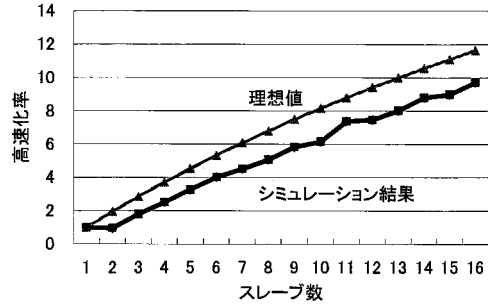


図4 高速化率とスレーブ数の関係

ブ数を N とすると, 高速化率の理想値 I は図 2 の結果を用いて次式にて与えられる。

$$I = \frac{1}{0.025 + \frac{1-0.025}{N}} \quad (1)$$

4.3 実験結果

実験の結果を図 4 に示す。図 4 は, スレーブ数が 1 の場合の探索時間に対する, それぞれの処理の高速化率と理想値のグラフである。図 4 に示すように, 高速化率はほぼ線形に向上していることがわかる。各計測点において, 高速化率が理想値より小さい原因としては, スレーブにおける計算時間が一定でないため, マスターの処理において待ち時間が発生している可能性が考えられる。この問題は, 非同期型のマスタースレーブ方式を実現することで解決できる。

4.4 考察

シミュレーション結果より, 並列化による高速処理が可能であることが示された。さらなる高速化については, 評価値計算以外の遺伝的操作の一部でもスレーブで処理を行うことができれば, より並列化の効率を高められる。

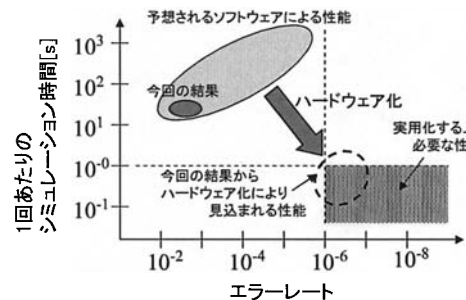


図5 ソフトウェアとハードウェアの性能

図 5 は, 今回の実験結果から推測したソフトウェアによる性能と, 概算によって求めた FPGA を用いたハードウェア化による性能の図である。LDPC 符

号を実用化するためには、最低でもエラーレートが 10^{-6} 以下である必要がある。エラーレートの向上とシミュレーション時間の短縮はトレードオフの関係にあるため、今回の実験結果からソフトウェアによる性能を推測すると、図 5 左上の領域に示す通りになる。しかし、現実的な時間で処理を終わらせるためには、シミュレーション 1 回あたりの時間を 1 秒以下で処理を行う必要があるため、最適化を行う上で必要な性能を満たすことは不可能であるとわかる。

ハードウェア化による性能において、とり得る範囲を概算した結果を図 5 右下に示した。ハードウェア化による高速化で、1 回あたりのシミュレーション時間とエラーレートの 2 つの項目における実用化レベルを同時に満たし、実用化サイズの問題が現実的な時間で設計できる見込みを得た。

5. 結 論

本論文では、可変長染色体 GA を用いた LDPC 符号の最適化設計システムの高速度システムを提案した。その特徴は、マスタースレーブ方式による並列化とスレーブの処理に FPGA を使用したことである。この特徴により、システムの高速度化が実現でき、ソフトウェアシミュレーションにより、その有効性を確認した。提案システムは、遺伝的操作をスレーブで処理し、非同同期型のマスタースレーブ方式を実現することで、さらなる高速化を行う事が可能である。また、実用的な大規模の検査行列に対応するためには、ハードウェアを用いた高速化が必要不可欠であるとともに、探索の高効率化も必須であることがわかった。現在、提案した高速化システムのハードウェア実装を開始したところである。

参 考 文 献

- 1) 和田山正. 低密度パリティ検査符号とその復号法. トリケップス, 2002.
- 2) 石田由香里, 野里裕高, 飯島洋祐, 村川正宏, 梶谷勇, 高橋栄一, 古谷立美, 樋口哲也. 可変長染色体 GA を用いた LDPC 符号の最適化設計システムの提案. 情報処理学会研究報告, MPS-68, 2008. (出版予定).
- 3) Shu Lin, Daniel J. Costello. *Error Control Coding Second Edition*. PEARSON Prentice Hall, 2004.
- 4) Carlos A. Coello Coello. A comprehensive survey of evolutionary-based multiobjective optimization techniques. *Knowledge and Information Systems*, Vol. 1, No. 3, pp. 269–308, 1999.
- 5) P. パチェコ. MPI 並列化プログラミング. 培風館, 2001.
- 6) 石田由香里, 野里裕高, 飯島洋祐, 高橋栄一, 古谷立美, 樋口哲也. FPGA を用いた LDPC 最適化設計システムの提案. 信学技報, Vol. 107, No. 342, pp. 25–30, 2007.