

サイズが $8n \log_2 n$ で深さが $O(\log n)$ のセレクション・ネットワーク

Selection Networks with $8n \log_2 n$ Size and $O(\log n)$ Depth

神保 秀司 丸岡 章

Shuji JIMBO and Akira MARUOKA

東北大学 工学部

Faculty of Engineering, Tohoku University

あらまし n 個の要素の中の小さい方から $n/2$ 番目までの要素を選び出すコンパレータ・ネットワークの効率的な構成方法を示す。コンパレータ・ネットワークとは、2つの要素を大きさの順に並べ換える比較素子から構成される回路である。これまでに、 $O(n \log n)$ サイズで $O(\log n)$ 深さのコンパレータ・ネットワークが既に得られている。この結果は、ソーティング・ネットワークはコンパレータ・ネットワークでもあるので、[AKS83b][AKS83a] の $O(n \log n)$ サイズで $O(\log n)$ 深さのソーティング・ネットワークより直ちに得られる。この論文では、 $8n \log_2 n$ サイズで $O(\log n)$ 深さのコンパレータ・ネットワークを構成する。このネットワークは、[AKS83b][AKS83a] の構成と比較して構成がより単純でかつサイズの係数が大幅に改良されたものである ([AKS83b][AKS83a] の構成を改良した回路 [Pat] でも係数が 1000 は下らないことが知られている)。

Abstract Selection networks, consisting of comparators, that select $n/2$ smallest elements from n inputs are investigated, and such networks with $8n \log_2 n$ size and $O(\log n)$ depth are constructed. This result improves [AKS83b][AKS83a] in constant factor of size and in simplicity of construction, and [Pip90] in order of depth, in which selection networks with $2n \log_2 n$ size and $O((\log n)^2)$ depth are constructed.

1 まえがき

コンパレータ・ネットワークとは2つの要素を大きさの順に並び換える2入力2出力の比較素子からなるネットワークである。 (n, k) セレクタとは、 n 入力 n 出力のコンパレータ・ネットワークで、順序のついた n 個の要素が入力されたとき、そのうちの小さい方から k 個 ($1 \leq k \leq n$) を予め指定された出力端子に出力するようなネットワークである。また、ソーティング・ネットワークとは n 入力 n 出力のコンパレータ・ネットワークで、順序のついた n 個の要素が入力されたとき、大きさの順に出力するようなものである。これまでに、拡張グラフを用いた構成により、 $O(n \log n)$ サイズで $O(\log n)$ 深さのソーティング・ネットワークが与えられている

[AKS83b][AKS83a]. ソーティング・ネットワークは明らかに、任意の k に対して、 (n, k) セレクタでもあるので、[AKS83b][AKS83a] の結果は直ちに $O(n \log n)$ サイズで $O(\log n)$ 深さの (n, k) セレクタを与えることになる。一方、 $k = n/2$ とすると、セレクタのサイズの下界として、 $n \log(n/2) - (n/2)$ が導かれるので、この場合上に述べた、サイズと深さはオーダーに関して最適のものと言える。しかし、[AKS83b][AKS83a] のコンパレータ・ネットワークに関しては、サイズを与える係数が非常に大きいことやその構成が複雑なことなどの問題点が指摘される。実際、[AKS83b][AKS83a] の構成を改良したコンパレータ・ネットワークでも、サイズの係数は 1000 を下らないことが報告されている

[Pat]. そのため、文献 [Pip90] では、これらの問題を改良すべくネットワークを再構成し、 $2n \log_2 n$ サイズで $O((\log n)^2)$ 深さの $(n, n/2)$ セレクタを与えている。本論文も、この立場で検討を加えたもので、 $8n \log_2 n$ サイズで $O(\log n)$ 深さの $(n, n/2)$ セレクタの比較的単純な構成法を与える。

2で記号や定義などを説明し、3ではコンパレータ・ネットワークに関する一般的な性質を与える。これらの準備の下に、4では拡張グラフについて説明し、5ではこの拡張グラフを用いた $(n, n/2)$ セレクタを実際に構成するとともに、その正当性の証明とサイズや深さの評価を与える。

2 定義と表記法

$(n, n/2)$ セレクタの構成に必要な基本的な概念の定義と表記法について説明する。

表記法 1 (写像の直積) 写像 (関数) $f: A \rightarrow B$ に対して、

$$\begin{aligned} x \in A^n &= (x_1, x_2, \dots, x_n) \\ \mapsto y \in B^n &= (f(x_1), f(x_2), \dots, f(x_n)) \end{aligned}$$

で定義される A^n から B^n への写像を写像 f の n 個の直積と呼び、 f^{x^n} と表す。□

定義 1 (コンパレータ・ネットワーク) コンパレータ・ネットワークとは、次の5つの性質を持つ有向グラフ $G = (V, E)$ のことである。

1. G は閉路を持たない。
2. G の点の入次数が 0 ならば出次数は 1 であり、このような点は入力端子と呼ばれる。その個数を n とすると、全ての入力端子には異なる 1 から n までの番号が付けられている。
3. G の点の出次数が 0 ならば入次数は 1 であり、このような点は出力端子と呼ばれる。出力端子の個数は入力端子の個数と同じ n であり、入力端子と同様に 1 から n までの番号が付けられている。 n 個の入力端子と n 個の出力端子を持つコンパレータ・ネットワークを n 入力 (n 出力) のコンパレータ・ネットワークと呼ぶ。

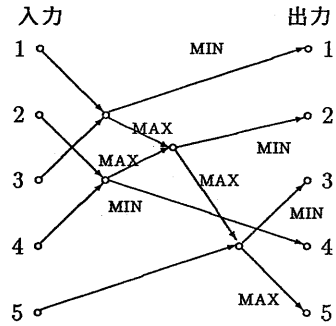


図 1: コンパレータ・ネットワークの例

4. G の入出力端子以外の点の入次数と出次数はどちらも 2 であり、その点から出ている 2 本の枝 (edge) の一方には MIN, もう一方には MAX のラベルが付けられている。このような点は比較器と呼ばれる。
5. 任意の $i \in \{1, 2, \dots, n\}$ に対して、入力端子 i から出力端子 i への道が指定されていて、これらの n 本の道の内のどの 2 本も同じ枝を共有しない。これらの n 本の道をそれぞれレジスタと呼び、入力端子 i から出力端子 i へのレジスタをレジスタ i と呼ぶ。

□

この定義から、コンパレータ・ネットワーク G の任意の枝はどれかのレジスタに含まれ、さらに、 G の任意の比較器はある 2 本のレジスタの交点となっていることが容易に確かめられる。5 入力のコパレータ・ネットワークの例を図 1 に示す。

定義 2 (コンパレータ・ネットワークの出力) n 入力 n 出力のコパレータ・ネットワーク G の全ての入力端子に全順序集合 S の要素 (ここではデータと呼ぶ) を入力した場合、 G の各出力端子に現われる S の要素を以下のように対応させることができる。

1. 入力端子 i に与えられたデータは、入力端子 i から出る枝に送られる。
2. 各比較器は、そこに入る 2 本の枝にデータが送られるのを待っている。それらの 2 本の

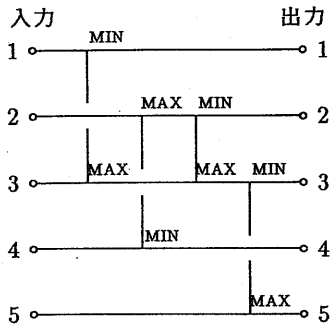


図 2: あみだくじ状表現

枝の両方にデータが送られて来ると比較器は以下の動作を実行する。送られてきた 2 つのデータを x, y として、比較器から出る 2 本の枝の内、MIN のラベルが付いた枝には、 $\min\{x, y\}$ を送り出し、MAX のラベルが付いた枝には、 $\max\{x, y\}$ を送り出す。つまり、比較器を通る 2 本のレジスタの上の 2 つのデータを、それらの大小関係が予め定められたものになるように、比較器の位置で入れ換える。

- 出力端子 i に入る枝にデータ a が送られて来たら、出力端子 i に現われるデータは a である。

この対応付けに従って、コンパレータ・ネットワーク G の入力端子に与える S の要素の並び $x = (x_1, x_2, \dots, x_n) \in S^n$ に対して、出力端子に現われる S の要素の並び $y = (y_1, y_2, \dots, y_n) \in S^n$ を対応させる関数を定義できる。この関数を

$$\Pi_G^S : S^n \longrightarrow S^n$$

と表すことにする。□

この定義から、図 1 のコンパレータ・ネットワークは図 2 のように、あみだくじ状に表現することができる。

コンパレータ・ネットワークの複雑さの尺度としてそのサイズと深さを以下のように定義する。

定義 3 (コンパレータ・ネットワークのサイズと深さ) コンパレータ・ネットワーク G のサイズとは G に含まれる比較器の個数であり、 $\text{size}(G)$ と

表す。コンパレータ・ネットワーク G の深さとは G の入力端子から出力端子に至る道上的比較器の個数の最大値であり、 $\text{depth}(G)$ と表す。□

k, n を $0 \leq k \leq n$ を満足する整数とする。 n 個の全順序集合の要素の中の小さい方から k 番目までの要素を選び出すコンパレータ・ネットワークをセレクトと呼び、以下のように定義する。

定義 4 (セレクト) n 入力のコンパレータ・ネットワークに対して、 k 個の出力端子が指定されていて、入力端子に全順序集合の要素がどのように与えられても、その中の小さい方から k 番目までの要素が指定された k 個の出力端子に出力されるならば、そのコンパレータ・ネットワークを (n, k) セレクトと呼ぶ。□

同様に、ソーティングを実行するコンパレータ・ネットワークとしてソーティング・ネットワークが定義される。すなわち、 n 入力のソーティング・ネットワークとは、任意の整数 $i \in \{1, 2, \dots, n\}$ に対して、 i 番目の出力端子に、入力端子に与えられた n 個の要素中の i 番目に小さな要素が出力されるようなコンパレータ・ネットワークのことである。 n 入力のソーティング・ネットワークは任意の $k \in \{1, 2, \dots, n\}$ に対して (n, k) セレクトとなっていることに注意されたい。

あるコンパレータ・ネットワークが (n, k) セレクトならば、 n 個の出力端子の内、指定されなかった $n-k$ 個には大きい方から $n-k$ 個の要素が出力される。さらに、あるコンパレータ・ネットワークが (n, k) セレクトならば、各比較器の MIN ラベルと MAX ラベルを入れ換えることにより、指定された k 個の出力端子に大きい方から k 個の要素が出力されるコンパレータ・ネットワークを得ることができる。以上から、 (n, k) セレクトを構成することと $(n, n-k)$ セレクトを構成することは同値であることがわかる。従って、 $k \leq \lfloor n/2 \rfloor$ の場合だけを考えれば十分である。

本論文では、セレクトの構成に拡張グラフ (expander) と呼ばれる二部グラフを利用する。拡張グラフを以下のように定義する。

定義 5 (拡張グラフ) n 個の左点と m 個の右点を持つ二部グラフが、“左点の内の k 個 (ただし $k \leq \alpha n$) が、少なくとも βk の右点と枝でつながっ

ている”という条件を満足するならば (α, β) 拡張グラフと呼ぶ。□

以下で用いられる拡張グラフは正整数の定数 p と q が存在して、右点の次数が p 以下、かつ、左点の次数が q 以下となっているものである。従ってサイズは、点数 n, m に対して np 以下かつ mq 以下、すなわち線形サイズこのような拡張グラフの存在証明は、Pinsker[Pin73]により初めて報告され、その後各種の改良が為されている(文献[Bas81])。また線形サイズの拡張グラフの明示的構成方法、つまり単純かつ容易な構成手続きが明示できるような構成方法は、Margulis[Mar73]により初めて実現され、やはりその後各種の改良が為されている。

3 コンパレータ・ネットワークの一般的性質

以下3では、コンパレータ・ネットワーク一般に関する基本的な性質を説明する。

次の補題1と補題2は、コンパレータ・ネットワーク G のサイズに関する帰納法によって証明することができる。

補題1 S を任意の全順序集合とし、 $f: S \rightarrow \{0, 1\}$ を、任意の $i, j \in S$ に対して、 $i \leq j$ ならば $f(i) \leq f(j)$ を満足する写像とする。 G を任意のコンパレータ・ネットワークとする。この条件の下で、任意の $x \in S^n$ に対して

$$\Pi_G^{[0,1]}(f^{x^n}(x)) = f^{x^n}(\Pi_G^S(x))$$

が成立する。

補題2 (単調性) コンパレータ・ネットワーク X が入力 $P = (p_1, p_2, \dots, p_n)$ に対して $Q = (q_1, q_2, \dots, q_n)$ を出力し、さらに入力 $U = (u_1, u_2, \dots, u_n)$ に対して $V = (v_1, v_2, \dots, v_n)$ を出力したと仮定する。この条件の下で、

$$u_1 \geq p_1, u_2 \geq p_2, \dots, u_n \geq p_n$$

ならば

$$v_1 \geq q_1, v_2 \geq q_2, \dots, v_n \geq q_n$$

が成立する。

次の命題3は、これから構成しようとするセレクタの入力として同数の0と1からなるもの

を対象にしてよいことを保障する。命題3は補題1,2を用いて証明できる。証明は省略する。

命題3 n 入力のコパレータ・ネットワーク G が次の条件を満たすならば、 (n, k) セレクタである。

条件: n 個の出力端子のうち k 個が指定されていて、 k 個の0と $(n-k)$ 個の1をどのように入力しても指定された k 個の出力端子の全てに0が現われる。従って、残りの $n-k$ 個の出力端子の全てに1が現われる。

4 拡張グラフの利用

以下で述べる $(n, n/2)$ セレクタのは、拡張グラフを用いた、単純な構造のコンパレータ・ネットワーク(以下基本ブロックという)をある規則にしたがって接続して構成される。以下では、これらの基本ブロックの構造と性質(機能)について説明する。

以下の命題は文献[AKS83b][AKS83a]などで利用されよく知られたものであるので証明を省略する。

命題4 G を左点の個数が n 、右点の個数が m の (α, β) 拡張グラフとする。 $n+m$ 入力のコパレータ・ネットワーク N は次の条件を満たすとする。

1. 2つのレジスタ i, j の間に比較器が存在し、 $i < j$ とすると、

$$i \in \{1, \dots, n\}, j \in \{n+1, \dots, n+m\}$$

このとき、 i には MIN の、 j には MAX のラベルが付けられている。

2. G が i 番目の左点と j 番目の右点を端点とする枝を持つならば、レジスタ i とレジスタ $n+j$ を入出力とする比較器が存在する。

N に0と1だけを入力する場合を考える。入力端子中に現われる1の個数を d とし、出力端子 $1, \dots, n$ の中で1が現われるものの集合を X 、出

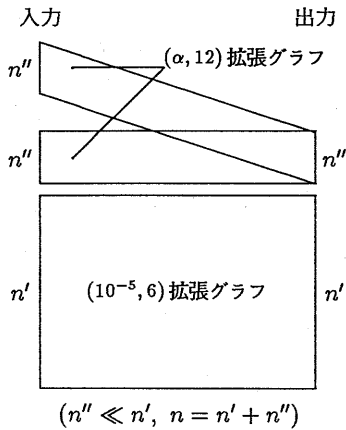


図 3: 拡張グラフの変形

力 $n+1, \dots, n+m$ の中で 1 が現われるものの集合を Y とする。このとき、

$$d \leq \alpha(1 + \beta)n \text{ ならば } |Y| \geq \beta|X|$$

が成り立つ。 $|X|, |Y|$ はどちらも集合のサイズを表わす。

命題 5 G を (α, β) 拡張グラフとする。 G の最大次数が k ならば、命題 4 の条件を満足するコンパレータ・ネットワークで深さが k のものが存在する。

(証明) 二部グラフ G が k 色で枝彩色可能なことから証明できる。 □

次の補題は、Bassalygo[Bas81] の結果から導かれる。

補題 6 (Bassalygo) 整数 $n_0 > 0$ が存在して、任意の整数 $n > n_0$ に対して n 個の右点と左点を持ち各点の次数が 8 以下の $(10^{-5}, 6)$ 拡張グラフが存在する。

次の補題は、同様に $(\alpha, 12)$ 拡張グラフを構成し、それと、補題 6 の $(10^{-5}, 6)$ 拡張グラフを、図 3 のように組み合わせて新たな二部グラフを構成することを考えれば証明できる。

補題 7 任意の $\epsilon > 0$ に対して、 $0 < \eta < 1, \alpha_0 > 0$, 整数 $n_1 > 0, k_0 > 0$ が存在して、任意の整数 $n > n_1$ に対して以下の条件を持つ $(\alpha_0, 6)$ 拡張グラフが存在する。

1. 左点の個数は n 個、右点の個数は $\eta n - 4$ 以下。
2. 各点の次数は k_0 以下。
3. サイズは $8(1 + \epsilon)n$ 以下。

命題 4, 5, 補題 7 から、以下の補題が成立する。

補題 8 任意の $\epsilon > 0$ に対して、 $0 < \eta < 1, \alpha_0 > 0$, 整数 $n_1 > 0, k_0 > 0$ が存在して、任意の整数 n, m ($n \geq n_1, \eta n - 4 \leq m \leq n$) に対して以下の条件を満足するコンパレータ・ネットワークが存在する。

1. 入力端子の個数は $n + m$ 。
2. $7\alpha_0 n$ 以下の個数の 1 を含む 0 と 1 だけからなる入力を与えたとき、出力端子 $1, 2, \dots, n$ に現われる 1 の個数を c_0 , それ以外の出力端子に現われる 1 の個数を c_1 とすると、 $c_1 \geq 6c_0$ 。
3. 深さは k_0 以下。
4. サイズは $8(1 + \epsilon)n$ 以下。

補題 8 で存在の保障された $n + m$ 入力のコンパレータ・ネットワークを 1 型の (n, m) コンプレッサと呼び、 $COM1(n, m)$ と略記する。 $COM1(n, m)$ のレジスタ $1, \dots, n$ を上レジスタ、 $n + 1, \dots, n + m$ を下レジスタと呼ぶ。 $COM1(n, m)$ のレジスタを $1 \leftrightarrow n + m, 2 \leftrightarrow n + m - 1, \dots$ のように入れ換え各比較器を通るレジスタの大きい方に MAX のラベルを付けると、補題 8 の条件の“ 1 の個数”を“ 0 の個数”に、“ $1, 2, \dots, n$ ”を“ $m + 1, m + 2, \dots, n + m$ ”に置き換えた条件を満足する。これを 0 型の (m, n) コンプレッサと呼び、 $COM0(m, n)$ と略記する。 $COM0(m, n)$ のレジスタ $1, \dots, m$ を上レジスタ、 $m + 1, \dots, n + m$ を下レジスタと呼ぶ。

$(n, n/2)$ セレクタを構成する際にコンプレッサを部品として利用する場合には、以下の補題 9 が有用である。

補題 9 X は $\{1, 2, \dots, n\}$ を入力および出力とするコンプレータ・ネットワークであり, Y を含むいくつかのコンプレータ・ネットワークを並列に接続して得られるコンプレータ・ネットワークとする. Y の入力および出力は $\{i, i+1, \dots, j-1, j, \dots, k-1\}$ とする.

定数 α, c ($0 < \alpha, 0 < c < 1$) が存在して, Y の入力中の 1 の個数 a が α 以下ならば Y の出力 $\{i, i+1, \dots, j-1\}$ 中の 1 の個数は $c \cdot a$ 以下であるという性質を Y が持っているならば, 次の 3 つの条件,

1. $\{1, 2, \dots, i-1\}$ 中の 1 の個数は $u > 0$ 以下,
2. $\{1, 2, \dots, k-1\}$ 中の 1 の個数は $v \geq u$ 以下,
3. $\lfloor v \rfloor - \lfloor u \rfloor \leq \alpha$

を満足する 0 と 1 の並びを X に入力した場合, X の出力 $\{1, 2, \dots, j-1\}$ 中の 1 の個数は高々 $u + c(v-u)$ である.

(証明) Y の入力 $\{i, i+1, \dots, k-1\}$ 中の 1 の個数を w とする. $w \geq \lfloor v \rfloor - \lfloor u \rfloor$ と $w < \lfloor v \rfloor - \lfloor u \rfloor$ の 2 つの場合に分けて証明を進める. 以下では, $\Delta u = u - \lfloor u \rfloor, \Delta v = v - \lfloor v \rfloor$ とする.

(1) $w \geq \lfloor v \rfloor - \lfloor u \rfloor$ の場合.

X への入力パターンの条件から X の入力 $\{1, 2, \dots, i-1\}$ 中の 1 の個数は $\lfloor v \rfloor - w$ 以下である. また, Y の性質とコンプレータ・ネットワークの単調性 (補題 2) から, Y の出力 $\{i, i+1, \dots, j-1\}$ 中の 1 の個数は $c(\lfloor v \rfloor - \lfloor u \rfloor) + (w - (\lfloor v \rfloor - \lfloor u \rfloor))$ 以下である. 従って, X の出力 $\{1, 2, \dots, j-1\}$ 中の 1 の個数は,

$$\begin{aligned} & (\lfloor v \rfloor - w) + c(\lfloor v \rfloor - \lfloor u \rfloor) + (w - (\lfloor v \rfloor - \lfloor u \rfloor)) \\ & = u + c(v-u) - ((1-c)\Delta u + c\Delta v) \end{aligned}$$

以下である.

(2) $w < \lfloor v \rfloor - \lfloor u \rfloor$ の場合.

X への入力パターンの条件から, $\{1, 2, \dots, i-1\}$ 中の 1 の個数は $\lfloor u \rfloor$ 以下である. また, Y の性質より Y の出力 $\{i, i+1, \dots, j-1\}$ 中の 1 の個数は

$$c \cdot w < c(\lfloor v \rfloor - \lfloor u \rfloor)$$

以下である. 従って, X の出力 $\{1, 2, \dots, j-1\}$ 中の 1 の個数は, $u + c(v-u)$ 以下である.

$$\lfloor u \rfloor + c(\lfloor v \rfloor - \lfloor u \rfloor) = u + c(v-u) - ((1-c)\Delta u + c\Delta v)$$

以下である.

一方, $0 < c < 1$ より,

$$(1-c)\Delta u + c\Delta v \geq 0$$

であるので, どちらの場合にも補題は成立する. \square

次の補題は, $(n, n/2)$ セレクタの構成のために利用される, コンプレッサ以外のコンプレータ・ネットワークについて述べている.

補題 10 任意の η, μ ($0 < \eta < 1, 0 < \mu < 1$) に対して, 定数 $n_2 > 0, k_1 > 0, \lambda > 0$ が存在して, 任意の整数 $n \geq n_2$ と $|\eta(n+2m) - n| \leq 5$ を満たす任意の整数 m に対して以下の条件を持つコンプレータ・ネットワークが存在する.

1. 入力端子の個数は $n + 2m$,
2. d_1 個の 1 と d_0 個の 0 を入力して, c_1 個の 1 が出力端子, $1, 2, \dots, m$ に, c_0 個の 0 が出力端子, $n+m+1, n+m+2, \dots, n+2m$ に現われたとする. $d_1 + d_0 = n + 2m$ である. このとき,

$$\begin{aligned} d_1 & \leq (3/4)n \text{ ならば } c_1 \leq \mu m \\ d_0 & \leq (3/4)n \text{ ならば } c_0 \leq \mu m \end{aligned}$$
3. 深さは k_1 以下.
4. サイズは $\lambda(n + 2m)$ 以下.

補題 10 の η を補題 8 の η と同じに取ったときのコンプレータ・ネットワークを (n, m) エクストラクタと呼び, $EXT(n, m)$ と略記する. レジスタ $1, \dots, m$ を上レジスタ, レジスタ $m+1, \dots, n+m$ を中レジスタ, レジスタ $m+n+1, \dots, n+2m$ を下レジスタ, と呼ぶ. μ の値は 5 で定める. (n, m) エクストラクタは, 十分大きな β を持つ (α, β) 拡張グラフに対応する $(m, n+m)$ コンプレッサと $(n+m, m)$ コンプレッサを直列に接続したもので実現できる. 詳しい証明は省略する.

5 $(n, n/2)$ セレクタの構成

本論文では，“層”と呼ばれるコンパレータ・ネットワークあるいはその一部分を削除してできるものを $O(\log n)$ 個直列に接続して $(n, n/2)$ セレクタを構成する。各層の構造は正整数 j により以下のように決定される。 j により決定される層を $L(j)$ と表す。 j を層 $L(j)$ の階数と呼ぶ。

x_i, y_i を $x_i = \lceil (n/2)(1-\eta^i) \rceil, y_i = (n+1) - x_i$ と定義する。エクストラクタ $EXT(y_j - x_j - 1, x_j - x_{j-1})$ を通るレジスタが $\{x_{j-1} + 1, \dots, y_{j-1} - 1\}$ のとき、そのエクストラクタを $E(j)$ と表す。 $E(1)$ は単一のエクストラクタだけからなることに注意されたい。コンプレッサ $COM1(x_{j-1} - x_{j-2}, x_j - x_{j-1})$ を通るレジスタが $\{x_{j-2} + 1, \dots, x_j\}$ のとき、そのコンプレッサを $C1(j)$ と表す。コンプレッサ $COM0(y_{j-1} - y_j, y_{j-2} - y_{j-1})$ を通るレジスタが $\{y_j, \dots, y_{j-2} - 1\}$ のとき、そのコンプレッサを $C0(j)$ と表す。

補題 10 の μ を $\alpha_0/100$ 以下に取る。

j_{max} を $E(j), C1(j), C0(j)$ のいずれかの入力端子数が補題 8 あるいは 10 の条件を満たさないような最小の j とする。層 $L(j)$ ($j = 1, \dots, j_{max}$) を次のように構成する。

1. $j_{max} = 1$ ならば $L(1)$ はソーティング・ネットワークとする。
2. $j < j_{max}$ の場合。
 - (a) $E(j)$ の上レジスタの出力を $C1(j)$ の下レジスタの入力に接続し、下レジスタの出力を $C0(j)$ の上レジスタの入力に接続する。
 - (b) $C1(i)$ の上レジスタの出力を $C1(i-1)$ の下レジスタの入力に接続する、という方法で $C1(j-1), \dots, C1(2)$ を接続する。
 - (c) $C0(i)$ の下レジスタの出力を $C0(i-1)$ の上レジスタの入力に接続する、という方法で $C0(j-1), \dots, C0(2)$ を接続する。
3. $L(j_{max})$ は $L(j_{max} - 1)$ の $E(j_{max} - 1)$ を同じ入力端子数のソーティング・ネットワークで置き換えたものとする。

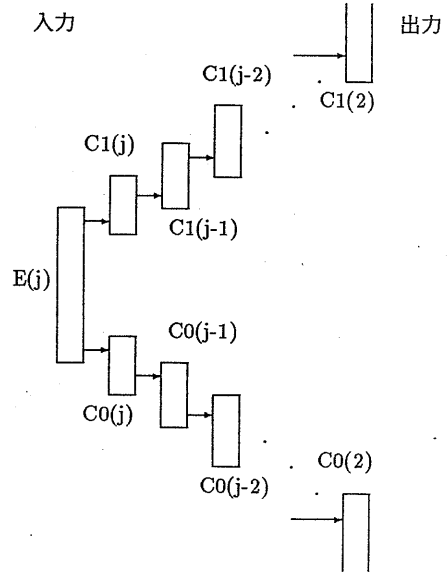


図 4: 層 $L(j)$ の構造

層 $L(j)$ の構造を図示すると図 4 のようになる。 $(n, n/2)$ セレクタは次の手続きにより作られる。

[手続き 1]

1. 手続きの準備。

- (a) レジスタの集合 $\{x_{i-1} + 1, \dots, x_i\}$ を X_i と、 $\{y_i, y_i + 1, \dots, y_{i-1} - 1\}$ を Y_i と表す。
- (b) N はこの手続き終了後 $(n, n/2)$ セレクタとなる変数である。
- (c) この手続きによって逐次 N の一番後ろに層が接続される。変数 j はその層の階数を表わす。
- (d) N のレジスタの集まり X_1, \dots, X_j にそれぞれ正数 l_1, \dots, l_j が割り当てられる。

2. 手続き開始。

$N \leftarrow L(1), j \leftarrow 1, l_1 \leftarrow 3\mu|X_1|$
(記号 \leftarrow は代入を表わす)

3. $j_{max} = 1$ ならばこの手続きを終了する。

4. N の次に $L(j)$ あるいは $L(j+1)$ を直列に接続したものを新たな N とする。具体的には以下のようにする。

(a) $l_j < 7\mu|X_j|$ ならば $L(j+1)$ を接続する.

$$l_i \leftarrow (24/49)l_i \quad (i = 1, \dots, j),$$

$$l_{j+1} \leftarrow (7/2)l_j,$$

$$j \leftarrow j+1$$

(b) $j = j_{max}$ あるいは $l_j \geq 7\mu|X_j|$ ならば $L(j)$ を接続する.

$$l_i \leftarrow (24/49)l_i \quad (i = 1, \dots, j)$$

5. $\sum_{k=1}^i l_k < 1$ となる i が存在するならば, $i_{max} = \max\{i \in \mathbf{Z} | \sum_{k=1}^i l_k < 1\}$ として接続した $L(j)$ から $C1(2), \dots, C1(i_{max})$ と $C0(2), \dots, C0(i_{max})$ を取り除く.

6. $j = j_{max}$ かつ $\sum_{k=1}^j l_k < 1$ ならば手続きを終了する.

7. ステップ4に戻る.

□

次の補題は l_k の設定方法および更新方法と, 補題8, 補題10で, n_1 と n_2 を十分大きく取ってよいことと η を十分1に近い値に取ってよいことから示すことができる.

補題11 ステップ4で $L(i)$ が N に接続されたとする. l をステップ実行前の l_{i-1} の値とする.

$$l < \alpha_0 |X_{i-1}| \quad (1)$$

$$i < j_{max} \text{ ならば } \mu|X_i| < l \quad (2)$$

補題12 手続き1のステップ5終了時点での N に同数の0と1を入力したとき, 任意の $i = 1, 2, \dots, j$ に対して, N の出力レジスタ $\{1, 2, \dots, x_i\}$ に現われる1の個数および $\{y_i, y_i+1, \dots, n\}$ に現われる0の個数は, どちらも $\sum_{k=1}^i l_k$ 以下である.

(証明) m 回目のステップ4が実行された直後の l_k の値を $l_k(m)$ と表す. また, N の出力レジスタ $\{1, 2, \dots, x_i\}$ に現われる1の個数を ν_i , $\{y_i, y_i+1, \dots, n\}$ に現われる0の個数を ν'_i と表す. $\{1, 2, \dots, y_i-1\}$ に現われる1の個数は $(1/2)n - x_i + \nu'_i$ である.

任意の $m = 0, 1, \dots$ に対して,

$$\nu_i \leq \sum_{k=1}^i l_k(m) \quad (3)$$

$$\nu'_i \leq \sum_{k=1}^i l_k(m) \quad (4)$$

$$(\forall i = 1, 2, \dots, j)$$

が成立することを帰納法で証明する.

$m = 0$ のとき式3, 4は成立している.

$m = t$ のとき式3, 4が成立すると仮定する.

$t+1$ 回目のステップ4で $L(i)$ が接続されたとする. $L(i)$ の入力では $\{1, 2, \dots, y_{i-1}-1\}$ の中の1の個数は高々 $(1/2)n - x_{i-1} + \sum_{k=1}^{i-1} l_k(t)$ 以下, $\{1, 2, \dots, x_{i-1}\}$ の中の1の個数は高々 $\sum_{k=1}^{i-1} l_k(t)$ 以下であるから, 補題10と補題11の式2より, $i < j_{max}$ ならば, 一番前のエクストラクタの出力の後では

$$\begin{aligned} \nu_i &\leq \mu|X_i| + \sum_{k=1}^{i-1} l_k(t) \\ &\leq l_{i-1} + \sum_{k=1}^{i-1} l_k(t) \end{aligned}$$

また, $i = j_{max}$ ならば, $L(i)$ の一番前にソーティング・ネットワークが接続されているのでこの不等式は明らかに成立する. 従って, 補題11の式1より, 次のコンストラクタ $C1(i)$ の出力の後では,

$$\begin{aligned} \nu_i &\leq \sum_{k=1}^{i-2} l_k(t) + \frac{2}{7}l_{i-1}(t) + \frac{12}{7}l_{i-1}(t) \\ &= \sum_{k=1}^{i-2} l_k(t) + \frac{2}{7}l_{i-1}(t) + \frac{24}{49}l_i(t) \end{aligned}$$

任意の $k \leq i$ に対して, $l_k(t) = (7/2)l_{k-1}(t)$ であり, $|X_k| \geq |X_{k-1}|$ であるから, 補題8を, $C1(i-1), C1(i-2), \dots$ に順次適用することにより, 最後の $C1(2)$ の出力の後では,

$$\nu_1 \leq \frac{2}{7}l_1(t) \leq l_1(t+1)$$

かつ, 任意の $k = 2, 3, \dots, i-1$ に対して,

$$\nu_k \leq \frac{2}{7}l_1(t) + \sum_{s=2}^k \frac{24}{49}l_s(t) \leq \sum_{s=1}^k l_s(t+1)$$

が成立する. 従って, $m = t+1$ のときに式3が成立することが示された. 式4の成立も同様に示すことができる. □

定理 1 手続き 1 で作られるコンパレータ・ネットワーク N は $(n, n/2)$ セレクタとなっている。定数 $n_3 > 0$ が存在して、 $n \geq n_3$ ならば N のサイズは $8n \log_2 n$ 以下である。また、深さは $O(\log n)$ である。

(証明)

(1) N が $(n, n/2)$ セレクタであること。

ステップ 3 で手続きが終了したならば N はソーティング・ネットワークであるから $(n, n/2)$ セレクタである。ステップ 6 で終了した場合を考える。 N への入力は同数の 0 と 1 とする。

補題 12 から N の出力 $\{1, 2, \dots, x_{j_{\max}}\}$ と $\{y_{j_{\max}}, y_{j_{\max}} + 1, \dots, n\}$ には 1 は現われない。また、 $L(j_{\max})$ の中のソーティング・ネットワークの位置を考えれば N の出力 $\{x_{j_{\max}} + 1, x_{j_{\max}} + 2, \dots, y_{j_{\max}} - 1\}$ はソートされている。従って、命題 3 から N が $(n, n/2)$ セレクタであることが示された。

(2) $\text{depth}(N) = O(\log n)$ 。

ステップ 4 が m 回繰り返された時点の N を考える。 l_i の更新方法から、

$$\begin{aligned} \sum_{k=0}^j l_k &\leq \left(\frac{24}{49}\right)^m \cdot 3\mu \sum_{k=0}^{j_{\max}} \left(\frac{7}{2}\right)^k \\ &= \frac{6}{5}\mu \left(\frac{24}{49}\right)^m \left\{ \left(\frac{7}{2}\right)^{j_{\max}+1} - 1 \right\} \end{aligned}$$

j_{\max} の定義から $j_{\max} \leq (-1/\log_2 \eta) \log_2 n$ であるので、ステップ 4 が繰り返される回数は $O(\log n)$ である。また、 $L(j)$ の構造から N の最後に $L(j)$ が接続されても深さはある定数以下しか増えないので、 $\text{depth}(N) = O(\log n)$ が示される。

(3) 定数 $n_3 > 0$ が存在して $n > n_3$ ならば $\text{size}(N) \leq 8n \log_2 n$ 。

m 回目のステップ 4 で接続される層を L_m と表す。 $L_0 = L(1) = E(1)$ とする。さらにステップ 4 が繰り返される回数を m_{\max} と表す。 $L_m = L(i)$ とする。 L_m に含まれる、 $C0(k), C1(k)$ ($k = 2, 3, \dots, i$) のサイズの総和を $s_1(m)$ 、 $E(i)$ のサイズを (もし有れば) $s_2(m)$ 、ソーティング・ネットワークのサイズを (もし有れば) $s_3(m)$ と表す。従って、

$$\text{size}(N) = \left(\sum_m s_1(m)\right) + \left(\sum_m s_2(m)\right) + \left(\sum_m s_3(m)\right)$$

さらに、

$$s_2(m) \leq \eta^{i-1} \lambda n \quad (5)$$

$$s_3(m) \leq c \quad (6)$$

が成立することは明らか。ただし、 λ は補題 10 のものであり、 c はなんらかの定数である。

$m_{\max} = O(\log n)$ と式 6 から

$$\sum_m s_3(m) = O(\log n)$$

さらに、

$$\nu = 2 + \min \left\{ k \in \mathbb{Z} \mid \frac{15}{\eta} \left(\frac{24}{49}\right)^k \leq 7 \right\}$$

と置くと、決して $L_m = L_{m+1} = \dots = L_{m+\nu}$ とならないことが次のように示される。

最初の L_m が接続されるステップ 4 では $4a$ がの方が実行されると考えてよい。また、ステップ $4a$ が終わった任意の時点で

$$l_j < 12\mu |X_{j-1}|$$

が成立していることが各 l_k の更新方法からわかる。各 X_k の定義と $|X_j|$ が十分大きい場合だけを考えるとよいことから十分小さな $\delta > 0$ を選んで、

$$l_j < \frac{12 + \delta}{\eta} \mu |X_j|$$

とできる。従って、この後ステップ $4a$ の方だけが $\nu - 2$ 回繰り返されると $l_j < 7\mu |X_j|$ となるので、次のステップ 4 の実行では必ずステップ $4b$ の方が実行される。

以上と式 5 から、

$$\sum_m s_2(m) \leq \nu \lambda n \sum_{i=0}^{\infty} \eta^i = O(n)$$

が導かれる。

最後に、 $\sum_m s_1(m)$ を評価する。

$$m_0 = \left\lceil \frac{\log_2(3\mu x_1)}{\log_2(49/24)} \right\rceil \quad (7)$$

と置くと、適当な関数 $f(n) = O(n)$ を選んで、

$$\sum_{m=0}^{m_0} s_1(m) \leq \left(\frac{8(1+\epsilon)}{\log_2(49/24)} n \log_2 n \right) + f(n)$$

とできる。 $\log_2(49/24) = 1.0297\dots$ であり、 ϵ は任意に小さく取れたから、

$$\sum_{m=0}^{m_0} s_1(m) \leq (8 - \delta)n \log_2 n + f(n)$$

従って、後は、 $\delta > 0$ が存在して、

$$\sum_{m=m_0+1}^{m_{\max}} s_1(m) = o(n \log n) \quad (8)$$

を示せば十分である。

一般に $\sum_{k=1}^i l_k < (7/5)l_i$ が成立するので、ステップ 4 が終わった時点で $l_i \leq 5/7$ となっていれば、それ以後、 L_m は $C1(2), C1(3), \dots, C1(i), C0(2), C0(3), \dots, C0(i)$ を含まない。

式 7 より $l_1 \leq 1$ が導かれ、また、任意の $k = 1, 2, \dots, j_{\max} - 1$ に対して $l_{k+1} = (7/2)l_k$ であるから、任意の $i = 2, 3, \dots$ に対して、 $m_0 + m$ 回ステップ 4 が実行された後では、 l_i が割り当てられていれば、

$$l_i \leq (24/49)^m (7/2)^{i-1}$$

となる。この式から、 $L_{m_0+1}, L_{m_0+2}, \dots$ の中に含まれる $C1(i), C0(i)$ の個数は高々

$$\left\lceil \left((i-1) \log \frac{7}{2} + \log \frac{7}{5} \right) / \log \frac{49}{24} \right\rceil < 2i$$

である。従って、 $|X_i| \leq (1/2)(1-\eta)\eta^{i-1}n + 2$ よりそのサイズの総和は高々、

$$\begin{aligned} & 2(8 + \epsilon)|X_i| \cdot 2i \\ & \leq (32 + 4\epsilon)i + (16 + 2\epsilon)(1-\eta)i\eta^{i-1}n \end{aligned}$$

従って、

$$\begin{aligned} \sum_{m=m_0+1}^{m_{\max}} s_1(m) & \leq n \left((16 + 2\epsilon)(1-\eta) \sum_{i=1}^{j_{\max}} i\eta^{i-1} \right) \\ & \quad + (16 + 2\epsilon)j_{\max}(j_{\max} + 1) \quad (9) \end{aligned}$$

$0 < \eta < 1$ から式 9 の第一項は $O(n)$ であり、 $j_{\max} \leq (-1/\log_2 \eta) \log_2 n$ から第二項は $O((\log n)^2)$ であるので、式 8 を示すことができた。 □

参考文献

- [AKS83a] M. Ajtai, J. Komlós, and E. Szemerédi. An $O(n \log n)$ sorting network. In *Proceedings of the 15th Annual ACM Symposium on Theory of Computing*, pages 1–9, 1983.
- [AKS83b] M. Ajtai, J. Komlós, and E. Szemerédi. Sorting in $c \log n$ parallel steps. *Combinatorica*, 3 (1):1–19, 1983.
- [Bas81] L. A. Bassalygo. Asymptotically optimal switching circuits. *Problemy Peredachi Informatsii*, 17:206–211, 1981. English translation in *Problems of Information Transmission*.
- [Mar73] G. A. Margulis. Explicit constructions of concentrators. *Problemy Peredachi Informatsii*, 9 (4):71–80, 1973. English translation in *Problems of Information Transmission*.
- [Pat] M. S. Paterson. Improved sorting networks with $O(\log n)$ depth. *Algorithmica*, to appear.
- [Pin73] N. Pinsker. On the complexity of a concentrator. In *7th International Teletraffic Conference*, pages 318/1–318/4, Stockholm, June 1973.
- [Pip90] N. Pippenger. Selection networks. In *SIGAL of IPSJ '90 Algorithms*, pages 2–11, Springer-Verlag, August 1990. (*Lecture Notes in Computer Science* 450).