

VLSIレイアウト自動設計アルゴリズムにおける諸問題

白石 洋一

(株)日立製作所

あらまし 本報では、VLSIチップのレイアウト自動設計アルゴリズムにおける最近の諸問題について述べる。VLSIチップのレイアウト自動設計問題は、組合せ最適化アルゴリズムを開発、検証するための有用な例題でもある。この分野では1960年代の初頭から重要な研究がなされてきており、現在ではデジタル、アナログLSIの各レイアウト設計工程を対象とする実用的なアルゴリズムが提案、開発され、設計上必要となるツール類が漸く揃った段階である。しかし、今後のVLSIチップの大規模化・複雑化に伴い、現在さらに高度なアルゴリズム、高度なレイアウトツールが求められている。以下では、今後解くべきレイアウト問題と、従来より課題となっている難しい問題をアルゴリズムの観点から述べる。

Problems in Layout Design Automation Algorithms for VLSIs

Yoichi Shiraishi

siraisi@crl.hitachi.co.jp

Central Research Laboratory, Hitachi, Ltd.

1-280 Higashi-Koigakubo Kokubunji, Tokyo, 185 Japan

Abstract Problems in layout design automation algorithms for VLSIs are described. Those problems are good applications for developing and testing combinatorial optimization algorithms. From the early 1960s, a considerable amount of efforts has been devoted for developing these algorithms. As a result, the layout tool supporting each layout design process for digital or analog LSIs has just been completed. However, more advanced algorithms and excellent layout tools will be strongly needed considering the integration and complexity growths of VLSIs. In the following, problems which should be solved or difficult problems which have not yet been solved are described from the algorithmic point of view.

1. まえがき

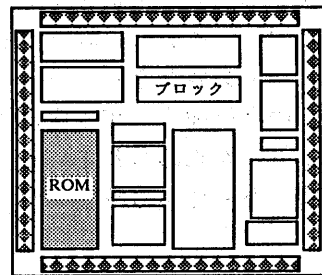
VLSI (Very Large Scale Integration) チップの設計を計算機を用いて自動化する (DA/CAD : Design Automation / Computer Aided Design) 研究は 1960年代の初頭からなされてきた^[1]。当初は対象とするLSI (Large Scale Integration) チップの規模は小さく、また、種類数も少ないために取り扱う問題を単純化でき、それらを解くアルゴリズムの研究がなされていた。しかし、70年代、80年代のLSI製造技術の急激な進歩と電子装置のLSI化の要請とにより、チップはますます大規模化、複雑化してきた。現在では、1チップに数百万素子を搭載するULSI (Ultra Large Scale Integration) チップも出現してきている。この様な状況のもとで、今やDA/CADはVLSIチップの設計にとって必要不可欠のものとなっている。

レイアウト設計におけるDA/CADツールの研究・開発の分野では、現在漸くデジタル、アナログLSIの各設計工程を対象とするツール類が整備された段階であり、部分問題に対しては、最適解を求めるアルゴリズムも提案されている。しかし、機能・性能の面から見るとまだ不十分な点が多く、今後のVLSIチップの規模増大、複雑化を考慮すると今まで以上に高度なアルゴリズムの開発が求められると考えられる。特に今までの研究では、無いツールを開発するという理由からまずプログラムの機能開発が重視されてきた。しかし、今後は性能を追求するという目的の下で、解の最適性を保証するアルゴリズムの設計、開発が要求される。一方、計算機の処理能力もDA/CADツール研究開発の初期に比べて飛躍的に増大している。当時は実用的な計算時間、所要メモリ量の下では実行不可能と考えられて捨てられていたアルゴリズムのいくつかは、現在では実用になる可能性も高くなってきた。また、並列処理を考慮すれば、今後は、とにかくアルゴリズムの計算時間より解の性能が重視されるであろう。このような点から、今こそ理論的背景に支えられた高度な最適アルゴリズムの研究が必要とされる時期であるといえる。

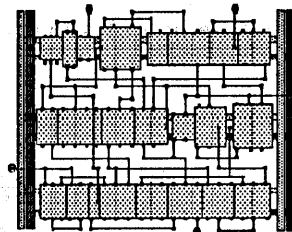
レイアウト設計におけるDA/CADの問題は、研究の当初から、規模・複雑さの面から見て組合せ最適化手法の開発、実験の格好の例題とされてきた。例えば、現在ではかなり実用レベルに近くなってきたSimulated Annealing法^[2]は、当初からVLSIチッ

プのセルの配置改善、グローバル配線径路決定の各問題をも対象としていた。今後ともこのような形で実際のレイアウト設計問題とアルゴリズムの研究とが互いに刺激しあって研究開発が進められて行くものと思われるし、また、そうあるべきであると考えている。

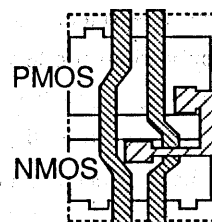
以上の観点から、本報ではレイアウト自動設計における組合せ最適化問題とそれを解くためのアルゴリズムの研究を述べ、現状までのレイアウトDA研究の歴史を振り返り、更に、今後重要になると考えられる問題について検討する。以下の構成を述べる。まず、第2章でVLSIチップのレイアウト設計について述べ、用語の定義とともに、最終的にどのような問題を解きたいのかを説明する。次に第3章において、今までにわれわれが行ってきたレイアウト



(a) チップ



(b) ブロック



(c) セル

図1 VLSIチップの階層設計方式

DA/CAD研究の歴史についてまとめ、過去から将来への研究の流れを説明する。第4章以降で、VLSIレイアウト自動設計における諸問題について述べる。これらは具体的な定式化もまだなされておらず、また誌面の制限から概要を述べ詳細は別の機会に譲る。

レイアウト問題は、これらのほかにゲートアレイ (図2参照)、Sea-of-Gates (図3参照)、アナログLSIの各チップの設計に対して定義される。しかし、基本的なレイアウト問題は、図1に示す、セル、ブロック、チップの生成において定義される各問題に帰着できる。

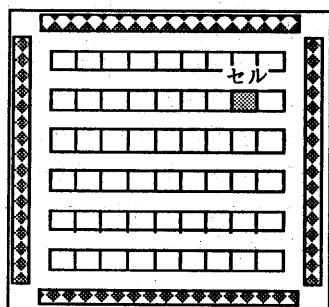


図2 ゲートアレイチップモデル

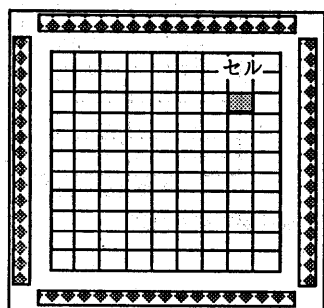


図3 Sea-of-Gates チップモデル

2. VLSIチップのレイアウト設計

本章では、VLSIチップのレイアウト設計で採用している階層設計方式を説明する。設計問題の複雑度と規模を考えるとチップ全体を一度に設計することは不可能に近い。そこで、チップを3階層—チップ—ブロック—セル—に分割してそれらを独立、並列的に設計する階層設計方式を採用している (図1参照)。図1に示すのは、ビルディングブロック方式によるチップモデルである。セルパターン自動生成ではトランジスタを配置してトランジスタ間を配線する。ブロックのレイアウトでは、セルをブラックボックスとみなし、セルを配置してセル間を配線する。チップレベルのレイアウトでは、ブロックを配置してブロック間を配線する。これらの他に、チップを配置してチップ間を配線するプリント板、モジュール、等のレイアウト設計もある。また、レ

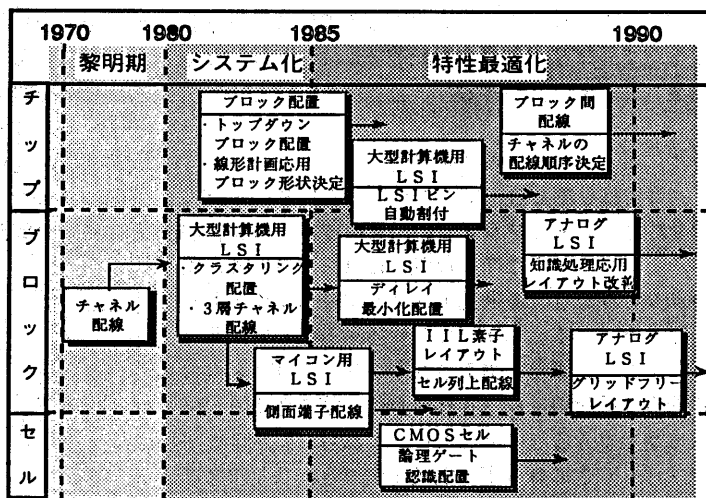


図4 レイアウトDA研究の推移

3. レイアウトDAの研究

レイアウト設計自動化の目的は、(1)設計工数、設計期間の削減、(2)チップ面積の最小化、(3)特性最適化、である。このような目的の下で、我々はレイアウトDAの研究開発を行ってきた。図4に我々が研究、開発してきたレイアウトDAシステムと技術の推移を示す。我々は、チャンネル配線法を特徴とするレイアウトDAシステムをいち早く開発した。1980年頃までは、レイアウトDAシステムはまだ実際の設計の場では活用されず、いわば黎明期と呼ぶ時期である。ところが、80年から85年頃にかけて、大型計算機用のレイアウトDAを中心として急速にシステムの立ち上げがなされ、急激に設計の現場にDAが浸透して行った。この時期までは、レイアウトDAの設計工数、設計期間の削減とチップ面積最小化に重点が置かれていた。85年頃から3番目の目的である特性最適化、特に信号の遅延時間の最適化、アナログLSIを対象にレイアウトの質を重視したDAの研究に重点が移ってきた。現在は、多少面積を犠牲にしても動作速度の速いVLSI、或は、機能を保証したアナログLSIを設

計できるレイアウトDAの研究を推進している。今後は、さらに特性を最適化できるレイアウトDA、複雑なVLSIチップに対しても面積最小化を極限まで追求し、最適解に限り無く近い解を与えるアルゴリズムの研究がなされていくものと考えられる。また、レイアウト問題のモデルの詳細には依存しない、汎用的なアルゴリズム、例えば、セルレベル、ブロックレベル、チップレベルの各問題に適用可能な配置アルゴリズム、 n 層配線アルゴリズム、等を開発して行く必要がある。

4. レイアウトDAの諸問題

本章では、VLSIレイアウトDAにおける諸問題を論じる。レイアウトDAにおいては、現在、解くことができそうな問題は既にほぼ全て解かれ、実用的な性能を与える発見的なアルゴリズムが数多く提案されている。しかし以下に述べる難しい問題が残っており、また、提案されているアルゴリズムの性能も今後重要になる特性最適化、等を考えると決して満足できるものではない。これらの問題はまだ定式化もできておらず（定式化ができれば問題はほぼ解けたことになるが）、具体的にこの問題を解決すれば良いとの段階に達していない。以下にそれぞれの概要を述べる。

(1) 論理構造、回路図保存配置問題

配置問題は一般的に以下で定義されていた。

定義1 配置問題

入力：部品の形状、部品間の配線要求、制約条件（レイアウトモデル、配置領域等）

出力：部品の相対位置、または絶対位置

目的関数：推定配線領域を含めたレイアウト領域最小化

ここで部品をトランジスタとするとセルパターン生成に、セルとするとブロック生成に、ブロックとするとチップのレイアウト生成における配置問題になる。以下で議論するのは、セルを配置してブロックを生成するための配置問題である。従来は、セル列（図1、2参照）を設定して、セルをセル列上に配置していたが、今後は Sea-of-Gates（図3参照）のように特にセルを配置すべき領域を限定せず、極端に言えばブロック全面を対象としてセルを配置し

てもよい問題になる。また、デジタルVLSIの配置問題では、信号遅延時間を最適化する意味から論理構造に沿って、例えば、論理図に描かれている部品の相対位置を可能な限り保存して対応するセルを配置することが要求される。一方アナログLSIのブロック内セル配置問題では、回路図に描かれている素子に対応するセルをそれらの回路図中の相対位置を可能な限り保存して配置することが必要である。もちろんセル列の制約はない。しかしこの目的関数を優先的に最適化しようとするブロック面積が増大するので、ブロック面積最小化をも考慮した大局的な最適化が必要になる。従って、今後の配置問題の1つのアプローチとして、次で定義されるグローバルな配置問題が挙げられる。

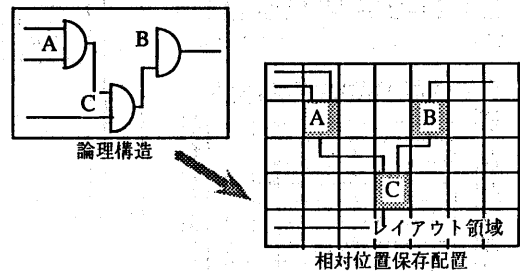


図4 構造保存配置問題

定義2 構造保存配置問題（図4）^{[3] [9]}

入力：レイアウト領域（矩形とは限らない）、部品間の配線要求、入力データの構造（論理構造、回路図、等）、制約条件（レイアウトモデル、セル間の配置制約）、部品の形状決定条件

出力：部品の形状、部品の相対位置、または、絶対位置

目的関数：入力データの構造遵守、推定配線領域を含めたレイアウト領域最小化

本配置問題は、チップ上にブロックを配置する問題をも含んでおり、この問題を解くアルゴリズムを基にしてブロック、チップのレイアウトにおけるそれぞれ、セル、ブロックの配置を行うアルゴリズムを設計することができる。

(2) 配置・配線同時実行問題^[4]

従来レイアウトDAでは、問題を部品の配置と部品間の配線の2つの部分問題に分割して解いていた。これは問題を単純化するためであったが、レイアウトの質を向上させるためには配置の段階で配線径路をかなり高い精度で推定、或は、決定することが必要である。このため配置問題を解くときには、仮想配線径路を想定して配線長、配線混雑度を推定していたがその精度は十分とは言えなかった。今後は、配置フェーズで配線を実行してまた配置を行う、或は、配線フェーズで配置を変更するというようにレイアウト問題をより大局的に最適化し、特性、面積を漸近的に最適していくことが必要である。

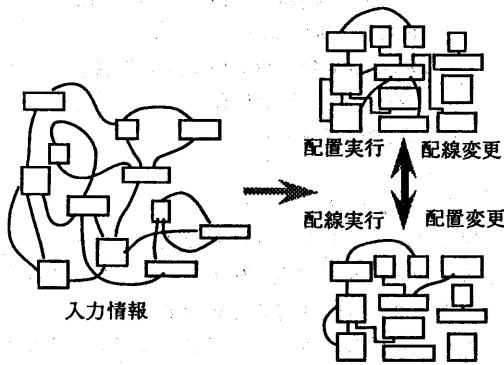


図5 配置配線同時実行 (トップダウン)

定義3 配置配線同時実行問題 (トップダウン) (図5)

入力：レイアウト領域 (矩形とは限らない)、部品間の配線要求、制約条件 (レイアウトモデル、部品間の配置制約)

出力：部品の絶対位置、詳細配線径路

目的関数：レイアウト領域最小化

本問題を一括して解くことが最終目標であるが、現実的には非常に難しい。そこで、あたかも写真を現像するかのように、グローバルなレイアウトから始めて次第に詳細なレイアウトを浮き上がらせていくアプローチによるアルゴリズムを設計できないかと考えている。

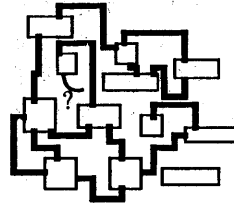
定義4 配置配線同時実行問題 (ボトムアップ) (図6)

入力：未完成レイアウト結果 (部品の絶対位置、

配線径路未確定な配線要求)

出力：レイアウト結果 (部品の絶対位置、全配線の詳細配線径路)

目的関数：入力レイアウト結果の変更最小化



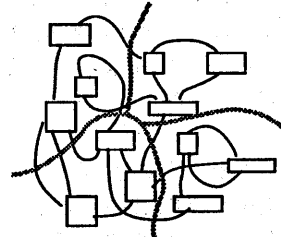
レイアウト変更による配線追加

図6 配置配線同時実行問題 (ボトムアップ)

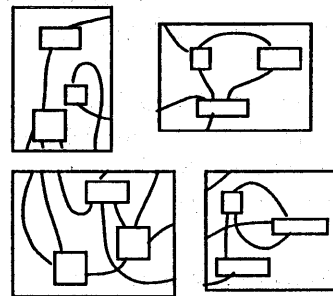
本問題は、例えば、ゲートアレイLSI、或は、チップ、ブロックサイズが固定しているレイアウト問題において、その径路を決定できなかった配線要求の配線径路を求める (未配線追加と呼ぶ) 問題である。現実のレイ

アウト結果では、単純に領域が不足しているために未配線となることはなく、配置変更、既配線移動、配線層の変更、等を行わなくてはならない。

(3) 並列化問題



グローバルレイアウトと分割



並列実行

図7 レイアウト問題の分割問題

レイアウトDAにおける並列アルゴリズムは従来より研究されてきている^[5]。しかし、例えば、処理時間を2桁以上改善できる、レイアウト結果が比較にならないほど高品質である、等のレイアウトDA研究の流れを変えるほどの結果が得られていない。レイアウトDAには次のアプローチが適しているのではないかと考えられる。即ち、レイアウト領域を物理的に部分領域に分割してそれらの部分問題を独立、並列に、逐次アルゴリズムによって解くアプローチである。

定義5 レイアウト問題の分割問題 (図7)

入力：レイアウト問題、分割数
 出力：分割された部分レイアウト問題
 目的関数：レイアウト領域最小化、全処理時間最小化

本問題は、(2)で述べた、グローバルなレイアウトを保存してトップダウンに順次レイアウトを詳細化していくアプローチにも通ずる。ここで特に難しいのは、部分問題の境界、即ち、複数の部分問題に渡る配線の径路をどう決定し、更にその切り口を如何に決定すればレイアウト領域を最小化できるかということである。この問題は、論理情報のLSIへの分割問題をも包含している。

(4) チップサイズ決定問題^[6]

本問題は組合せ最適化問題ではないが、レイアウト領域最小化問題の解の下界、または、下限値を示す意味では非常に重要である。問題が提案されたのは'70年代^[5]であるが、実用に耐える理論的な決定手法がなく、実際には経験的に解くことが多い。

定義6 チップサイズ決定問題

入力：論理、または、回路情報、チップモデル (ASIC、ゲートアレイ、アナログ、等)
 出力：チップサイズ

(5) Stochastic Algorithmsの実用化

Stochastic Algorithmsと呼ぶSimulated Annealing Algorithm^[2]、Simulated Evolution Algorithm^[7]、Genetic Algorithm^[8]等のアルゴリズムが提案されてきた。これらのアルゴリズムは処理時間を無限時間にすれば最適解を得ることが保証されている。しかしレイアウト問

題に適用するためには、「どの程度の時間をかければ最適解からどの程度の範囲内にある解を得られるか」の目安が必要で、この目安が得られないことが実用化に際して致命的となっている。以下に示すフレームワークのもとで、これらのアルゴリズムを実用化する研究が進めているが現在、有効な解が得られていない。

定義7 General Rule-based System

General Rule-based Systemは、次の4つ組で表わされる：
 $GRS=(S, W, R, O)$

- S : Stochastic Inference Engine、ここでStochastic Algorithmsを実行する
- W : Working Memory、新しい状態を生成するための作業領域である
- R : Rulesの集合、新しい状態を生成するためのルールベースである
- O : Objective Function

(6) 配線問題

配線アルゴリズムにおける課題は、対象としているモデルをどれほど汎用化できるか、性能を保証した上でどれだけ処理時間を短縮できるか、である。処理時間に関しては、例えばアナログLSIの配線で、実用的な性能を得ようとする大型計算機を用いてもCPU時間が100時間を超えてしまう程のオーダである^[9]。以下の配線問題をそれぞれ部分問題として定義しているが、特に定義8、9、10で定義した各配線問題はこれらを組合せた問題として現われることが多い。

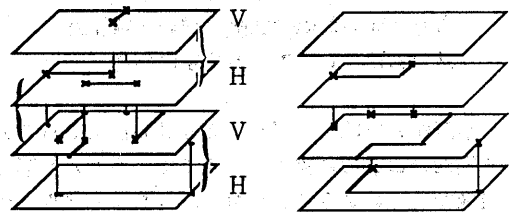


図8 n層配線問題

定義8 n層配線問題 (nは任意の正の整数)

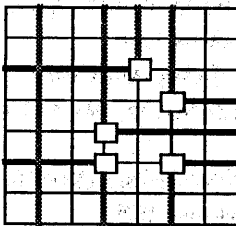
(図8)

入力：配線要求、端子座標、スルーホール条件、配線領域、配線格子情報、配線層情報

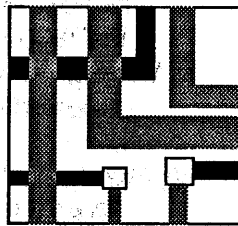
出力：配線結果（線分情報）

目的関数：使用配線領域最小化（同義であるが、配線領域固定の場合は配線率最大化）

定義8に示した配線問題は従来の延長上にあり、使用可能な配線層数のみ n 層に一般化した問題である^[10, 11]。当初配線問題は2層として定義され、配線格子を用いて格子点で表わされた端子間を幅を考慮しない配線で結線する問題として定義されていた。現在まで3層配線アルゴリズム等が提案されてきた。しかし本質的な考え方は2層をベースとしているものが多く、配線層が更に1層使用可能になるだけで配線アルゴリズムを大きく変える必要がある。製造技術として配線層数は4層、5層、6層の実用が目前に迫っている。また、セラミックモジュールの配線問題では、現在でも数十層を使用している（VLSIの配線問題とは詳細条件が異なる）。配線層数が増加することにより、取り扱う配線格子、スルーホール条件がより複雑になる。これらの条件を遵守して各配線層を平均的に使用することが重要になる。



配線格子、
1配線幅、
配線層限定モデル



配線格子無し、
可変配線幅、
配線層自由モデル

図9 配線格子無し、可変配線幅配線問題

定義9 配線格子無し、可変配線幅配線問題
(図9)^[9]

入力：配線要求、端子座標、端子形状（矩形）、配線領域、配線層情報

出力：配線結果（線分情報）

目的関数：使用配線領域最小化（同義であるが、配線領域固定の場合は配線率最大化）

定義8が大規模な配線問題を対象として処理時間を重視しているのに対して、定義9で述べた配線問

題は、処理時間よりも配線領域の最小化を重視している。本配線問題を解く高速高性能な配線アルゴリズムがあれば、この配線問題で使用する座標系を定義8の配線格子座標系と見なすことによってこのアルゴリズムをそのまま定義8の問題に適用できる。

定義10 端子散在、配線制約付配線問題

入力：配線要求、端子座標、配線領域、配線制約（交差禁止、並走禁止、等）

出力：配線結果

目的関数：使用配線領域最小化、配線制約遵守率最大化

従来、配線問題はチャンネルと呼ぶかなり特殊なモデルの上に定義され、チャンネル割当配線アルゴリズム、等の比較的きれいな高速高性能アルゴリズムが提案されてきた^[12]。しかし、配線層の多層化に伴い、このようなチャンネルを設定することが困難になってきている。また、レイアウト結果の品質を向上させるために配線径路間にトポロジカルな制約を付加する必要性が高くなってきている。

定義11 グローバル配線問題

入力：配線要求、端子座標、配線領域、配線層情報、配線格子情報

出力：配線の概略径路

目的関数：使用配線領域最小化（配線長最小化、配線混雑度平準化）

定義8、9、10が詳細な配線径路を決定する配線問題であるのに対して、本問題はその前に配線の概略径路を決定する問題である。この問題は定義3の配置配線同時実行のトップダウン問題、定義5のレイアウト問題の分割問題にも関連する。チャンネル割当配線アルゴリズムの様に配線順序に依存しない配線アルゴリズムもあるが、配線順序に依存する迷路法、線分探索法等の配線アルゴリズムも、適当な配線順序さえ与えられれば配線径路探索能力の点では優れたアルゴリズムである。そのためには本配線問題を解くことは必須である。

(7) その他

レイアウトDAアルゴリズム自動生成の問題を示す。現在、DA研究によりVLSIの設計工数、設

計期間は飛躍的に削減されたが、その反面、アルゴリズム、プログラム、システムの設計開発工数が増大している。また、解決すべき問題が複雑化しているため部品として最適な部分処理アルゴリズム（例えば、ソート、グラフ処理、等）が必要とされているにもかかわらず、これらに対して何ら対策が採られて来なかった。結果として、プログラムの性能低下を招いているのではないかと懸念している。プログラミングを支援するツールの研究としてCASE (Computer Aided Software Engineering) があるが、これらはアルゴリズム設計レベルの支援までは対象としていない。

定義 1.2 レイアウトDAアルゴリズム自動生成問題^[13]

入力：戦略（問題を解くための手順、例えば、ソートしてグラフを作成して最長パスを求めて…）、評価基準（処理時間最適化、所要メモリ量最適化、並列度最大化等）

出力：プログラムソースコード（評価基準に合致するアルゴリズムを組合せ、全体として最適化したもの）

目的関数：評価基準として指定された項目の最適化

更に、上でのべた問題よりも詳細であるが明確に定式化されている部分問題として次がある：チャンネル割当法配線アルゴリズムにおける幹線分割位置最適化問題、トランジスタ配置問題における頂点数不一致双対グラフの最大双対オイラーパス抽出問題^[14, 15]。

4. まとめ

VLSIレイアウト自動設計アルゴリズムにおける諸問題を述べた。具体的には、構造保存配置問題、配置配線同時実行問題、レイアウト問題の分割問題、チップサイズ決定問題、General Rule-based System、n層配線問題、配線格子無し、可変配線幅配線問題、端子散在、配線制約付配線問題、グローバル配線問題、及び、レイアウトDAアルゴリズム自動生成問題、である。

参考文献

- [1] K.Ueda, et al., "Layout Strategy, Standardization, and CAD Tools," Layout Design and Verification edited by T.Ohtsuki, Elsevier Science Publishers, 1986
 - [2] R.Otten, et al., "The Annealing Algorithm," The Kluwer Academic Publishers, 1989
 - [3] H.Cai, et al., "A Data Path Layout Assembler for High Performance DSP Circuits," Proc. 27th DA Conference, 1990
 - [4] R.Rivest "The PI (Placement and Interconnect) System," Proc. 19th DA Conference, 1982
 - [5] R.Brouwer, et al. "PHIGURE: A Parallel Hierarchical Global Router," Proc. 27th DA Conference, 1990
 - [6] W.Heller, et al., "Prediction of Wiring Space Requirements for LSI," Design Automation and Fault Tolerant Computing, 1978
 - [7] R.Kling, et al., "Optimization by Simulated Evolution with Applications to Standard Cell Placement," Proc. 27th DA Conference, 1990
 - [8] K.Shahookar et al., "A Genetic Approach to Standard Cell Placement Using Meta-Genetic Parameter Optimization," IEEE Trans. on CAD/ICAS, 1990
 - [9] Y.Shiraishi, et al., "A High-Packing Density Module Generator for Bipolar Analog LSIs," Proc. ICCAD-90, 1990
 - [10] R.Enbody, et al., "Near-Optimal n-Layer Channel Router," Proc. 23th DA Conference, 1986
 - [11] J.Cong, et al., "A New Approach to the Three Layer Channel Routing," IEEE Trans. on CAD/ICAS, 1988
 - [12] M.Burstein, "Channel Routing," Layout Design and Verification edited by T.Ohtsuki, Elsevier Science Publishers, 1986
 - [13] D.Selliff, et al., "Automatic Programming Applied to VLSI CAD Software: A Case Study," The Kluwer Academic Publishers, 1990
 - [14] C.Hwang, et al., "A Fast Transistor-Chaining Algorithm for CMOS Cell Layout," IEEE Trans. on CAD/ICAS, 1990
 - [15] Y.Shiraishi, et al., "A High Packing Density Module Generator for CMOS Logic Cells," Proc. 25th DA Conference, 1988
- 上記の文献の他に IEEE Proceedings, 1990にCAD全体の最新のOverviewが特集されている。