

### 3. 大容量DRAMを内蔵したマイクロプロセッサ M32R/D

M32R/D-A Microprocessor with Large-capacity On-chip DRAM by Yasuhiro NUNOMURA, Hiroyuki KONDO, Toru SHIMIZU and Koji TSUCHIHASHI (Mitsubishi Electric Corporation, System LSI Division)

布村 泰浩<sup>1</sup> 近藤 弘郁<sup>1</sup> 清水 徹<sup>1</sup> 土橋 宏二<sup>1</sup>

<sup>1</sup> 三菱電機(株) システムLSI事業統括部

#### 1. はじめに

大容量DRAMをプロセッサチップ上に搭載する、メモリとプロセッサの混載技術が注目され始めている。マイクロプロセッサの性能向上にともない、プロセッサとDRAMのスピードのギャップが拡大し、メモリの性能がシステム全体の性能を決定づける要因となっているからである。高価なキャッシュやチップ間を接続する高速バスを用いる従来型アプローチに対し、メモリバンド幅を拡大しメモリへのアクセスレイテンシを短縮するためのコストエフェクティブな方法として、メモリとプロセッサを混載する技術が提案されている<sup>1)~4)</sup>。また、微細化加工技術やプロセス技術の進歩により大容量DRAMをプロセッサと混載することが可能となってきた。

本稿では、2MBの大容量DRAMを内蔵した32ビットRISCプロセッサM32R/Dを紹介する<sup>5)~7)</sup>。大容量DRAMを内蔵することにより、マルチメディア時代において組込み型マイクロプロセッサに要求される高性能/低消費電力/低コストを実現する。

#### 2. DRAM内蔵プロセッサチップの利点

プロセッサとメモリ間のデータ転送のレイテンシはフォンノイマンボトルネックとしてシステムの高速度の阻害要因であり続けている。典型的なフォンノイマン型のコンピュータにおいては、プロセッサとメモリはバスを介して接続されており、すべての命令とデータは、このバスを経由してメモリからプロセッサに転送され、プロセッサにて処理される。プロセス技術、回路設計、プロセッサアーキテクチャの進歩によりプロセッサのスピードとメモリ容量は指数的な速度で増加してきた。しかしながら、メモリのアクセスレイテンシはそれほど改良されていない。最近の高速プロセッサではクロック周波数が500MHzであるのに対し、メモリのアクセス時間ははるかに遅い。プロセッサとメモリの性能のギャップは広がる一方である。

従来のシステム構成においては、このプロセッサとメモリの性能のギャップを埋めるための方策として、

(1) プロセッサチップ上のオンチップキャッシュの容量を大きくする、(2) 外部にオフチップキャッシュを設けたり外部メモリ自身を高速SRAMで実現する、(3) 外部メモリに対するメモリバンド幅を拡大するなどがとられている。これらはいずれも有効な手段ではあるが、同時にシステムのコストも高くなってしまおうという問題がある。

オンチップキャッシュの容量はチップの面積に制約され、また、オンチップキャッシュに用いられる高速SRAMはDRAMに比較してビット単価が高い。このため、十分な容量のオンチップキャッシュを低コストで実現することは難しい。

オフチップキャッシュは比較的大容量のものが実現可能であるが、オフチップキャッシュ自身のコストとあわせて実装のためのコストなどでシステム全体を高価にする。

メモリバンド幅を拡大するには、バス幅を広くしバスの周波数を上げる必要があるが、これらはシステムコストとシステムの消費電力を上げる要因となる。バス幅はすなわちプロセッサチップの信号ピン数に置き換えられるが、信号ピン数を増加することはプロセッサや周辺チップのパッケージングコストを上げる。また、バスの周波数の向上は高度な実装技術を要求しシステムの実装コストを押し上げる。

このように、性能を上げるために高速なSRAMとバンド幅の高いバスを用いても、消費電力とコストの面で要求を満たすことはできないであろう(図-1)。

デジタルカメラ、PDA(Personal Digital

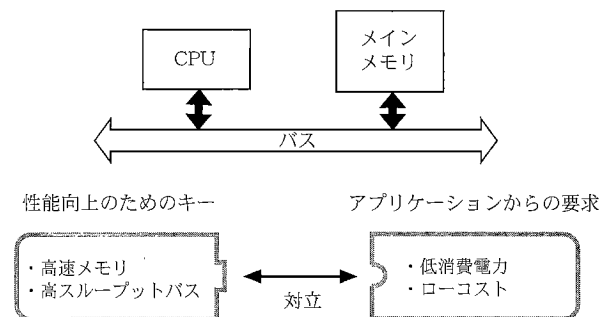


図-1 フォンノイマンアーキテクチャの問題

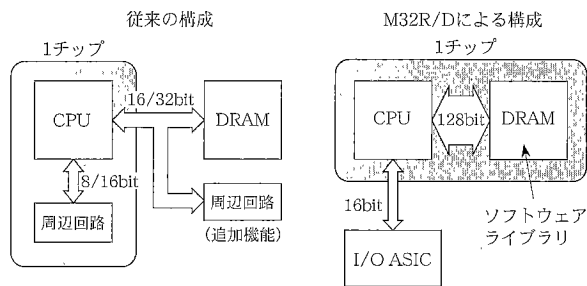


図-2 組み込みプロセッサの低エネルギーソリューション

Assistant), カーナビゲーションシステムなどのマルチメディア機器の用途においては, プロセッサには高い性能が要求されている. また, 市場での価格競争力をつけるためには低コスト化を打ち出してゆく必要がある. さらに, 携帯型システムの用途においては低消費電力の実現が必須である. これまで, ワークステーションやパーソナルコンピュータ用のマイクロプロセッサは, 低消費電力よりも, むしろ, いかにも処理速度を上げるかに着眼されて開発されてきた. 一方, 組み込み制御分野などのマイクロコントローラにおいては, 処理速度よりシステムのコストダウン, コンパクト化に主眼がおかれ, また, 低消費電力も重要とされてきた. これらに対し, 今日の携帯型マルチメディア機器においては, 高性能を保ちながら低消費電力, 低コストを保つことが要求されているのである.

高性能と低消費電力を両立させるコスト効果的なソリューションとして, 性能のよいRISCプロセッサをDRAMとワンチップ上に混載するアプローチが挙げられる. プロセッサとDRAMの混載では, 次のような利点があると考えられる.

- オンチップバスのバンド幅の拡大
- メモリシステムの工夫によるスピードギャップの緩和
- 小容量キャッシュで同等以上の性能の実現
- 低消費電力化の実現
- 電磁雑音の低減
- 部品点数, 基板実装面積の削減

プロセッサとDRAM混載の技術を用いた新しいハードウェア構成は図-2のように実現される. 図の左側はマイクロコントローラのこれまでの構成を示し, プロセッサと周辺回路がワンチップ上に搭載されている. メモリチップはチップ間を接続するバス—通常16ビットまたは32ビット—により接続される. 一方, 図-2の右側はマイクロコントローラの新しい形態を示している. プロセッサとDRAMが1つのチップに搭載され, 周辺回路は別のチップにより実現される. プロセッサとDRAMは幅の広い内部バスで接続され, 周辺チップは幅の狭いバスで接続される. 入出力などの周辺回路は一般に高速な処理を必要としない場合が多いので外部クロックは低速でもよく, プロセッサとメ

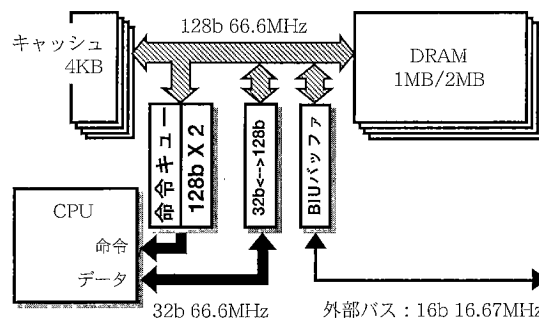


図-3 128ビット 66.6MHz内部バス

モリ間のバンド幅を上げるためには内部バスは高速である方がよい. チップ内部の配線はチップ間の配線と比べると負荷容量が非常に小さくすみ, プロセッサとDRAM間を内部バスで接続することは消費電力低減において有効である.

### 3. DRAM混載プロセス技術

プロセッサとDRAMを混載するには, 同一チップ上に, メモリセルの高集積性とロジック部分(論理回路)の高速なスイッチング特性の両方を同時に満足させる必要がある.

標準のDRAMプロセスは, できるだけ多くのメモリセルを集積することに主眼をおいて開発される. ここでは, いかにして小さな面積に大きな容量のキャパシタを作るかということと, いかにして長い時間キャパシタに電荷を保持させるかがポイントとなる. キャパシタに電荷を長く保持させるにはリーク電流を抑えることが必要であり, トランジスタのスピード向上は二の次である. 一方, ロジックプロセスにおいては, 高速なロジック回路と高密度な配線を可能にすることが重要であり, 高速なトランジスタと配線の多層化, 微細化がポイントである. トランジスタの速度とは相反するため, リーク電流の低減は軽視されがちである.

DRAMプロセスを用いてプロセッサとDRAMを混載した場合には, ロジック回路において十分な配線密度と速度性能が得られない. また, ロジックプロセスを用いた場合には, DRAM部分の集積度と電荷保持特性が低下することになる. 大容量のDRAMとプロセッサをワンチップ上に搭載しそれらを高速・高バンド幅の内部バスで結合するには, 両者の特性を損なうことなくDRAMとロジックの混載を実現する必要がある.

このためのプロセス技術としては, (1) ロジック部とDRAM部を電氣的に分離し相互の干渉を抑える, (2) 層間絶縁膜の平坦化を行い配線ピッチを縮小するなどの工夫がなされている.

## 4. DRAM内蔵マイクロプロセッサM32R/D

### 4.1 M32R/Dのマイクロアーキテクチャ

M32R/Dは1MBまたは2MBの大容量DRAMを混載したマイクロプロセッサである。M32R/DのCPU (M32R CPU) は83命令のシンプルな命令セットを持つ小さなRISC CPUである。このM32R CPUとDRAMは128ビットの内部バスで結合されている。

図-3にチップの内部構成を示す。命令キュー (I-Queue), 128/32セレクタ, および, バスインタフェースユニット (BIU) が, DRAMとキャッシュの間で128ビットのバスにつながれている。I-Queueは2つの128ビットのエントリに16バイト分の命令をプリフェッチするキューである。CPUがオペランドを読み書きする場合には, 128/32セレクタが128ビットバスとCPUの間のデータのやり取りを調整する。BIUバッファは128ビットのデータバッファで, これにより128ビットのアドレス境界にあるデータのバースト転送を可能にする。これは, 外部のROMチップからキャッシュに命令やデータを取り込む際に, または, 内蔵のDRAMから外部にデータを書き出す際に有効である。

キャッシュは, ブロックサイズが128ビットで, ライトバックのダイレクトマップ方式を採用している。

キャッシュには“内部命令/データキャッシュモード”と“命令キャッシュモード”の2つのキャッシュモードがある。内部命令/データキャッシュモードでは, キャッシュは内蔵DRAMの命令/データ共用キャッシュとして機能し, DRAM空間へのバスアクセスをすべてキャッシングする。このモードでは内蔵メモリをメインメモリとして使用する場合を想定している。命令キャッシュモードでは, キャッシュは内蔵DRAMまたは外部メモリの命令キャッシュとして機能し, 命令フェッチアクセスをキャッシングする。このモードでは内蔵DRAMに命令を置く場合と, 外部ROMをプログラムメモリ, 内蔵DRAMをデータメモリとして使用する場合を想定している。

128ビットの内部バスは66.6MHzで動作し128ビットのデータを1クロックで転送する。メモリへのアクセスサイクル数は次の通りである。キャッシュヒット時には, アクセスサイクル数は1サイクル (ノーウエイトサイクル) である。オペランドアクセスにおいては, 32ビットのデータが128/32セレクタを介してCPUとキャッシュの間を1サイクルで転送される。命令フェッチでは128ビット分の命令コードがI-Queueに1サイクルでフェッチされる。これは1サイクルで4~8個の命令をCPUがフェッチできるということである。キャッシュのリードミス時には, DRAMからCPUへのデータ転送とキャッシュのアップデートに4サイクル (DRAMのページヒット時) または8サイク

ル (DRAMのページミス時) かかる。キャッシュのライトミス時には, CPUとキャッシュ間のデータ転送は2サイクルしかかからない (つまり, 1ウエイトサイクルである)。これは, キャッシュがCPUからの書き込みデータのバッファを持っており, CPUはキャッシュからDRAMへのデータ転送が完了するのを待つ必要がないからである。

### 4.2 M32R命令セットアーキテクチャ

ワンチップ上に大容量のメモリを混載するためには, CPUコアはできるだけ小さい方が望ましい。M32R/DのCPUコア (M32R CPUコア) は, 16本の32ビット汎用レジスタを持ちパイプライン段数が5段の非常にシンプルな32ビットRISCコアである。83個の命令のほとんどは1クロックサイクルで実行され, 66.6MHzのクロック周波数にて52.4MIPSの性能を持つ。

コードサイズは与えられたバスのバンド幅を有効に使うための1つの要素である。コードサイズが小さくなれば同じバンド幅でCPUが読み込める命令数が増すからである。これは特に命令が外部のROMに格納される場合に重要となる。外部バスはバス幅が狭くクロック速度が遅いからである。また, システム全体のコストを抑えるためにはROMのサイズを小さくする必要があり, この意味においてもコードサイズは重要な要素である。

M32R命令セットアーキテクチャの設計のポイントは,

- (1) CPUコアのサイズを小さくする
- (2) ほとんどの命令を1クロックで実行する
- (3) コードサイズを小さくする

の3点であった。(1)と(2)に関しては, タイミング上のクリティカルパスの排除のためできるだけシンプルなパイプライン構成となるように設計されている。そのため, 命令のエンコーディングには, CPUのデコーダが単純になるようにオペコードが選ばれている。(3)のコードサイズに関しては, M32R命令セットでは16ビット長の命令と32ビット長の命令の混合した命令セットを採用している。命令のオペコードのMSB (Most Significant Bit) が0の場合に16ビット命令, 1の場合に32ビット命令としている。このような命令フォーマットを採った理由は, (a) 32ビット命令だけではコードサイズが大きくなる, (b) 16ビット命令だけでは定数データや分岐のオフセットの表現が効率よくできない, の2点である。また, 後に述べるような, 将来の拡張用にVLIW (Very Long Instruction Word) アーキテクチャ型の2命令並列実行の枠組みが想定されていたことももう1つの理由である。

これらより, M32R命令セットは, 1つの32ビット命令または2つの16ビット命令をパックした32ビット

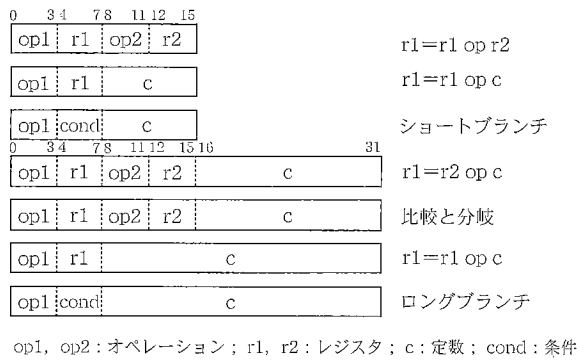


図-4 M32R命令フォーマット

ワードのいずれかをとるように設計された。この命令セットを採るにあたって、上記設計のポイントと相まって次のような工夫がなされている。定数データや分岐のオフセット、とくに、静的変数のアドレスや関数のエンリアドレスへの分岐オフセットの表現を効率よく命令にエンコードするには少なくとも使用するメモリ空間をすべてカバーできうる即値/ディスプレイメントを採るのが最も効率がよい。これには24ビットの即値をロードする命令(LD24)や24ビットのオフセット表現により26ビットの範囲内に分岐する命令が定義された。これらにより、M32R/Dで想定されている組込みアプリケーションのほぼすべてが24ビットのアドレス空間内で効率よく実行できる。また、デコーダを単純化し命令の1クロック実行を実現するため、命令のデコードの単位を32ビットワードとした。これにより、32ビット命令はワード境界に整合されている必要があり、また、分岐命令の分岐

先も32ビット境界に整合されている必要がある。したがって、境界整合のためにNOP命令(NOP命令は16ビット長)が挿入されることになる。この制限により、デコーダのハードウェア量がどの程度削減されるかを議論するのは難しいが、少なくとも、境界整合されていない命令のフェッチに対して2回以上メモリにアクセスするようなデコーダは不要であり、また、境界整合されていない命令のアクセスのレイテンシによりパイプラインがなし崩し的にストールするという状況も回避できると考えられる。

図-4はM32Rの命令フォーマットを示す。M32Rの命令セットは、2命令を並列に実行するVLIW型のアーキテクチャに拡張可能な命令フォーマットを採っている。16ビット命令と32ビット命令の2種類の命令とともに32ビット境界に整合された32ビットワード単位で解釈される。32ビットワードのMSBが、この命令コードが1個の32ビット命令を表わしているのか2個の16ビット命令を表わしているのかを指定する。このビットの値が1の場合には32ビット命令、0の場合には2個の16ビット命令のペアであると解釈される。さらに、2個の16ビット命令のうち上位アドレス側の命令のMSBが0の場合にはこの2個の命令は逐次実行され、1の場合には並列実行されることを示す。ただし、現バージョンのM32R CPUは2命令を並列に実行する機能はなく、逐次実行/並列実行を指定するビットが1となることは、2つ目の命令がNOP命令の場合を除いてはありえない。

先に述べた通り、M32R CPUには命令のワード境界への整合という制限があり、境界整合のために挿入

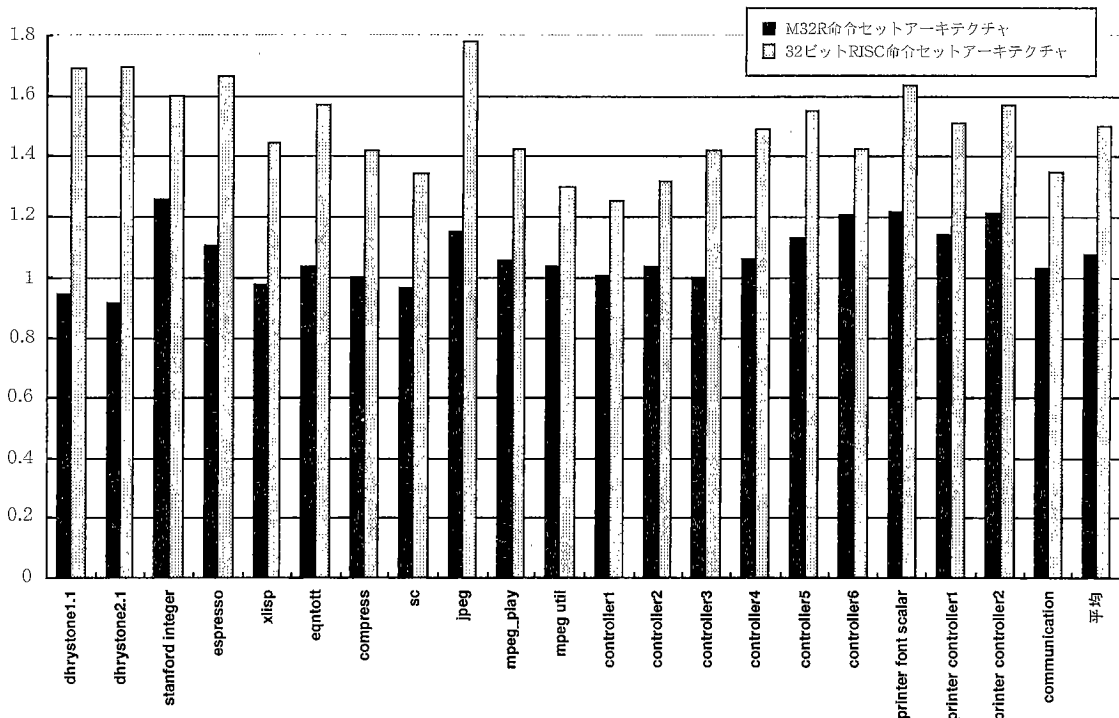


図-5 16ビットCISCに対するM32R命令アーキテクチャと32ビットRISC命令アーキテクチャのコードサイズ比較

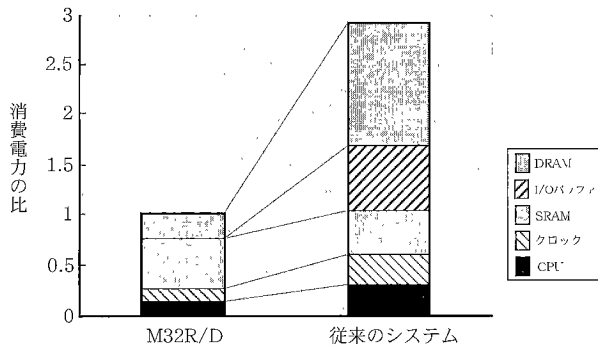


図-6 M32R/Dと従来のシステムの消費電力の比較

されるNOP命令が存在し得るが、このようなNOP命令のMSBを1として並列実行の指定をしておくことにより、境界整合のためのNOP命令が性能に対するペナルティとなることはない。また、コンパイラによる命令の並べかえによりNOP命令の数をある程度減らすことが可能である。

図-5は、M32Rの16ビット/32ビットの混合命令セットおよび従来型の32ビットRISC命令セットのコードサイズを、16ビットCISC命令セットのコードサイズに対する相対値により比較する。図に示されるように、M32Rのコードサイズは16ビットCISCのコードサイズと比べても遜色ない。この評価には、Dhrystone, Stanford Integer, SPECint92のベンチマークプログラム, JPEGエンコーダー, MPEGプレーヤなどの実際のアプリケーションプログラム, そして、組み込みコントローラプログラムから抽出されたコードの断片が用いられた。また、使用コンパイラは同一バージョンのGNU Cコンパイラで、コンパイラの最適化のレベルはアーキテクチャごとおよびベンチマークごとにコードが最小となるものを選択した。

### 4.3 評価

M32R/DにおけるプロセッサとDRAMの混載によ

る主な利点はバス幅が広く高速な内部バスを実現可能にしたことである。内蔵DRAMがアプリケーションシステムにとって十分であれば、チップの外部にメモリを必要とせず、外部バスはデータ幅が狭く遅くてもよいわけである。高速でデータ幅の広い内部バスが性能を向上させる一方、低速でデータ幅の狭い外部バスは消費電力とコストを抑える。

#### (1) 消費電力

図-6はM32R/Dによるシステムと従来のシステムの消費電力を比較を示す。ここでは従来システムとして、M32R CPUと同じCPUとキャッシュを搭載したCPUチップに4Mbitのfast page DRAMチップ2個を32ビット、66.6MHzの外部バスで接続した場合を想定している。図-6に示されるとおり、M32R/Dによるシステムの総消費電力は従来のシステムの3分の1程度に低減されている。この総消費電力低減の要因は、次のように考えられる。

- (a) DRAMアクセス時にI/Oバッファにより消費される電力が、CPUとDRAMの混載で削減された。
- (b) 外部バスを駆動する必要がないため、1回あたりのDRAMへのアクセスで消費される電力が低減された。
- (c) 内部バスのバンド幅が高いため、キャッシュミス時のDRAMへのアクセス回数が少なくてすむ。

#### (2) 性能

M32R/Dによるシステムと従来システムとの性能をDhrystoneベンチマーク, JPEG圧縮プログラム, スタンフォードベンチマーク, および、いくつかの描画プログラムを用いて比較した。図-7はM32R/Dシステムによる実行時間を1としたときの相対時間を示している。いくつかのプログラムではM32R/Dシステムの性能は従来システムの性能の1.2~1.6倍となる。一方で、性能差がほとんどないプログラムも存在する。これは、キャッシュのヒット率がほとんど

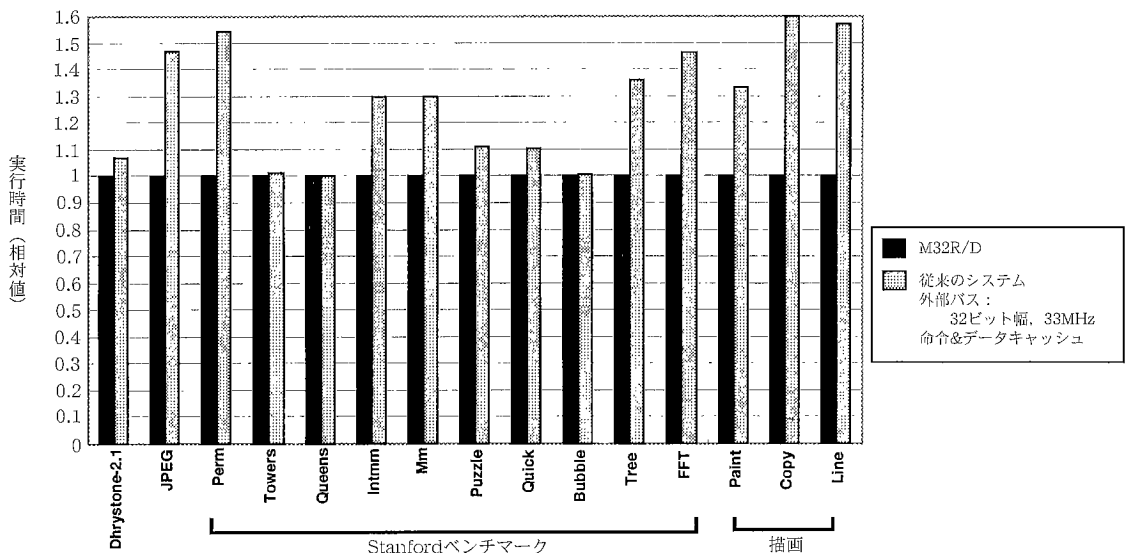


図-7 従来のシステムとM32R/Dの性能の比較

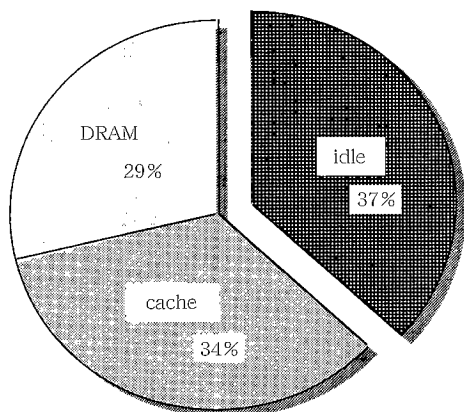


図-8 内部バス状態の時間占有率

100%に近いプログラムではDRAMにアクセスすることが少ないため性能差がでないのに対し、キャッシュのヒット率が低いプログラムではM32R/Dと従来システムに性能差がでるものと考えられる。すなわち、キャッシュのヒット率が低い場合にもCPUとDRAMの混載は高い性能を維持するというを示している。

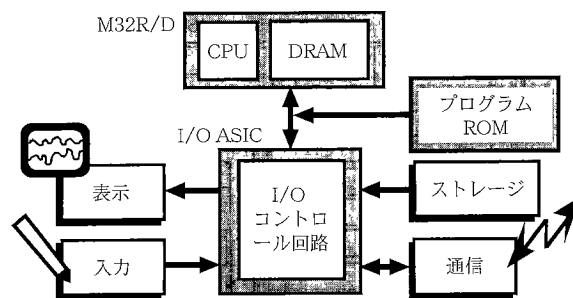
### (3) 内部バスの使用率

内部バスがどの程度使用されているかの評価は重要であろう。CPUがプログラムを実行している間にも内部バスのアイドルサイクルがあれば、バスは他の処理のためのデータ転送の余力が残っているとみなせる。図-8は、CPUが内蔵メモリ中の画像データをJPEG圧縮している際の内部バスの使用状況をシミュレータにより評価した結果を示す。ここでは、バスの状態を3つのカテゴリに分類している。“idle”はバスが空いている状態，“cache”はCPUがキャッシュにアクセスしている状態，“DRAM”は内蔵DRAMにアクセスしている状態を示す。図に示されるように、JPEG圧縮の処理時間のうちの37%がidleの状態にある。この値は、直接チップの使い勝手を表すわけではない。同一の使用率にあっても、idle状態がある程度まとまって連続している場合と1サイクル程度のidle状態が頻繁に発生する場合とは使い勝手は異なるからである。しかしながら、内部バスの使用率は指標として十分意味がある。実際、37%がidle状態にある内部バスはかなり余裕があると言えよう。

### 4.4 アプリケーション

我々のアプローチではCPUと大容量のメモリをワンチップ上に混載しアプリケーションによって機能が異なる周辺回路をASICチップ (I/O ASIC) として別チップとする構成をとる。この構成により、M32R/D, I/O ASIC, および、プログラムROMの3チップにより広い範囲のアプリケーションに対応することができる (図-9)。

M32R/Dによるアプリケーションプログラムの好



“M32R/D+ASIC”の応用範囲は広い

図-9 システム構成の概念

表-1 M32R JPEGライブラリの性能 (圧縮)

入力データ*1	実行時間*2 [秒]	圧縮比	VGA4:2:2*3 [秒]	VGA4:2:0*3 [秒]
チャート1	0.46	1/34	0.39	0.29
チャート2	0.47	1/25	0.40	0.30
チャート3	0.47	1/23	0.40	0.30
チャート4	0.55	1/10	0.47	0.35
チャート5	0.55	1/10	0.47	0.35

\*1) 入力データはITEのテレビジョンシステム試験用の5つの標準デジタル画像チャートを用いた。入力画像サイズは752×480ピクセル、サンプリングレートはY:Cb:Cr=4:2:2である。

\*2) 実行時間はサイクリックエレートシミュレータによる評価である。

\*3) “VGA 4:2:2”と“VGA 4:2:0”の列は、752×480のサイズの画像データの圧縮時間を用いてVGAサイズ (640×480) の画像データの圧縮の時間に変換した値である。

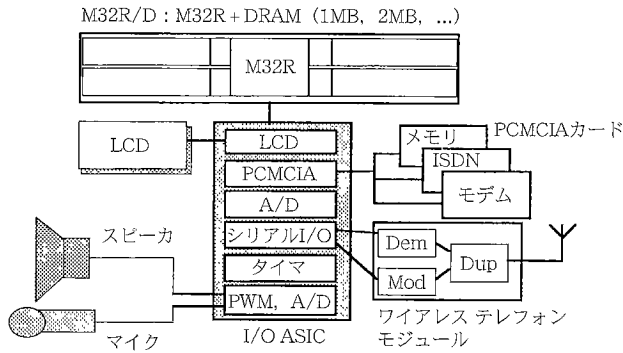
例としてJPEG画像の圧縮/伸長プログラムが挙げられる。画像データの処理はキャッシュに入りきらない大きなデータを扱い、画素単位の処理については比較的局所性はあるものの、画像データすべてに渡る処理全体についてはキャッシュのヒット率は低下する傾向にあると考えられる。このように、キャッシュのヒット率が低い処理については、DRAMとCPU間のバンド幅が処理性能の向上に有効である。

M32R/D用にJPEGの圧縮/伸長のソフトウェアライブラリが開発されている<sup>8)</sup>。表-1は、このライブラリによるJPEG圧縮の性能を示す。性能評価には映像情報メディア学会のテレビジョンシステム評価用テストチャート<sup>9)</sup>の画像データを用いている。VGAサイズ (640×480ピクセル) の画像データのJPEG圧縮 (サンプリングレートはY:Cb:Cr=4:2:2) を0.5秒以内で行う。

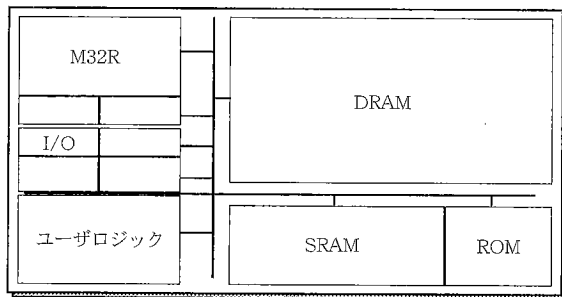
RISCプロセッサと大容量のメモリの混載によりJPEG圧縮がソフトウェアで実現されることで、ソフトウェアとハードウェアの境界がシフトしシステムの設計は柔軟になる。

### 5. おわりに

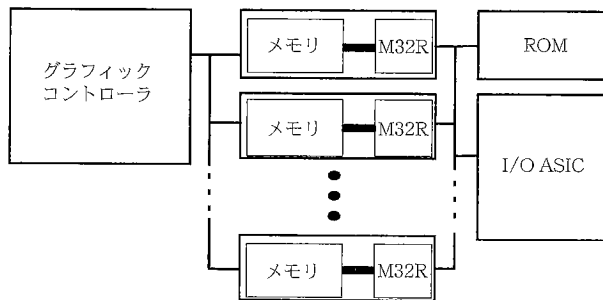
M32R/Dは128ビット、66.6MHzの内部バスによりCPU、キャッシュ、および、大容量DRAMをオン



(a) M32R組み込みプラットフォーム：M32R/D+I/O ASIC+ソフトウェアによる組み込みインターネットプラットフォーム



(b) M32Rオープンコア：合成可能な“M32Rコア”によるスーパーインテグレーション



(c) M32Rメディアタワー：メモリとCPUの融合によるギガオペレーション/秒

図-10 M32Rアーキテクチャの展開

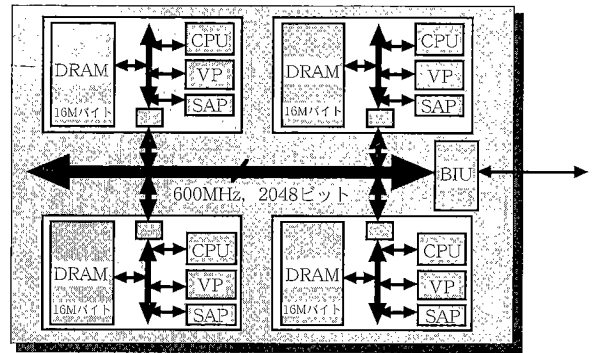
チップに混載したチップである。DRAMを内蔵したことによりメモリとCPU間のボトルネックを高速、高バンド幅の内部バスにより解消し、また、外部バスを低速、低バンド幅にして高コストパフォーマンスと低消費電力を実現した。

これまで述べてきたように、M32R/DによるRISCプロセッサとメモリの混載技術は次のように特徴づけられる。

- (1) 高コストパフォーマンスと低消費電力
- (2) 小さいCPUコア
- (3) 高速、高バンド幅の内部バスによる高い性能

今後これらをさらに押し進めることで、次のような3つの形態に発展させることができると考えられる。

まず、M32R/D、I/O ASIC、そして、ソフトウェアライブラリの組合せのバリエーションを増し、組み込みプラットフォームとして方向付ける形態が挙げられ



VP：ベクトルプロセッサ  
SAP：スーパーオーディオプロセッサ

図-11 ワンチップマルチプロセッサ

る。M32R/Dチップの内蔵DRAMのサイズやI/O ASICチップの周辺回路の構成をアプリケーションシステムに応じて何通りか用意するという方向である。ここではM32R/Dの高コストパフォーマンスと低消費電力という特徴がより顕著になるであろう。次に挙げられるのは、M32R/DのCPUコアを合成可能なIP (Intellectual Property) としてメモリやユーザロジックとの組合せによりワンチップにインテグレートすることである。M32R CPUコアが小さいという特徴がASIC設計に柔軟性をもたらすと考えられる。最後に、高速、高バンド幅の内部バスによる高性能化を押し進め、より高速でより広いデータ幅の内部バス上に、より大容量のメモリとCPUや専用プロセッサなどのプロセッシングユニットを複数結合し、高速演算性能を実現するという形態が挙げられる。これらの形態を図-10に示す。

さらには、プロセス技術やシステムLSIの技術の進歩により、図-11に示すような複数のプロセッサが高速、高バンド幅の内部バスに接続されたマルチプロセッサチップが実現可能となるであろう。マルチプロセッサチップは比較的シンプルなハードウェア構成で高性能のシステムを実現する。スレッドやプロセスのレベルでの並列性をより多く含むようなアプリケーションではマルチプロセッサチップはより最適なソリューションとなり得る<sup>10)</sup>。

参考文献

- 1) Patterson, D., Anderson, T., Cardwell, N., Fromm, R., Keeton, K., Kozyrakis, C., Thomas, R. and Yelick, K.: A Case for Intelligent RAM, IEEE Micro March/April 1997, pp.34-44 (1997).
- 2) Murakami, K., Shirakawa, S. and Miyajima, H.: Parallel Processing RAM Chip with 256Mb DRAM and Quad Processor, Dig. Technical Papers, 1997 IEEE Int'l Solid-State Circuits Conf., pp.228-229 (1997).
- 3) Saulsbury, A., Pong, F. and Nowatzyk, A.: Missing the Memory Wall: The Case for Processor/Memory Integration, Proc. of the 23rd Annual Int'l Symp. on Computer Architecture, pp.90-101 (1996).
- 4) Burger, D.: System-Level Implications of Processor-Memory Integration, Mixing Logic and DRAM Workshop at the 24th Int'l Symp. on Computer Architecture (1996).
- 5) Shimizu, T. et al.: A Multimedia 32b RISC Microprocessor

- with 16Mb DRAM, Digest of Technical Papers, 1996 IEEE Int'l Solid-State Circuits Conf., pp.216-217, 448 (1996).
- 6) Iwata, S. et al.: Performance Evaluation of a Microprocessor with On-chip DRAM and High Bandwidth Internal Bus, Proc. of Custom Integrated Circuits Conf., pp.13.3.1-13.3.4 (1996).
  - 7) Nunomura, Y., Shimizu, T. and Tomisawa, O.: M32R/D-Integrating DRAM and Microprocessor, IEEE Micro Nov./Dec. 1997, pp.40-48 (1997).
  - 8) Sakamoto, T. et al.: JPEG Software Implementation Techniques Based on a 32-bit RISC CPU, Proc. of Int'l Conf. of Consumer Electronics, pp.88-89 (1997).
  - 9) The Institute of Television Engineers of Japan: ITE television System Test Charts-Digital Standard Picture- (1985).
  - 10) Hammond, L., Nayfeh, B. and Olukotun, K.: A Single-Chip Multiprocessor, IEEE Computer Sep. 1997, pp.79-85 (1997).

(平成9年12月12日受付)



布村 泰浩

1985年京都大学工学部電子工学科卒業。同年、三菱電機(株)入社。マイクロプロセッサおよびコンパイラの研究開発に従事。



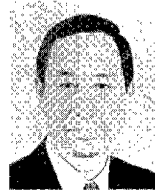
近藤 弘郁

1986年京都大学理学部卒業。同年、三菱電機(株)入社。マイクロプロセッサの研究開発に従事。



清水 徹 (正会員)

1981年東京大学理学部情報科学科卒業。1986年同大学院博士課程修了。同年、三菱電機(株)入社。マイクロプロセッサおよびシステムLSIの研究開発に従事。ACM, IEEE各会員。理学博士。



土橋 宏二 (正会員)

1968年神戸大学工学部電気工学科卒業。同年、三菱電機(株)入社。MOS LSIプロセス, LSI設計開発およびシステムLSIの研究に従事。