

## 3次元メッシュアレーの再構成 ニューラルアルゴリズム

中村 悟      高浪 五男      堀田 忠義

岩手大学工学部情報工学科

E-mail {shake,takanami,horii}@cis.iwate-u.ac.jp

2Dメッシュ結合プロセッサに対する故障対策については、数多くの再構成方式が提案されている。A.ChandraとR.Melhemは2Dメッシュで提案されている $1\frac{1}{2}$ トラックスイッチモデルを3Dに拡張したものについて、その再構成問題を考察している。彼らはこの再構成問題をグラフ理論における最大独立節点集合を求める問題として定式化している。しかし、この問題は一般にはNP完全問題として知られている。本稿では、ホップフィールド型ニューラルネットモデルを用いて、3Dアレーの6面に予備のプロセッサを配置した場合のシングルトラックスイッチを用いた3Dメッシュアレーに対する再構成アルゴリズムを与え、計算機シミュレーションによって、その再構成効率や計算時間からみた有効性を示す。

## A Neural Algorithm for Reconstructing 3D Mesh Arrays

Satoru NAKAMURA      Itsuo TAKANAMI      Tadayoshi HORITA

Department of Computer and Information Science, Iwate University

To overcome faults in 2D mesh-connected processor arrays, a number of reconfiguration schemes have been studied in the literature. Recently, A.Chandra and R.Melhem studied a reconfigurability in the 3D meshes by extending the  $1\frac{1}{2}$  track model used in 2D to 3D. They characterized the reconfigurability condition as the selection problem of the maximum independent vertices in graph theory. But it is well known that the solution to the maximum independent set problem is in general NP-complete. In this paper, using Hopfield-type neural network model, we present an algorithm for reconstructing 3D mesh processor arrays using single-track switches where spare processors are laid on the six surfaces of a 3D array and show its effectiveness in terms of reconstruction rate and computing time by computer simulation.

## 1 まえがき

近年、科学計算をはじめ、各種のシミュレーション、設計支援、人工知能等、多種の分野から超並列処理への要請が高まっている。VLSI技術の発展により、このような超並列計算機を、ウェハー上に集積して実現することに関心もたれるようになってきた。その中で、3Dメッシュ結合の並列計算機は、その構造上からMRIやCTなど3次元の画像処理において有効である。また、N個のプロセッサ(PE)からなる3Dと2Dメッシュ構造の直径はそれぞれ $3N^{1/3}$ と $2N^{1/2}$ であることから、実際のサイズのメッシュに対して3Dメッシュの直径の方が2Dより小さい。このことから、通信直径を考慮するとき、3Dメッシュ構造が有利となる。しかし、このような3Dメッシュ結合の超並列計算機を構成するには、多数の処理要素(PE)を用いるため、その集積の複雑さによって、製造中または動作中における故障の発生確率が增大することが予想される。そのため、非冗長な構成では歩留まりや信頼性の大幅な低下をまねく可能性がある。したがって、3Dメッシュ結合の超並列計算機の実現には歩留まりや信頼性を改善するための手法の研究が必要不可欠である。2Dメッシュ結合プロセッサアレーの耐故障対策に関する研究は、数多く行われているが、3Dメッシュ結合プロセッサアレーの耐故障政策に関する研究はあまり行われていない。そこで、2Dのメッシュ結合に提案されている様々の再構成手法を3Dに拡張することが望まれる。Chandra等は、Kung等が提案した $1\frac{1}{2}$ トラックモデルを3Dに拡張した3D $1\frac{1}{2}$ トラックモデルを提案し、その再構成について考察している。しかし、そのアーキテクチャのルーティングアルゴリズムは、グラフ理論を用いた網羅的手法であり、指数関数的計算時間を要し、全体の故障分布を知るためのホストコンピュータが必要であるなどの難点があり、実用的であるとはいえない。そこで、本稿では3D $1\frac{1}{2}$ トラックモデルに自律的再構成が可能であるニューラルアルゴリズムを定式化し、その有効性を示す。

## 2 アーキテクチャ

3Dメッシュ構造はZ方向に2Dメッシュの層を積み重ねたものと考えられる。図1に $3 \times 3 \times 3$ の3Dメッシュモデルを示す。各PEは、北(N)、南(S)、東(E)、西(W)、 $Z_+$ および $Z_-$ 方向の隣接した6個のPEに接続されている。

3D $1\frac{1}{2}$ トラックモデルは、3Dメッシュの上下方向、左右方向、前後方向のそれぞれ隣接する平行なPE列間にトラックをひき、そのトラックとリンクの交

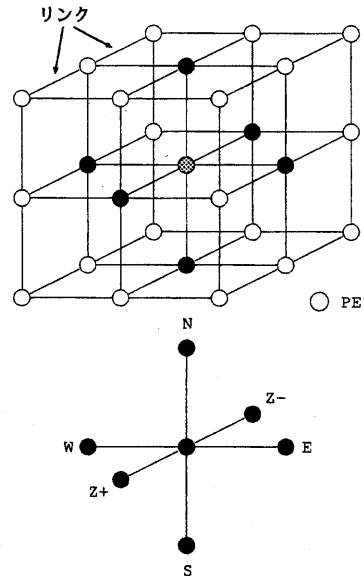


図1: 3Dメッシュモデルのアーキテクチャ

点にスイッチを配置する。図2(a)に $2 \times 2 \times 2$ のメッシュモデルを示す。スイッチの取り得る13種類の状態を図2(b)に示す。さらに、 $n \times n \times n$ の3Dメッシュアレーのそれぞれ6つの側面に、 $n \times n$ 個の予備PEを配置する。その概念図を図3に示す。

以下では、次のような2つの仮定をする。

1. PEはその上下、左右、または前後方向にデータを通させる機能を有しており、故障PEはその機能を失わない。
2. スイッチ、およびトラックは故障しない。

## 3 再構成

各PEにインデックスをつける。 $n^3$ 個の予備でないPEに対して、最も北、西、 $Z_+$ 方向に位置するPEを基準((1,1,1)とする)として、南の方向に*i*番目、東の方向に*j*番目、 $Z_-$ の方向に*k*番目に位置するPEをPE(*i, j, k*)で表し、(*i, j, k*)をそのインデックスと呼ぶ。

再構成のプロセスは以下に述べるような補償パスの探索からなる。これを説明するため、いくつかの定義と補題を与える。

定義1: 例えばPE(*i, j, k*)に故障が起こった場合、まずそのPEから上下左右前後方向に位置する

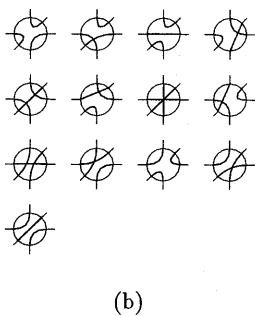
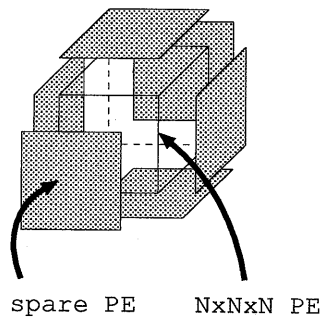
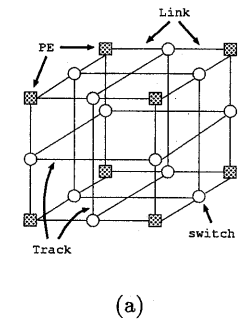


図 3: 3D1½ メッシュモデルのアーキテクチャ

図 2: (a)3D メッシュアレー (b) スイッチの機能

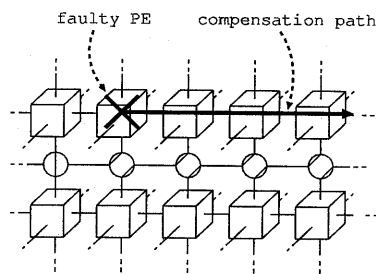


図 4: 補償パスの例

予備PEの中から1つの非故障なものを選び、その方向に向かって次のように行う。まず故障PE  $(i, j, k)$  を、その方向に隣接する正常なPE  $(i', j', k')$  で置き換える。同様に、その正常なPE  $(i', j', k')$  を、同じ方向に隣接する正常なPE  $(i'', j'', k'')$  で置き換える、といった作業を次々に行い、最終的に非故障予備PEが使用されるまで続ける。このプロセスにおけるPEのインデックスの系列を「補償パス」と呼ぶ。

(図4参照)。1つの故障PEに対する補償パスの可能な方向は北、南、西、東、 $Z_-$ 、 $Z_+$ の6方向であり、以下ではこれらの方向を記述の便宜上、それぞれ1, 2, 3, 4, 5, 6方向と呼ぶことがある。

定義2: 予備でないPE  $(i, j, k)$  について、北、南、西、東、 $Z_-$ 、及び $Z_+$ 方向の補償パスをそれぞれ  $(i, j, k, 1), (i, j, k, 2), (i, j, k, 3), (i, j, k, 4), (i, j, k, 5)$ , 及び  $(i, j, k, 6)$  で表す。

定義3: 任意の異なる方向の2つの補償パスが共通のインデックスを含む時、この2つの補償パスは「交差」の関係にあるという(図5参照)。

補題1: 任意の2つの補償パス間に、1つでも交差の関係が存在する再構成は失敗である。なぜならその共通のインデックスの位置のPEは、同時に2つの別のPEに置き換えられることは不可能だからで

ある。

定義4: 隣接した互いに逆向き2つの補償パスが、2つ以上のPEでオーバーラップするとき、この2つの補償パスは「ニアミス」の関係にあるという(図6参照)。

補題2: 任意の2つの補償パス間に、1つでもニアミスの関係が存在する再構成は失敗である。なぜならその2つの補償パスがオーバーラップした部分では、トラックが2本必要だからである。

以上の考察から、再構成可能な十分条件として以下の定理が成り立つ。

定理1: (再構成可能条件) 故障アレーは、次の2つの条件を満足するように補償パスを選択できるならば、再構成可能である。

1. 全ての予備でない故障PEに対して、連続で直線的な補償パスが必ず1つは選択できる。
2. 選択された任意の2つの補償パス間に、交差、ニアミスの関係が存在しない。

図7に、 $4 \times 4 \times 4$ のアレーについて、 $k=2$ のときの断面図を用いて再構成の例を示す。図7では、補

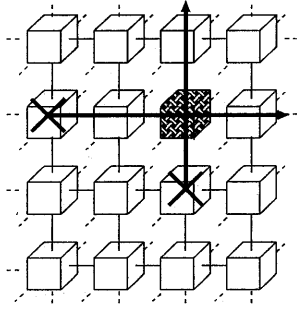


図 5: 交差の関係にある補償バスの例

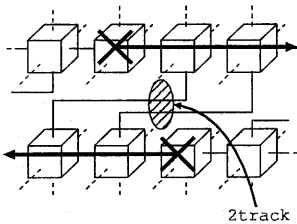


図 6: ニアミスの関係にある補償バスの例

償バスの集合  $\{(1,2,2,3), (1,3,2,1), (2,2,2,3), (3,3,3,2)\}$  に従って再構成したときのスイッチの状態と、各 PE の論理インデックスを  $[i, j, k]$  ( $PE(i, j, k)$  の代わりとなるものを示す) のように示している。

#### 4 グラフアルゴリズム

再構成可能条件を満足し、かつすべての故障 PE を補償するような補償バスの方向を決定する再構成問題はグラフ理論における最大独立節点集合を求める問題として定式化される。

アレーに  $F$  個の予備でない故障 PE からなる故障パターンが与えられたとき、以下のようにしてグラフを構成する。

1. 各故障 PE ごとに、これの可能な補償バスに節点を対応させ、これらの節点をすべて辺で結ぶ完全グラフを構成する。
2. 1 で構成したグラフに対して、任意の 2 つの故障 PE 間で、交差およびニアミスの関係となる補償バスに対応する節点を辺で結ぶ。

つまり同時にとりうるできない補償バスに対応する節点どうしを辺で結ぶ。このようにして構

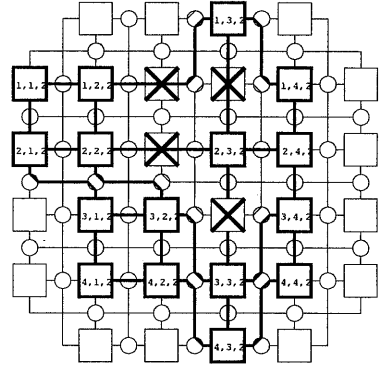


図 7: 再構成の例

成したグラフの最大独立節点集合を求め、その要素数が  $F$  であるとき、アレーは再構成可能となる。

図 8 にグラフの構成例を示す。この図で、故障 PE である PE 1 と PE 2 において、辺  $(N, S)$ ,  $(Z_-, Z_+)$  はニアミスの関係、辺  $(N, Z_+)$ ,  $(Z_-, S)$  は交差の関係を示してしる。

しかし、最大独立節点集合を求める問題は一般に NP 完全であることが知られており、その効率的なアルゴリズムは知られておらず、一般に指数関数的計算時間を要する。そこで、以下ではこの問題に対するニューラルアルゴリズムを与え、その効率を調べる。

#### 5 ニューラルアルゴリズム

与えられた PE の故障分布に対し、再構成可能条件を満たす補償バスの集合を求めるために、ニューラルアルゴリズムを定式化する。

##### 5.1 数学的準備

まず、いくつかの定義と性質を与える。

定義 5: 予備でない PE  $(i, j, k)$  について、補償バス関数  $CP(i, j, k, s)$  ( $1 \leq i \leq N, 1 \leq j \leq N, 1 \leq k \leq N, 1 \leq s \leq 6$ ) を次のように定義する。

$$CP(i, j, k, s) = \begin{cases} 1 & (\text{補償バス}(i, j, k, s) \text{ が存在しうる場合}) \\ 0 & (\text{そうでない場合}) \end{cases} \quad (1)$$

ここに、補償バス  $(i, j, k, s)$  が存在しうる場合とは、PE  $(i, j, k)$  が予備でない故障 PE であり、その PE  $(i, j, k)$  から予備 PE まで  $s$  方向に順次 PE を見ていったとき、PE  $(i, j, k)$  以外に故障 PE が存在しない場合である。

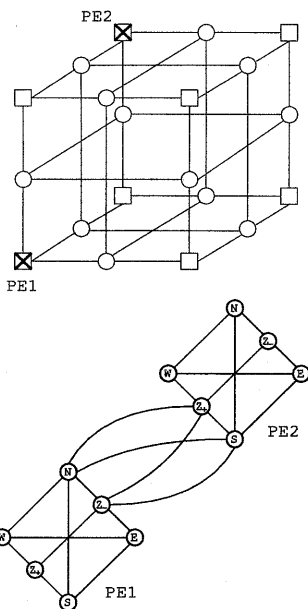


図 8: グラフの構成例

## 5.2 ニューラルネットへの対応

ホップフィールドニューラルネットを用いる。図9に示すように、予備でない各PE  $(i, j, k)$  には、6方向の補償バス  $(i, j, k, s) (1 \leq s \leq 6)$  に対応して、6個のニューロン  $v_{ijks}$  が配置されている。そのうち、 $CP(i, j, k, s) = 0$  であるニューロンの出力  $v_{ijks}$  は、常に0に固定し、 $CP(i, j, k, s) = 1$  である補償バスに対応するニューロンに対してのみ、状態の変更を行う。図9に示すように、ニューロンの発火状態によって、補償バスの方向が決定される。

各ニューロンは、0か1のいずれかの状態をとる。時刻  $t$  におけるニューロン  $v_{ijks}$  の状態を  $v_{ijks}(t)$  で表す。  $w_{ijks,xyzt}$  はニューロン  $v_{ijks}$  と  $v_{xyzt}$  を結ぶ重みを、  $\theta_{ijks}$  はニューロン  $v_{ijks}$  のバイアスを、それぞれ表す。時刻  $t$  におけるニューラルネットの状態を、ニューロンの状態を要素とするベクトル  $V(t) = v_{ijks}(t)$  で表す。このとき、時刻  $(t+1)$  におけるニューロン  $v_{ijks}$  の状態は

$$v_{ijks}(t+1) = f(u_{ijks}(t)) \quad (2)$$

で決定される。ここに  $f(x)$  は、  $x > 0$  の場合に1を、それ以外の場合には0となる関数であり、

$$u_{ijks}(t) = \sum_{x,y,z,t} w_{ijks,xyzt} \cdot v_{xyzt}(t) + \theta_{ijks} \quad (3)$$

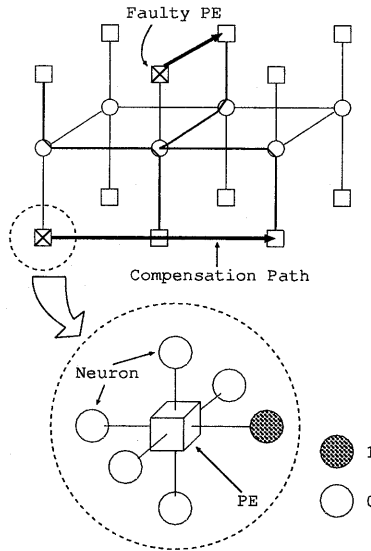


図 9: ニューロンの配置および補償バスと発火ニューロンとの関係

である。ニューラルネットの次の状態  $V(t+1)$  は、現在の状態からある適当な順番に選ばれたニューロンについて、式(2)を計算することによって求められる。

定義6: 状態  $V(t)$  はすべての  $t' > t$  について  $V(t') = V(t)$  ならば、「安定」であるという。

時刻  $t$  におけるニューラルネットのエネルギーは、次の式で定義される。

$$E(V(t)) = -\frac{1}{2} \sum_{i,j,k,s} \sum_{x,y,z,t} w_{ijks,xyzt} \cdot v_{ijks}(t) \cdot v_{xyzt}(t) - \sum_{i,j,k,s} (t) \cdot \theta_{ijks} + K_{const} \quad (4)$$

すべての  $i, j, k, s, x, y, z, t$  について、  $w_{ijks,ijks} = 0$  かつ  $w_{ijks,xyzt} = w_{xyzt,ijks}$  ならば、ニューラルネットの状態はそのエネルギー  $E$  を減少する方向に変化することが知られている。

すべての予備でない故障PEについて、再構成可能条件を満たすような補償バスの集合を求めるために、以下のコスト関数  $C_1, C_2$  および  $C_3$  を定義する。

$C_1$  は、状態が1であるニューロンに対応するどの補償バスも交差しなとき最小値0を、そうでないとき正数をとるもので、次の式で定義される。

$$C_1 = \frac{A_1}{2} \sum_{i,j,k,s} \sum_{x,y,z,t} I(i, j, k, s, x, y, z, t) \cdot v_{ijks} \cdot v_{xyzt} \quad (5)$$

ここに,  $1 \leq i, j, k, x, y, z \leq N, 1 \leq s, t \leq 6$  で,

$$I(i, j, k, s, x, y, z, t) = \begin{cases} 1 & \text{(補償バス}(i, j, k)\text{と}(x, y, z) \\ & \text{が交差の場合)} \\ 0 & \text{(それ以外の場合)} \end{cases} \quad (6)$$

である。また,  $A_1$  は適当な正定数である。

$C_2$  は, 各々の予備でない故障 PE について, ただ 1 つの補償バスが選択されたとき 0, そうでないとき正数をとるといったもので, 次の式で定義される。

$$C_2 = \frac{A_2}{2} \sum_{(i,j,k) \in I_f} \left( \sum_s v_{ijks} - 1 \right)^2 \quad (7)$$

ここに,  $A_2$  は適当な正定数,  $I_f$  は予備でない全故障 PE のインデックスの集合である。式 (7) は, さらに以下のように変形できる。

$$C_2 = \frac{A_2}{2} \left( \sum_{(i,j,k) \in I_f} \sum_{s \neq t} v_{ijks} \cdot v_{ijkt} - \sum_{(i,j,k) \in I_f} \sum_s v_{ijks} + |I_f| \right) \quad (8)$$

$C_3$  は, 状態が 1 であるニューロンに対応するどの 2 つの補償バス間にもニアミスの関係にないとき 0 を, そうでないとき正数をとるもので, 次の式で定義される。

$$C_3 = \frac{A_3}{2} \sum_{i,j,k,s} \sum_{x,y,z,t} N_m(i, j, k, s, x, y, z, t) \cdot v_{ijks} \cdot v_{xyzt} \quad (9)$$

ここに,

$$N_m(i, j, k, s, x, y, z, t) = \begin{cases} 1 & \text{(補償バス}(i, j, k, s)\text{と}(x, y, z, t)\text{が} \\ & \text{ニアミスの関係にある場合)} \\ 0 & \text{(それ以外の場合)} \end{cases} \quad (10)$$

である。また,  $A_3$  は適当な正定数である。

このとき, ニューラルネットのエネルギー  $E$  は次の式で定義される。

$$E = C_1 + C_2 + C_3 \quad (11)$$

式 (4) と式 (11) を比較することによって, 次のニューラルネットのパラメータが得られる。

$$w_{ijks,xyzt} = - A_1 \cdot I(i, j, k, s, x, y, z, t) \quad (12) \\ - A_2 \cdot \delta_{ix} \delta_{jy} \delta_{kz} (1 - \delta_{st}) \\ - A_3 \cdot N_m(i, j, k, s, x, y, z, t)$$

$$\theta_{ijks} = - \frac{A_2}{2} \cdot CP(i, j, k, s) \quad (13)$$

$$K_{const} = \frac{A_2}{2} \cdot |I_f| \quad (14)$$

ここに,

$$\delta_{ab} = \begin{cases} 1 & (a = b \text{ の場合}) \\ 0 & \text{(それ以外の場合)} \end{cases} \quad (15)$$

である。

ニューラルネットがある初期状態から出発して安定状態に到達したとき, そのエネルギーは極小値をとる。このエネルギーが最小値 0 をとるとき, かつそのときに限り, 対応する安定状態は再構成可能条件を満たす補償バスの集合を与える, ということを, 式 (11) のエネルギーの定義から, 容易に示すことができる。

以上の考察から, ニューラルアルゴリズムを以下のように与える。

[ニューラルアルゴリズム]

1. 与えられた PE とバスの故障に対し, 補償バス関数を構成する。
2. ある予備でない故障 PE  $(i, j, k)$  について, もし  $\sum_s CP(i, j, k, s) = 0$  であるならば, PE  $(i, j, k)$  は補償バスを持ち得ないからシステムは再構成不可能であり, ステップ 9 へ。
3. ニューラルネットのパラメータを決定する。
4. 適当な整数 ( $\geq 1$ ) を  $N_{timeout}$  に設定し,  $k = 1$  とする。ニューラルネットの初期状態  $V(0)$  を適当な値に設定する。
5. 式 (2) によって安定状態に到達するまで, ニューラルネットの状態を変化させる。
6. 安定状態のエネルギーが 0 ならば, システムは再構成可能で, ステップ 9 へ。そうでなければ,  $k = k + 1$  としてステップ 7 へ。
7.  $k \leq N_{timeout}$  ならば, 前ステップで得られた安定状態をもとに, ある適当な方法で初期状態を設定し, ステップ 5 へ。
8.  $k > N_{timeout}$  ならば, システムは再構成不能とみなし, ステップ 9 へ。
9. アルゴリズム終了

## 6 実験と結果

計算機によるシミュレーション実験を行った。使用機種はIBM-PC互換機 (CPU=Pentium, Clock=133MHz), 使用言語はC言語である。

また実験手順を、以下に示す。

### 実験手順

1. アレーにおいて,  $f(1 \leq f \leq 6N^2)$  個の故障PEが存在するような故障パターンを作成する。

2. ニューラルアルゴリズムを適用する。ここで,

(a)  $\sum_{1 \leq s \leq 6} CP(i, j, k, s) = 1$  で

$CP(i, j, k, s') = 1$  に対応するニューロンの状態  $v_{ijk, s'}$  は常に1に固定しておく。

(b) アルゴリズムの(4)における初期状態  $V(0)$  は上記の場合のニューロン以外はすべてその状態を0にする。

(c) アルゴリズムの(7)における初期状態は到達した安定状態の0と1を反転したものとする。

$A_1 = A_2 = A_3 = 1$  で, アレーサイズ  $4 \times 4 \times 4 \sim 8 \times 8 \times 8$  に対するシミュレーションの結果を図10~図12に示す。図10はアレーの生存率 (SV) と正規化故障数 (NFN) の関係, 図11はアレーの信頼度 (RA) とPEの信頼度 ( $p$ ) の関係 (サイズ  $4 \times 4 \times 4 \sim 8 \times 8 \times 8$ ), 図12は1故障パターンあたりの平均計算時間と正規化故障数の関係をそれぞれ表して示す。ただし, SV, NFN および RA と  $p$  との関係はそれぞれ,  $SV(f) = \frac{N_{rep}(f)}{N_{pat}(f)}$ ,  $NFN(f) = \frac{f}{N_s}$ ,  $RA(p) = \sum_{k=0}^{N_s} SV(k) \cdot p^{N_{all}-k} \cdot (1-p)^k$  である。ここに  $N_{rep}(f)$  は,  $f$  個の故障PEを含む全ての故障パターン (その数は  $N_{pat}(f)$ ) のうち, 再構成可能な数であり,  $N_s$  は全予備PE数,  $N_{all}$  は全PE数である。また  $4 \times 4 \times 4 \sim 8 \times 8 \times 8$  はアレーのサイズをそれぞれ示して示す。

図10から, 高い生存率が得られることが分かった。図11より, サイズ  $8 \times 8 \times 8$  のアレーについても, NFN が0.9以上の範囲で高い信頼性が得られることが分かる。また, 図12は, 1つの故障パターンに対して10秒程度で再構成できることを示しており, 時間的にも本手法が実用的であることが分かった。

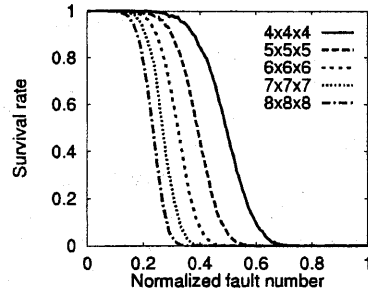


図10: アレーの生存率と正規化故障数の関係

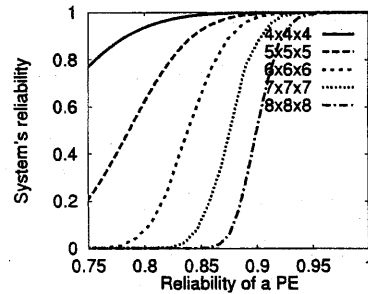


図11: アレーの信頼性とPEの信頼性の関係

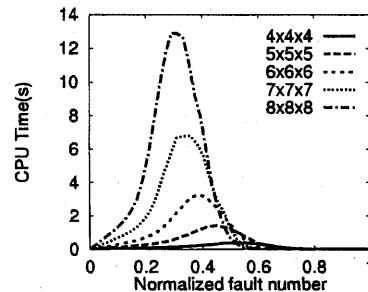


図12: 1故障パターン当りの平均計算時間と正規化故障数の関係

## 7 むすび

本手法は、アルゴリズムが単純であり、ソフトでの実現は容易である。また、計算時間が短いことと、文献[1]の方法を拡張することによって、ホストコンピュータによらない埋め込み式の自己修復システムを実現できるという点で興味深い方法であり、シミュレーション実験によりその有効性を示した。さらに、巡回セールスマン問題等とは異なり、最適解が取るエネルギー値が既知であるため、得られた安定状態が最適解を示しているかどうかの判定が容易である点においてもニューラルアルゴリズムは大変有効であると考えられる。

今後の課題としては、網羅的手法との比較による性能評価、本手法のハードウェア化による自律的再構成システムの構成、バス、ニューラルネットの信頼性を含めた全システムの信頼性を考察する必要がある。

## 参考文献

- [1] Itsuo Takanami, Kazushi Kurata, Takahiro Watanabe: A Neural Algorithm for Reconstructing Mesh-Connected Processor Arrays Using Single-Track Switches, Int'l. Conf. on Wafer Scale Integration, pp.101-110, 1995.
- [2] Anuj Chandra, Rami Melhem: Reconfiguration in 3D Meshes, Int'l Workshop on Defect and Fault Tolerance in VLSI Systems, pp.194-202, 1994.
- [3] S.Y. Kung, S.N. Jean, and C.W. Shang. "Fault-tolerant array processor using single-track switches". IEEE Trans. Comput., Vol.38, No.4, pp.501-514, January 1989.
- [4] 沼田 一成, 堀口 進. "ウェーハスタック構造格子結合型マルチプロセッサの再構成法". 信学技報 WSIA-93-5.
- [5] 堀田 忠義, 高浪 五男. "プロセッサとバスの故障を持つ1 1/2トラックスイッチメッシュアレーの再構成". 信学技報 FIIS-97-21.
- [6] 堀田 忠義, 高浪 五男, "ダブルトラックを用いたアレー再構成のニューラルネット解法", 電子情報通信学会論文誌 D Vol.J71-D-I, No.4 pp.198-205, April 1996.
- [7] 高浪 五男, 中村 悟, 堀田 忠義. "1 1/2トラックによる3次元メッシュアレーの再構成". 信学技報 FIIS-97-26.
- [8] 中村 悟, 高浪 五男, 堀田 忠義. "3次元メッシュ結合アレーの再構成". 平成8年度東北支部連合大会.
- [9] J. デイホフ. "ニューラルネットワークアーキテクチャ入門". 森北出版株式会社, April 1992.