

メモリ型並列計算におけるネットワークの形態について

武永康彦 矢島 脩三

京都大学工学部

あらまし メモリ型並列計算モデルは、RAM (ランダムアクセス機械) に機能メモリを付加したものである。本報告では、機能メモリ上にCCC、 ω およびbinary tree状のネットワークを持ち、ワード間の並列通信を可能にしたモデルの能力について述べる。機能メモリの各ワードは、アドレスを記憶するインデックス部とデータ部からなり、並列に部分一致検索をおこなうことができる。CCC、 ω およびbinary tree状のネットワークによるモデルでは、PSPACEに属する集合を多項式時間で受理することが可能である。これは、以前に提案した、ハイパーキューブ状のネットワークを持つ、cube-CAFRAM (RAM with Content Addressable Functional Memory) と同じ能力である。

The Topology of Networks on a Memory-Based Parallel Computation Model

Yasuhiko TAKENAGA and Shuzo YAJIMA

Faculty of Engineering, Kyoto University

Abstract A memory-based parallel computation model consists of a RAM(Random Access Machine) and a functional memory. In this paper we consider the models which has CCC, ω or binary tree network on the functional memory. It enables word-parallel communication between the words. Each word of the functional memory is composed of an index field which stores its address and a data field, and parallel masked search can be performed in the functional memory. On the models with CCC, ω or binary tree network, all the sets in PSPACE can be accepted within polynomial time. It is the same as the case of cube-CAFRAM(RAM with Content Addressable Functional Memory) we formerly proposed, which has a hypercube topology network on the functional memory.

1. はじめに

計算量の理論は、様々な問題に対して計算量の下界を示すことをひとつの大きな目的とし、そのために計算量のクラスの分類がおこなわれてきた。その結果、現実に現れる多くの問題が、NP完全やPSPACE完全な問題のクラスに属していることが明らかにされた。これらの問題は、問題のサイズが大きくなると逐次計算機で現実的な時間で解くのは困難になる。

並列計算は、これらの問題をより速く解くための有効な手段である。並列計算については以前から様々な研究がおこなわれてきており、並列計算により理論的にどのくらい高速な計算が可能かという議論が重要になっている。そのため、様々な並列計算モデルが考案され、その上での計算時間やアルゴリズムに関する研究が数多くなされている。並列計算においては、複数のプロセッサ間のデータの転送方法が1つの問題となる。その方法としては、大きく分けて、PRAM(Parallel Random Access Machine) [1] のように共有メモリに複数のプロセッサがアクセスする方式と、プロセッサ間にネットワークを構成する方式があげられる。

機能メモリはランダムアクセスメモリに若干の機能を付加することにより、メモリ上で種々の計算をおこなえるようにしたものである。このような機能メモリは高集積化が可能なSIMD (Single Instruction Multiple Data stream) 型の並列計算機構としてとらえることが可能である。機能メモリの種類として、記憶されている全データに対して、並列の部分一致検索および、その結果に基づいた並列書き込みをおこなうことのできる連想メモリ (CAM: Content Addressable Memory) が実現されている。すでに20KビットのCAMLSIの開発が1988年に報告されており [2]、さらに大容量のCAMが実現可能であると思われる。そのため、CAMを用いた高速アルゴリズムの研究が再び注目を集めている [3, 4, 5, 6, 7]。

われわれはこれまでに、機能メモリを用いたメモリ型並列計算モデルであるFRAM [8]、CAFRAM [9] およびcube-CAFRAM [10] を提案し、その能力について考察をおこなった。FRAMは、アドレスの部分一致による複数のメモリセルへの並列アクセスが可能な機能メモリをRAM (Random Access Machine) [11] に付加し、並列検索を可能にしたモ

デルであり、CAFRAMはその機能メモリを拡張してCAMと同様の記憶データに対する連想機能を与えたものである。FRAMおよびCAFRAM上で多項式時間で受理できるクラスは Δ_2^E [12]、すなわちNP問題に対する神託を持つ神託付きチューリング機械 (OTM: Oracle Turing Machine) により多項式時間で受理できるクラスに等しい。また、cube-CAFRAMは、CAFRAMの機能メモリにハイパーキューブ状のネットワークによる、ワード間の並列通信機能を与えたモデルであり、cube-CAFRAM上で多項式時間で受理できるクラスはPSPACEに等しい。

このように、通信機能を付加することにより多項式時間で受理できるクラスが Δ_2^E からPSPACEに上昇する。しかし、実際にネットワークを構成する場合、必要な通信線の数が大きな問題点となる。ハイパーキューブ状のネットワークでは、ワード数の増加に対して各ワードから出る通信線の本数も増加するため、非常に多くの通信線が必要となる。したがって、より実現の容易なネットワークにより、ハイパーキューブと同等の計算能力が得られることが望ましい。そこで、本報告では、ハイパーキューブ以外の形態のネットワークについて、通信機能を持つメモリ型並列計算モデルの計算能力を調べる。CCC、omega およびbinary tree状のネットワークにより、PSPACEに属する問題を多項式時間で受理出来ることを示す。

以下、2章では準備としてcube-CAFRAMのモデルとその能力について説明し、3章ではハイパーキューブ以外のネットワークの形態をとる場合の計算能力について考察する。

2. cube-CAFRAMモデルとその能力

2.1 CAFRAMモデル

CAFRAMは、図1に示すように、RAM、無限に大きな機能メモリ、検索結果レジスタからなる。RAMは、一本の読み取り専用の入力テープ、無限個のレジスタ、プログラムカウンタ、有限のプログラムからなる。

機能メモリは、図2に示すように、無限個のワードからなる。各ワードは、インデックス部とデータ部からなり、どちらも無限のビット数を持つ。インデックス部には、FRAMと同様に、先頭のワードから順に、0, 1, 2, ... の2進数が書き込ま

れており、書き換えはできない。インデックス部に書き込まれた数をアドレスと呼ぶ。データ部は検索結果により書き換えが可能である。検索データとマスクデータを与えることにより、全ワードのインデックス部とデータ部に対する部分一致検索をおこなうことができる。検索データおよびマスクデータは、インデックス部、データ部のそれぞれに対して与える必要がある。マスクデータが0の部分のみに、検索データとの一致検索が行われ、その結果により、データ部に操作が加えられる。

検索結果レジスタは、1ビットのフラグで、検索命令の結果により0または1が自動的に記入される。

CAFRAMの命令セットは通常のRAMの命令セットに加えて、SEARCH, WRITEBITの2種類の命令を持つ。オペランドとしては、検索結果レジスタの指定も可能である。プログラムはレジスタとは別の領域にあり、書き換えは認めない。

SEARCH, WRITEBITの各命令が機能メモリを用いた検索命令である。検索データ、マスクデータは、オペランドに指定されたRAMのレジスタの内容を2進数とみなした列がデータとなる。ただし、データの上位には0が補われるものとする。図2では、太線で囲まれたワードが一致している。SEARCH命令は、インデックス部とデータ部に対して検索をおこない、その結果一致するワードが存在すれば1、存在しなければ0が検索結果レジスタに自動的にセットされる。データ部の内容は変更しない。WRITEBIT命令は、検索データ、マスクデータのほか、検索結果により内容を変更するビット位置（複数も可）と、1個の論理演算を指定する。この論理演算は任意の2変数論理関数でよい。全てのワードのデータ部のうち指定したビットに、検索結果（一致したワードは1、一致しないワードは0）と現在データ部に記憶されている値との

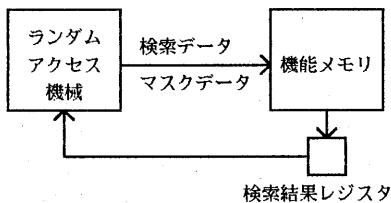


図1 CAFRAMの構成

論理演算をおこなった結果を書き込む。

インデックス部の検索データ、マスクデータとしてn桁の2進数を与えれば、下位からnビット以外は全て0になり、実質上アドレスが0から $2^n - 1$ までの 2^n 個のワードに対して操作がおこなわれる。なお、初期状態において、データ部は全て0であるとする。

このモデル上での時間計算量は、通常のRAMと同じく実行した命令の数で定義する。

CAFRAMの機能メモリは、アドレスに対する検索機能を除けば、現実には製作されているCAMに近いものであり、CAMの基本的な命令を容易に模倣することが可能である。

2.2 CAFRAMへの通信機能の付加：

cube-CAFRAMモデル

CAFRAMでは、ワード間の通信を複数のワードに対して並列に実行することは不可能である。これがCAFRAMの能力を制限する要因となっていると考えられる。そこで、本節では、CAFRAMにワード並列のワード間通信の機能を与えた、cube-CAFRAMのモデルを提案する。以下では、CAFRAMに付加する通信機能を定義する。

ワード間を接続するネットワークの形態は、ハイパーキューブ状をなす。すなわち、各ワードは、アドレスを2進数で表現したとき1ビットのみ異なる全てのワードと接続される。例えば、アドレスが0のワードは、アドレスが1, 2, 4, 8, …の各ワードと接続される。

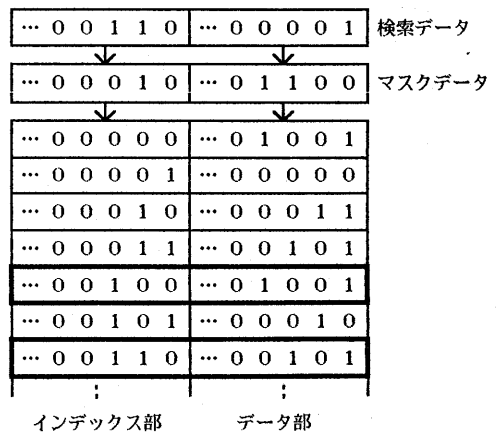


図2 機能メモリによる検索

cube-CAFRAMは、通信命令COMをもつ。COM命令では、オペランドとしてアドレスの1つのビット位置が指定される。通信は、指定されたビットのみが異なる全てのワード対の間で並列におこなわれる。データの転送は双方向であり、各ワード対の間では、それぞれのワードは他方のワードからデータ部の最下位ビットの値を受け取り、自分のデータ部の最下位ビットに格納する。この命令は他の命令と同じく単位時間で実行されるものとする。

2.3 cube-CAFRAMの計算能力

cube-CAFRAM上では、代表的なPSPACE完全問題として知られているQBF問題[13]を多項式時間で解くことができる。

QBF：限定記号付きブール式(quantified Boolean formula)が真であるか。

限定記号付きブール式とは、

$$Q_1 x_1 Q_2 x_2 \dots Q_n x_n F(x_1, x_2, \dots, x_n)$$

の形をしたものである。ただし、 $F(x_1, x_2, \dots, x_n)$ は x_1, x_2, \dots, x_n を変数とするブール式、 $Q_k \in \{\exists, \forall\}$ ($1 \leq k \leq n$)とする。□

以下に、前節で定義したcube-CAFRAM上で、QBFを解く多項式時間アルゴリズムを示す。

FRAM上では、 n 変数のCNF-SATを 2^n 個のワードを用いて解くことができる[8]。それに対し、CAFRAM上では和積形に限らず、 k 変数の任意のブール式の充足可能性判定問題を 2^k 個のワードを用いて多項式時間で解くことができる。その途中で、アドレスが示す変数への真偽値の割り当てがブール式 $F(x_1, x_2, \dots, x_n)$ を充足するかどうかを示すデータビットが得られるため、このデータビットを利用する。ただし、充足する割り当てには1、充足しない割り当てには0が記入されているものとする。

これ以降は、データ部は2ビットしか必要としない。下位のビットは通信に、他方のビットは各ワードがデータを保持するのに用いる。

[QBFを解くアルゴリズム]

機能メモリの0番地から 2^{n-1} 番地までを対象に以下の操作をおこなう。

Step1：各アドレスに対応する割り当てがブール式 $F(x_1, x_2, \dots, x_n)$ を充足するかどうかを求める。

Step2： $k = n$ から1について順次、以下の操作を繰り返す。

- (1) 変数 x_k に対応するビットを指定して通信をおこなう。
- (2) 通信によって得たビットの値と、以前から記憶していたデータビットの間で、 x_k の限定記号が \exists であればOR、 \forall であればANDをとる。

Step3：(1)データビットが1のワードを検索する。

- (2) 選択されたワードがあれば、QBFの答えはyesである。□

Step2を変数 x_1 に対してまで進めた時点で、データビットの内容は x_1, x_2, \dots, x_{i-1} に対応するアドレスビットのみによって定まり、その値は $Q_1 x_1 \dots Q_n x_n F(x_1, x_2, \dots, x_n)$ が真になるとき1、偽になるとき0である。Step2の終了時には、 2^n 個のワードのデータビットは全て同じ値になっている。

このアルゴリズムにより、PSPACE完全問題であるQBFを多項式時間で解くことができることを用いて、次の定理が示される[10]。

定理 cube-CAFRAMにより多項式時間で受理できるクラスはPSPACEに等しい。

3. ネットワークの形態と計算能力

2章で示したように、メモリ型並列計算モデルでは、機能メモリにワード間の通信機能を与えることにより、多項式時間で受理できるクラスが Δ_2^2 からPSPACEに上昇する。しかし、多数のノード間のネットワークを実現するには、通信線の数が必要な問題となる。cube-CAFRAMではハイパーキューブ状のネットワークを用いて通信をおこなっているため、機能メモリのワード数に対して非常に多くの通信線が必要になる。 2^n ワードの機能メモリに対して、 $n \cdot 2^{n-1}$ 本の通信線が必要である。そこで、本章では、ハイパーキューブ以外のネットワークを持つ場合についてメモリ型並列計算モデルの能力を調べる。

cube-CAFRAMにより多項式時間で受理できるクラスがPSPACEに上昇する原因は、 n 回の通信により各ワードが 2^n 個のワードの内容を参照して計算をおこなえることにある。各ワードにおいて n 回の通信命令により通信可能なワードのA

ドレスを n の多項式時間で計算できる場合、多項式時間で受理できるクラスが PSPACE になるためには、多項式回の通信により各ワードが指数個のワードの内容を知ることができる必要がある。本章では、その条件を満たすネットワークを対象に議論をおこなう。

3.1 CCCとomega

CCCおよびomegaネットワークを図3に示す。ただし、ネットワークの両端はつながっているものとする。

CCCとomegaは、ハイパーキューブと密接な関係を持つネットワークである。両者は、ハイパーキューブとの関係から、次のように定義される。

定義 CCC: $k \cdot 2^k$ 個のノードからなる CCC ネットワークは、 2^k 個のノードからなるハイパーキューブの各ノードを k 個のノードで置き換え、それらのノードをリング状につないだものである。

定義 omega: $k \cdot 2^{k-1}$ 個のノードからなる omega ネットワークは、 $k \cdot 2^k$ 個のノードからなる CCC ネットワークのうち、ハイパーキューブの同一辺上にある 2 ノードをまとめて 1 個のノードにしたものである。

ハイパーキューブでは、ノード数の増加にあわせて、各ノードの度数も増加するため、多くの通信線が必要となる。それに対し、CCCおよびomegaは、各ノードの度数がそれぞれ 3, 4 でノード数にかかわらず一定である。そのため、ハイパーキューブと較べて実現が容易である。また、

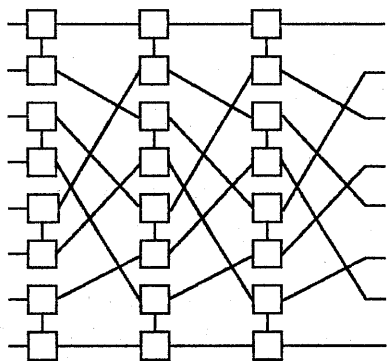
同一のノード数では、CCCのノード数が2の中になる場合について、ハイパーキューブと配線数を比較をおこなうと、ノード数 2^k のとき、ハイパーキューブでは $k \cdot 2^{k-1}$ 本に対し、CCCでは $3 \cdot 2^{k-1}$ 本ですむ。

図3からわかるとおり、これらのネットワークは k 個のステージからなる巡回ネットワークとなる。各ステージには、CCCでは 2^k 個、omegaでは 2^{k-1} 個のノードが含まれる。CCCにおいて各ステージ内のノードをつなぐ通信線は、ハイパーキューブの辺に相当する。通常、各ステージ間の通信は一方方向である。omegaでは、ステージ間の各ノードから 2 本の通信線のうち一方を選び、通信がおこなわれる。

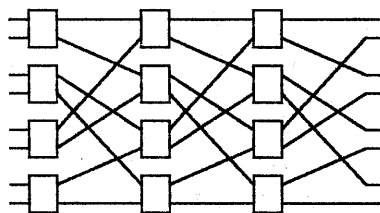
3.2 CCC・omegaによる通信の能力

本節では機能メモリ上のネットワークとして、前節で述べたCCCおよびomegaネットワークを用いた場合の能力について述べる。

CCCおよびomegaネットワークを、機能メモリ上に以下のように実現する。CCCネットワークは、ノードの含まれるステージをアドレスの上位 $\lceil \log k \rceil$ ビット、対応するハイパーキューブのノードのアドレスを下位 k ビットを用いて表わす。omegaネットワークは、同じく上位 $\lceil \log k \rceil$ ビットでノードの含まれるステージを表わし、下位 $k-1$ ビットはステージ内での番号を割り当てる。ステージ内での番号は、対応するハイパーキューブの 2 個のノードのうち一致するビットを用いるものとする。



(a) CCCネットワーク ($k=3$)



(b) omegaネットワーク ($k=3$)

図3 CCCおよびomegaネットワーク

このようなネットワークを持つメモリ型並列計算モデルにおいて、入力に対して十分な大きなネットワークを用いることができると仮定した場合、次の定理が成り立つ。

定理 CCCおよび ω ネットワークを持つメモリ型並列計算モデル上で、PSPACEに属する集合を多項式時間で受理することが可能である。

証明 まず、CCCネットワークによるモデルとcube-CAFRAMを相互にシミュレートする。 2^k ノードのハイパーキューブと $k \cdot 2^k$ ノードのCCCを用いる。

ハイパーキューブでCCCをシミュレートするには、各ワードで、対応するCCCの k 個のワードの内容を全て計算する。ステージ内の通信は通信命令を用い、ステージ間の通信は同一ワード内の操作でシミュレートできる。

CCCでハイパーキューブをシミュレートするには、 k 個のワードごとに、対応するハイパーキューブのワードと同じ内容を計算する。そのためには、アドレスの上位 k ビットだけを対象に操作をおこなえばよい。ハイパーキューブで通信をおこなったときには、ステージ間の通信を k 回おこなって k 個のワードに通信内容を知らせる。

このように、両方向のシミュレーションは、ともに k 倍の時間をかけることにより可能である。

次に、 ω ネットワークによるモデルとCCCネットワークによるモデルを相互にシミュレートする。 $k \cdot 2^k$ ワードのCCCと $k \cdot 2^{k-1}$ ワードの ω を用いる。

ω によりCCCのシミュレートをおこなうには、 ω の各ワードで、対応するCCCの2個のワードのアドレスを記憶させておき、その2個のワードの内容を計算すればよい。対応するCCCのワードのアドレスを求めるためには、まず、任意の1個のステージに含まれるワードで、そのステージ内での番号の下位に0および1を付け加えた数を求める。1個のワードに記憶させた2数のうち小さい方を図3で上にあたる通信線、大きい方を下にあたる通信線により次のステージに送る。この操作を全ステージに数を送るまで繰り返す。この数とステージを表す番号をつないだものが、対応するCCCのワードのアドレスになる。

CCCによる ω のシミュレートは、CCCの2個のワードごとに、対応する ω のワードの内容を計算することにより、容易におこなえる。□

以上の証明では、CCCではハイパーキューブの k 倍のワード数を用いてシミュレートをおこなっているが、CCCの方が多くのワード数が常に必要になるわけではない。たとえば、ノード数 2^n のCCCでは、 n 変数のQBF問題を解くことが可能である。

3.3 binary treeによる通信

CCCおよび ω ネットワークは、ハイパーキューブとは異なり、 k 個のステージからなるグラフが $k+1$ 個のステージからなるグラフのサブグラフにはならない。そのため、入力に対して異なったネットワークを用いることが必要となる。そこで、各ワードからの通信線の本数が定数であり、かつ無限に大きな機能メモリを仮定した場合、多項式時間で受理できるクラスがPSPACEとなるネットワークとしてbinary treeがあげられる。

各ノードへのアドレスの割り当ての方法としては、例えば、binary treeのrootを0段目としたとき、 k 段目のノードにアドレス 2^k から $2^{k+1}-1$ を割り当てる方法が効率的である。

binary treeネットワークによるメモリ型並列計算モデルにより k 変数のQBF問題を解くには、アドレス 2^k から $2^{k+1}-1$ の 2^k のワードを k 個の変数への真偽値の割り当てに対応させ、rootとなるワード上で結果を得ることができる。このとき、ワード数は、cube-CAFRAMの場合の2倍必要である。

4. おわりに

本報告では、ワード間の通信機能を持つメモリ型並列計算モデルにおいて、CCC、 ω およびbinary tree状の十分な大きさのネットワークを持つ場合、PSPACEに属する集合を多項式時間で受理できることを示した。今回示した結果は、ネットワーク上でSIMD型の動作をおこなう一種のマルチプロセッサモデルにおいて、各プロセッサに適切なプロセッサ番号を与えておくことにより得られる能力を示したものと見ることがも

できる。

謝辞

貴重なご助言、ご討論をいただき高木直史博士をはじめ矢島研究室の皆様へ感謝致します。

参考文献

- [1] S. Fortune and J. Wyllie: Parallelism in Random Access Machines, 10th STOC (1978), 114-118.
- [2] T. Ogura, J. Yamada, S. Yamada and M. Tan-no: "A 20-kbit Associative Memory LSI for Artificial Intelligence Machines," IEEE J. Solid-State Circuits, Vol. 24, No. 4, pp1014-1020 (1989).
- [3] 高木直史, 矢島脩三: "機能メモリを用いた高速並列アルゴリズムについて," セル構造に基づく高度並列情報処理システムに関する総合的研究, 昭和62年度科学研究費補助金(総合研究A)研究成果(第1年次)報告書(1988).
- [4] 大久保雅且, 安浦寛人, 高木直史, 矢島脩三: "連想メモリを利用したハードウェア向き単一化アルゴリズム," 情報処理学会論文誌, Vol. 28, No. 9, pp915-922 (1987).
- [5] 安浦寛人, 辻本泰造, 田丸啓吉: "組合せ問題に対する機能メモリ形並列プロセッサアーキテクチャ," 電子情報通信学会論文誌 Vol. J72-A, No. 2, pp222-230 (1989).
- [6] 国分明男, 樋口哲也, 古谷立美: "意味ネットワークマシン I X Mにおける並列連想記憶," 情処研報 ARC80-9, pp65-72 (1990).
- [7] L. Chisvin and R. J. Duckworth: "Content addressable and Associative Memory," IEEE Computer, Vol. 22, No. 7, pp. 51-64 (1989).
- [8] 高木直史, 武永康彦, 矢島脩三: "メモリ型並列計算機構をもつ計算システムについて," 情処研報 ARC80-13, pp97-103 (1990).
- [9] 武永康彦, 高木直史, 矢島脩三: "連想メモリによるメモリ型並列計算モデルとその能力," 信学技報 COMP89-118, pp39-44 (1989).
- [10] 武永康彦, 矢島脩三: "メモリ型並列計算モデルにおける通信の能力について," 信学技報 COMP90-22, pp29-34 (1990).
- [11] S. A. Cook and R. A. Reckhow: "Time Bounded Random Access Machines," J. Computer and System Sciences, Vol. 7, No. 4, pp354-375 (1973).
- [12] L. J. Stockmeyer: "The Polynomial Time Hierarchy," Theoretical Computer Science, 3, pp1-22 (1977).
- [13] J. E. Hopcroft and J. D. Ullman: Introduction to Automata Theory, Languages and computation, Addison-Wesley R.M. (1979) (野崎他訳: オートマトン言語理論計算論, サイエンス社).